



(12) 发明专利

(10) 授权公告号 CN 103959654 B

(45) 授权公告日 2016. 08. 24

(21) 申请号 201280058034. 5

(22) 申请日 2012. 11. 28

(30) 优先权数据

61/563, 958 2011. 11. 28 US

13/653, 054 2012. 10. 16 US

(85) PCT国际申请进入国家阶段日

2014. 05. 26

(86) PCT国际申请的申请数据

PCT/US2012/066902 2012. 11. 28

(87) PCT国际申请的公布数据

W02013/082193 EN 2013. 06. 06

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 W·V·里昂 Z·杨

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 袁逸

(51) Int. Cl.

H03L 7/16(2006. 01)

H03B 27/00(2006. 01)

(56) 对比文件

US 6882229 B1, 2005. 04. 19,

CN 101242182 A, 2008. 08. 13,

CN 101944906 A, 2011. 01. 12,

CN 1309835 A, 2001. 08. 22,

US 6570946 B1, 2003. 05. 27,

审查员 王晓渊

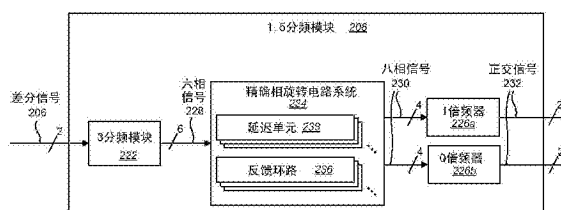
权利要求书3页 说明书9页 附图10页

(54) 发明名称

用于对频率进行 1.5 分频以产生正交信号的方法和装置

(57) 摘要

公开了一种用于对频率进行 1.5 分频以产生正交信号的装置。该装置包括分频器，该分频器接收具有第一频率和两个相的差分输入信号，并且创建处于第二频率的六相信号。第二频率是第一频率的 3 分频。该装置还包括精确相旋转电路系统，该精确相旋转电路系统接收六相信号并产生八相信号。该装置还包括倍频器，该倍频器接收八相信号并产生正交信号。该正交信号具有第三频率，第三频率是第一频率的 1.5 分频。



1. 一种用于对频率进行1.5分频以产生正交信号的装置,包括
分频器,其接收具有第一频率和两个相的差分输入信号,并且创建处于第二频率的六相信号,其中第二频率是第一频率的3分频;
精确相旋转电路系统,其接收所述六相信号并产生八相信号,其中所述精确相旋转电路系统包括一个或多个延迟单元,所述延迟单元各自对所述六相信号中的一个或多个相进行旋转;以及
倍频器,其接收所述八相信号并产生正交信号,其中所述正交信号具有第三频率,所述第三频率为第一频率的1.5分频。
2. 如权利要求1所述的装置,其特征在于,每个延迟单元将一个或多个相旋转15度、30度或45度。
3. 如权利要求2所述的装置,其特征在于,所执行的相旋转的量基于至每个延迟单元的控制信号。
4. 如权利要求3所述的装置,其特征在于,所述控制信号是由反馈环路确定的,其中具有高值的控制信号与具有低值的控制信号相比产生更少延迟。
5. 如权利要求4所述的装置,其特征在于,每个反馈环路包括一个或多个逻辑与门、电阻器和电容器,其中所述电阻器和电容器充当用于所述逻辑与门的输出的低通滤波器。
6. 如权利要求1所述的装置,其特征在于,所述相旋转电路系统包括六个延迟单元,每个延迟单元对所述六相信号中的不同相进行旋转。
7. 如权利要求1所述的装置,其特征在于,每个延迟单元包括串联配置的p沟道晶体管、n沟道晶体管和n沟道负反馈晶体管,其中在所述负反馈晶体管的栅极处接收的控制信号决定对在所述p沟道晶体管和所述n沟道晶体管的栅极处接收的输入信号的延迟量。
8. 如权利要求7所述的装置,其特征在于,所述p沟道晶体管和n沟道晶体管的漏极耦合在所述延迟单元的输出处,其中所述n沟道晶体管的源极耦合到所述负反馈晶体管的漏极,其中所述负反馈晶体管的源极耦合到地,其中所述p沟道晶体管的源极耦合到直流参考电压。
9. 一种用于对频率进行1.5分频以产生正交信号的方法,包括
接收具有第一频率的差分信号;
基于所述差分信号创建处于第二频率的六相信号,其中第二频率为第一频率的3分频;
将所述六相信号转换成处于第二频率的八相信号,其中将所述六相信号转换成八相信号包括:使用包括一个或多个延迟单元的精确相旋转电路系统,所述延迟单元各自对所述六相信号中的一个或多个相进行旋转;以及
将所述八相信号转换成处于第三频率的正交信号,其中第三频率是第一频率的1.5分频。
10. 如权利要求9所述的方法,其特征在于,每个延迟单元将一个或多个相旋转15度、30度或45度。
11. 如权利要求10所述的方法,其特征在于,所执行的相旋转的量基于至每个延迟单元的控制信号。
12. 如权利要求11所述的方法,其特征在于,还包括由一个或多个反馈环路为每个延迟单元确定控制信号,其中具有高值的控制信号与具有低值的控制信号相比产生更少延迟。

13. 如权利要求12所述的方法,其特征在于,每个反馈环路包括一个或多个逻辑与门、电阻器和电容器,其中所述电阻器和电容器充当用于所述逻辑与门的输出的低通滤波器。

14. 如权利要求9所述的方法,其特征在于,所述相旋转电路系统包括六个延迟单元,每个延迟单元对所述六相信号中的不同相进行旋转。

15. 如权利要求9所述的方法,其特征在于,每个延迟单元包括串联配置的p沟道晶体管、n沟道晶体管和n沟道负反馈晶体管,其中在所述负反馈晶体管的栅极处接收的控制信号决定对在所述p沟道晶体管和所述n沟道晶体管的栅极处接收的输入信号的延迟量。

16. 如权利要求15所述的方法,其特征在于,所述p沟道晶体管和n沟道晶体管的漏极耦合在所述延迟单元的输出处,其中所述n沟道晶体管的源极耦合到所述负反馈晶体管的漏极,其中所述负反馈晶体管的源极耦合到地,其中所述p沟道晶体管的源极耦合到直流参考电压。

17. 一种用于对频率进行1.5分频以产生正交信号的设备,包括

用于接收具有第一频率的差分信号的装置;

用于基于所述差分信号创建处于第二频率的六相信号的装置,其中第二频率为第一频率的3分频;

用于将所述六相信号转换成处于第二频率的八相信号的装置,其中用于将所述六相信号转换成八相信号的装置包括一个或多个用于延迟的装置,所述用于延迟的装置各自对所述六相信号中的一个或多个相进行旋转;以及

用于将所述八相信号转换成处于第三频率的正交信号的装置,其中第三频率是第一频率的1.5分频。

18. 如权利要求17所述的设备,其特征在于,每个用于延迟的装置将一个或多个相旋转15度、30度或45度。

19. 如权利要求18所述的设备,其特征在于,所执行的相旋转的量基于至每个用于延迟的装置的控制信号。

20. 如权利要求19所述的设备,其特征在于,还包括一个或多个用于为每个用于延迟的装置确定控制信号的装置,其中具有高值的控制信号与具有低值的控制信号相比产生更少延迟。

21. 如权利要求20所述的设备,其特征在于,每个用于确定的装置包括一个或多个逻辑与门、电阻器和电容器,其中所述电阻器和电容器充当用于所述逻辑与门的输出的低通滤波器。

22. 如权利要求17所述的设备,其特征在于,所述用于转换的装置包括六个延迟单元,每个延迟单元对所述六相信号中的不同相进行旋转。

23. 如权利要求17所述的设备,其特征在于,每个用于延迟的装置包括串联配置的p沟道晶体管、n沟道晶体管和n沟道负反馈晶体管,其中在所述负反馈晶体管的栅极处接收的控制信号决定对在所述p沟道晶体管和所述n沟道晶体管的栅极处接收的输入信号的延迟量。

24. 如权利要求23所述的设备,其特征在于,所述p沟道晶体管和n沟道晶体管的漏极耦合在所述用于延迟的装置的输出处,其中所述n沟道晶体管的源极耦合到所述负反馈晶体管的漏极,其中所述负反馈晶体管的源极耦合到地,其中所述p沟道晶体管的源极耦合到直

流参考电压。

用于对频率进行1.5分频以产生正交信号的方法和装置

[0001] 根据35U.S.C. §119的优先权要求

[0002] 本专利申请要求于2011年11月28日提交、且被转让给本申请受让人并因而明确援引纳入于此的题为“A novel divide-by-1.5 circuit(新颖的1.5分频电路)”的临时申请No. 61/563,958的优先权。

技术领域

[0003] 本公开一般涉及频率合成领域。更具体而言,所公开的配置涉及对频率进行1.5分频以产生正交信号。

[0004] 背景

[0005] 电子设备(蜂窝电话、无线调制解调器、计算机、数字音乐播放器、全球定位系统单元、个人数字助理、游戏设备等)已成为日常生活的一部分。小型计算设备如今被放置在从汽车到住房用锁等各种事物中。在过去的几年里电子设备的复杂度有了急剧的上升。例如,许多电子设备具有一个或多个帮助控制该设备的处理器、以及支持该处理器及该设备的其他部件的数个数字电路。

[0006] 无线通信系统被广泛部署以提供诸如语音、视频、数据等各种类型的通信内容。这些系统可以是能够支持多个无线通信设备与一个或多个基站的同时通信的多址系统。

[0007] 移动设备可包括在操作期间使用的各式各样的电路。举例而言,振荡器可被用来对跨移动设备内的电路板或集成电路的各种电路进行同步。此外,移动设备内的不同电路可使用不同频率来操作。因此,可通过对频率进行1.5分频以产生正交信号来实现益处。

发明内容

[0008] 公开了一种用于对频率进行1.5分频以产生正交信号的装置。该装置包括分频器,该分频器接收具有第一频率和两个相的差分输入信号,并且创建处于第二频率的六相信号。第二频率是第一频率的3分频。该装置还包括精确相旋转电路系统,该精确相旋转电路系统接收六相信号并产生八相信号。该装置还包括倍频器,该倍频器接收八相信号并产生正交信号。该正交信号具有第三频率,第三频率是第一频率的1.5分频。

[0009] 精确相旋转电路系统可包括一个或多个延迟单元,这些延迟单元各自旋转六相信号中的一个或多个相。每个延迟单元可将六相信号中的一个或多个相旋转15度、30度或45度。所执行的旋转的量可以基于至每个延迟单元的控制信号。该控制信号可以由反馈环路来确定。具有高值的控制信号与具有低值的控制信号相比可以产生更少延迟。每个反馈环路可包括一个或多个逻辑与门、电阻器和电容器。电阻器和电容器可以充当用于逻辑与门的输出的低通滤波器。

[0010] 相旋转电路系统可包括六个延迟单元,这些延迟单元各自对六相信号中的不同相进行旋转。在一种配置中,每个延迟单元包括串联配置的p沟道晶体管、n沟道晶体管和n沟道负反馈晶体管。在负反馈晶体管的栅极处接收的控制信号可以确定用于在p沟道晶体管和n沟道晶体管的栅极处接收的输入信号的延迟量。p沟道晶体管和n沟道晶体管的漏极可

以耦合到延迟单元的输出。 n 沟道晶体管的源极可以耦合到负反馈晶体管的漏极。负反馈晶体管的源极可以耦合到地。 p 沟道晶体管的源极可以耦合到直流参考电压。

[0011] 还公开了一种用于对频率进行1.5分频以产生正交信号的方法。接收具有第一频率的差分信号。基于该差分信号创建处于第二频率的六相信号,其中第二频率是第一频率的3分频。将六相信号转换成处于第二频率的八相信号。将八相信号转换成处于第三频率的正交信号,其中第三频率是第一频率的1.5分频。

[0012] 还公开了一种用于对频率进行1.5分频以产生正交信号的设备。该设备包括用于接收具有第一频率的差分信号的装置。该设备还包括用于基于该差分信号创建处于第二频率的六相信号的装置,其中第二频率是第一频率的3分频。该设备还包括用于将六相信号转换成处于第二频率的八相信号的装置。该设备还包括用于将八相信号转换成处于第三频率的正交信号的装置,其中第三频率是第一频率的1.5分频。

[0013] 还公开了一种用于对频率进行1.5分频以产生正交信号的计算机程序产品。该计算机程序产品包括其上具有指令的计算机可读介质。这些指令包括用于接收具有第一频率的差分信号的代码。这些指令还包括用于基于该差分信号创建处于第二频率的六相信号的代码,其中第二频率是第一频率的3分频。这些指令还包括用于将六相信号转换成处于第二频率的八相信号的代码。这些指令还包括用于将八相信号转换成处于第三频率的正交信号的装置,其中第三频率是第一频率的1.5分频。

[0014] 附图简述

[0015] 图1是解说接收机的框图;

[0016] 图2是1.5分频模块的框图;

[0017] 图3是解说1.5分频模块的框图;

[0018] 图4A是解说输入到精确相旋转电路系统的六相信号(X1-X6)的相图;

[0019] 图4B是解说从精确相旋转电路系统输出的八相信号的相图;

[0020] 图5是解说例如用在精确相旋转电路系统中的延迟单元的电路图;

[0021] 图6是解说用于对频率进行1.5分频以产生正交信号的方法的流程图;

[0022] 图7A是解说第一反馈环路的操作的电路图;

[0023] 图7B是由第一反馈环路和延迟单元造成的相旋转的图形解说;

[0024] 图8A是解说第二反馈环路的操作的电路图;

[0025] 图8B是由第二反馈环路和延迟单元造成的相旋转的图形解说;

[0026] 图9A是解说第二反馈环路的操作的电路图;

[0027] 图9B是由第三反馈环路和延迟单元造成的相旋转的图形解说;以及

[0028] 图10解说可被包括在电子设备/无线设备内的某些组件。

具体实施方式

[0029] 用于对频率进行1.5分频的一种可能的方式是使用倍频器继之以分频器(3分频)的架构。如果期望正交信号,则分频器可以在这样的配置中输出正交信号。然而,该配置可能有问题。首先,分频器可能在相对高的频率(例如时钟频率的两倍)操作,这可能在过程中引入不稳定性。第二,为了获得针对倍频器的正交输入,时钟信号可以由RC/CR网络(例如使用缓冲器)进行高通/低通滤波,这可能导致相对高的功耗和不良的信号质量。例如,RC/CR

网络可以用于从差分信号中产生正交信号,例如RC部分(实现低通滤波器的电阻性-电容性电路)可以将信号旋转+45度,并且CR部分(实现高通滤波器的电容性-电阻性电路)可以将同一信号旋转-45度。除了相对不良的功耗以外,RC/CR网络尤其可能不适应于宽带信号,且还有其他性能限制。

[0030] 第三,可能由于依赖于过程的高通/低通滤波而造成高相位噪声和不精确的相关系。如本文所使用的,术语“倍频器”是指将信号的频率进行大致2倍频的模块。术语“分频器”可以指对信号的频率进行分频的模块,例如“3分频”模块可以是具有分频比为3的分频器。

[0031] 本系统和方法可以使用分频器(例如3分频)继之以倍频器。分频器可以在较低频率(例如VCO频率)操作,这可以在过程中提供更稳健的功能性。为了正交相生成,可以使用精确相旋转电路系统和方法,其可以保留数字信号质量(以获得良好的相位噪声和残余边带性能)并减小电流消耗。

[0032] 在分频器继之以倍频器(I倍频器和Q倍频器)的架构中,这些倍频器可以使用八个相(分隔45度)来生成四个正交相(分隔90度)。然而,分频器可能仅仅固有地生成六个相(分隔60度)。因此,精确相旋转可以用于生成八个相,这八个相被倍频器用于产生四个正交相。此外,本系统和方法可以用于生成任何分数型分频比,例如2.5、3.5等等。

[0033] 图1是解说接收机102的框图。接收机102可以是设计用于无线通信的移动设备或基站的一部分,例如超高数据率(SHDR)接收本地振荡器(LO)路径的一部分。接收机102尤其可包括低噪声放大器(LNA)112、频率合成器104、具有相旋转的1.5分频模块108、和混频器116。LNA 112可以从天线120接收无线通信信号。LNA 112可将接收到的信号放大到可使用电平,并产生射频(RF)信号114,即所发送的原始信号的表示。频率合成器104可输出针对特定应用的差分信号106。频率合成器104可以能够产生不同的频率。具有相旋转的1.5分频模块108可以接收差分信号106并输出正交信号132。如下面所讨论的,具有相旋转的1.5分频模块108可以使用分频器继之以倍频器。尽管被解说为在接收机102中,但是具有相旋转的1.5分频模块108可以用在被设计用于无线通信的移动设备或基站中的各种应用中。混频器116可以接收来自LNA 112的RF信号114以及来自具有相旋转的1.5分频模块108的正交信号132,并产生基带信号118。基带信号118可以是实际重构的由传送设备上的话筒接收到的音频,例如发声的话音或其他种类的数据。因此,接收机102可使用混频器116来重构基带信号118。

[0034] 图2是1.5分频模块208的框图。1.5分频模块208可包括3分频模块222、继之以精确相旋转电路系统224、继之以一个或多个倍频器226a-b。3分频模块222可以例如从频率合成器104接收差分信号206。3分频模块222可以对差分信号206的频率进行分频,并且为精确相旋转电路系统224产生六相信号228。精确相旋转电路系统224可以接收六相信号228并产生八相信号230。这可包括使用一个或多个延迟单元238以及一个或多个反馈环路236。如本文所使用的,术语“延迟单元”238是指在时域对信号进行时延或者在频域对信号进行相移的任何模块。八相信号230内的四个相可以被发送给I(同相)倍频器226a,并且其他四个相可以被发送给Q(异相)倍频器226b。I倍频器226a和Q倍频器226b的组合输出可以形成正交信号232。

[0035] 通过使用具有分频器222继之以倍频器226a-b(而不是倍频器继之以分频器)的架

构,与1.5分频模块208相关联的许多问题都可以被避免。具体而言,通过将3分频模块222放置在倍频器226a-b之前,3分频模块222就能够在较低频率操作,例如在VCO频率(F_{vco})而不是两倍VCO频率($2 \cdot F_{vco}$)操作。这可以实现更可靠的分频器222功能性。附加地,1.5分频模块208可以不包括RC/CR网络(例如以将单个相拆分成多个相),这可以导致较低的电流消耗。在一种配置中,与具有倍频器226a-b继之以分频器222的配置相比,电流消耗可以减小大致40%。附加地,1.5分频模块208的相位准确度可以是独立于过程和温度的,这可以将残余边带性能改善例如大约10dB。

[0036] 图3是解说1.5分频模块308的框图。如前,1.5分频模块308可包括3分频模块322、精确相旋转电路324、以及一个或多个倍频器326a-b。3分频模块322可以接收处于频率 F_{vco} 的差分信号306(即,二相),并且产生处于频率 $F_{vco}/3$ 的六相信号($X1-X6$)328a-f。精确相旋转电路系统324可以接收六相信号($X1-X6$)328a-f并产生八相信号($Out0-Out315$)330a-h。八相信号($Out0-Out315$)330a-h内的四个相可以被发送给I(同相)倍频器326a,并且其他四个相可以被发送给Q(异相)倍频器326b。I倍频器326a和Q倍频器326b的组合输出可以形成正交信号($QuadOut1-QuadOut4$)332a-d。

[0037] 具体而言,精确相旋转电路系统324可以使用延迟单元338a-f和反馈环路340、342、344的组合来将六相信号($X1-X6$)328a-f转变为八相信号($Out0-Out315$)330a-h。每个延迟单元338a-f可接收来自六相信号($X1-X6$)328a-f的一个相和控制信号(即VC1 346、VC2 348或VC3 350),并且产生八相信号($Out0-Out315$)330a-h中的一个相。例如,第一延迟单元338a可以接收 $X2$ 328b(来自六相信号328)和VC1 346(来自第一反馈环路340),并且产生 $Out270$ 330g。类似地,第二延迟单元338b可以接收 $X5$ 328e(来自六相信号328)和VC1 346(来自第一反馈环路340),并且产生 $Out90$ 330c。在精确相旋转电路系统324中针对第三延迟单元338c、第四延迟单元338d、第五延迟单元338e和第六延迟单元338f解说了类似的处理路径,以分别产生 $Out225$ 330f、 $Out45$ 330b、 $Out315$ 330h和 $Out135$ 330d。

[0038] 每个反馈环路340、342、344可包括与(AND)门、电阻器、电容器和运算放大器的组合以调整各个相,即产生控制信号(VC1-VC3)346、348、350,这些控制信号用于控制延迟单元338a-f旋转六相信号($X1-X6$)328a-f中的各个相以产生八相信号($Out0-Out315$)330a-h。在精确相旋转电路系统324的一种配置中,反馈环路340、342、344可包括类似元件,但是可以在所接收的输入上有所不同,由此产生不同输出。例如,第一反馈环路340可以接收 $Out0$ 330a(与 $X1$ 328a相同)、 $Out90$ 330c、 $Out180$ 330e(与 $X4$ 328d相同)以及 $Out270$ 330g以产生第一控制信号(VC1)346。第二反馈环路324可以接收 $Out0$ 330a、 $Out45$ 330b、 $Out90$ 330c、 $Out180$ 、330e、 $Out225$ 330f和 $Out270$ 330g,以产生第二控制信号(VC2)348。第三反馈环路可以接收 $Out0$ 330a、 $Out90$ 330c、 $Out135$ 330d、 $Out180$ 330e、 $Out270$ 330g和 $Out315$ 330h,以产生第三控制信号(VC3)350。控制信号(VC1-VC3)346、348、350可以确定由延迟单元338a-f执行多少延迟。 $X1$ 328a和 $X4$ 328d可被认为分别等于 $Out0$ 330a和 $Out180$ 330e,而没有来自延迟单元338a-f的任何附加延迟。

[0039] I(同相)倍频器326a和Q(异相)倍频器326b可以各自接收八相信号($Out0-Out315$)330a-h中的四个相以产生具有为 $F_{vco}/1.5$ 的第三频率的正交信号332。具体而言,I倍频器326a可以接收 $Out0$ 330a、 $Out180$ 330e、 $Out90$ 330c和 $Out270$ 330g,以产生正交信号中的两个相($QuadOut1-QuadOut2$)332a-b。类似地,Q倍频器326b可以接收 $Out45$ 330b、 $Out225$

330f、Out315 330h和Out135 330d,以产生正交信号中的其他两个相(QuadOut3-QuadOut4) 332c-d。

[0040] 图4A是解说输入到精确相旋转电路系统324的六相信号(X1-X6)428a-f的相图。例如,六个相(X1-X6)428a-f可以是从3分频模块322输出的。如图所示,六相信号(X1-X6) 428a-f的各个相可以均匀地彼此间隔开60度。换言之,X1 428a、X6 428f、X5 428e、X4 428d、X3 428c和X2 428b可以分别具有相位0、60、120、180、240和300度。

[0041] 图4B是解说从精确相旋转电路系统324输出的八相信号430的相图。例如,八个相(Out0-Out315)430a-h可以在I(同相)倍频器326a与Q(异相)倍频器326b之间输入,以产生正交信号(QuadOut1-QuadOut4)332a-d。如图所示,八相信号(Out0-Out315)430a-h的各个相可以均匀地彼此间隔开45度。换言之,Out0 430a、Out45 430b、Out90 430c、Out135 430d、Out180 430e、Out225 430f、Out270 430g和Out315 430h可以分别具有相位0、45、90、135、180、225、270和315度。

[0042] 图5是解说例如用在精确相旋转电路系统324中的延迟单元538的电路图。延迟单元538可以接收输入信号528(例如六相信号(X1-X6)328a-f的一部分)和控制信号552(例如来自反馈环路340、342、344),并且产生输出信号(例如八相信号(Out0-Out315)330a-h的一部分)。输入信号528可以馈送到p沟道金属氧化物半导体(PMOS)晶体管554和n沟道金属氧化物半导体(NMOS)晶体管556的栅极。p沟道晶体管554可以与n沟道晶体管556处于串联配置。

[0043] 控制信号552可以馈送到负反馈晶体管558(例如n沟道负反馈晶体管558)的栅极。在一种配置中,控制信号552的电压电平越高,则在输出信号530处产生的延迟就越低,即,控制信号552上的最大电压可以产生输出信号530中的零延迟。相反,控制信号552的电压电平越低,则在输出信号530处产生的延迟就越高,即,控制信号552上的零电压可以产生输出信号530中的最大延迟。尽管解说了具有负反馈晶体管558的配置,但是可以使用延迟单元558的任何合适的配置。例如,可以使用基于控制信号552提供可变延迟的开关电容器组。此外,无论所使用的配置如何,都可以将一个或多个延迟单元538级联到一起以增加可能的延迟。

[0044] 在一种配置中,PMOS晶体管554的源极可以耦合到直流(DC)参考电压(Vdd)553。PMOS晶体管554和NMOS晶体管556的漏极可以耦合在一起。NMOS晶体管556的源极可以耦合到负反馈晶体管558的漏极。负反馈晶体管558的源极可以耦合到地560。具体而言,控制信号552可以调整负反馈晶体管558的电阻,由此调整延迟单元538的总延迟。此外,负反馈晶体管558的尺寸可以针对其中应用本系统和方法的具体应用来选择,例如较小负反馈晶体管558可以允许较大电阻并影响延迟单元538的总延迟范围。

[0045] 图6是解说对频率进行1.5分频以产生正交信号232的方法600的流程图。方法600可由1.5分频模块208来执行。1.5分频模块208可以接收(602)具有第一频率(例如VCO频率(Fvco))的差分信号206。例如,差分信号206可以接收自接收机102中的频率合成器104。1.5分频模块208还可以创建(604)处于第二频率的六相信号228,其中第二频率是第一频率的3分频,即 $F_{vco}/3$ 。1.5分频模块208可使用3分频模块222来创建六相信号228。六相信号228的各个相可以均匀地彼此间隔开60度,即,六相信号可具有相位0、60、120、180、240和300度。

[0046] 1.5分频模块208还可以将六相信号228转换(606)成处于第二频率即 $F_{vco}/3$ 的八

相信号230。这可以包括使用精确相旋转电路系统224。具体而言,该转换可包括使用延迟单元238和反馈环路236的组合来从六相信号228中创建八相信号230。1.5分频模块208还可以将八相信号230转换(608)成处于第三频率的八相信号232,第三频率是第一频率的1.5分频和第二频率的2倍频。换言之,第三频率可以是 $F_{vco}/1.5$ 。这可以包括使用一个或多个倍频器,例如I(同相)倍频器226a和Q(异相)倍频器226b。

[0047] 图7A是解说第一反馈环路740的操作的电路图。反馈环路740可以使用相旋转电路系统324中可用的多种信号来产生第一控制信号(VC1)746,第一控制信号决定由延迟单元738a-b引入的延迟量。换言之,第一控制信号(VC1)746可以被反馈到延迟单元738a-b的输入以决定要将X2 728b和X5 728e延迟多少。具体而言,第一反馈环路740可以接收Out0 730a(与X1 728a相同)、Out90 730c、Out180 730e(与X4 728d相同)以及Out270 730g以产生第一控制信号(VC1)746。

[0048] 反馈环路740可包括四个逻辑与门762a-d、四个电阻器(R1-R4)764a-d、以及两个电容器(C1-C2)766a-b以提供到运算放大器768的两个输入。前两个与门762a-b、前两个电阻器(R1-R2)764a-b和第一电容器(C1)766a可以充当第一(或顶部)平均电路,该平均电路提供到运算放大器768的正输入端子的输入。后两个与门762c-d、后两个电阻器(R3-R4)764c-d和第二电容器(C2)766b可以充当第二(或底部)平均电路,该平均电路提供到运算放大器768的负输入端子的输入。电阻器(R1-R4)764a-d和电容器(C1-C2)766a-b可以组合以对与门762a-d的输出进行低通滤波。此外,正端子的输入电压将被称为 V_p 并且负端子的输入电压将被称为 V_n 。电压将参照反馈环路以DC电压单位的形式来讨论,其中 $1u=1$ 个DC电压单位= $V_{dd}/12$ 。

[0049] 首先,假定VC1 746处于最大值,这导致延迟单元738a-b中没有延迟。在没有任何延迟的情况下,第一延迟单元的输出可以处于300度(与X2 728b相同),并且第二延迟单元的输出可以处于120度(与X5 728e相同)。顶部平均电路可以产生 $V_p=2u$ 并且底部平均电路可以产生 $V_n=4u$ 。不相等的输入可以迫使运算放大器768输出(VC1)746为低,这导致更多延迟。当X2 728b和X5 728e被延迟为使得 $V_p=V_n=3u$ 时,便可以建立起平衡。因此,X2 728b和X5 728e可以有效地延迟30度(或即 $1u$)以分别变为Out270 730g和Out90 730c。

[0050] 图7B是由第一反馈环路740和延迟单元738a-b造成的相旋转的图形解说。在左边,X1 728a、X2 728b、X4 728d和X5 728e(到第一反馈环路740的输入)被解说为分别处于0、300、180和120度。在右边,Out0 730a、Out90 730c、Out180 730e和Out270 730g被解说为分别处于0、90、180和270度。因此,通过将X1 728a和X4 728d用作参考,延迟单元738a-b和第一反馈环路740就能够将X2 728b和X5 728e顺时针旋转30度。

[0051] 图8A是解说第二反馈环路842的操作的电路图。反馈环路842可以使用相旋转电路系统324中可用的多种信号来产生第二控制信号(VC2)848,第二控制信号决定由延迟单元838c-d引入的延迟量。换言之,第二控制信号(VC2)848可以被反馈到延迟单元838c-d的输入以决定要将X3 828c和X6 828f延迟多少。第二反馈环路842可以接收Out0 830a、Out45 830b、Out90 830c、Out180 830e、Out225 830f和Out270 830g,以产生第二控制信号(VC2)848。

[0052] 图8A中解说的第二反馈环路842可包括与图7A中解说的第一反馈环路740类似的功能性和电路元件。具体而言,图8A中解说的与门862a-d、电阻器(R1-R4)864a-d、电容器

(C1-C2)866a-b和运算放大器868可以对应于图7A中解说的与门762a-d、电阻器(R1-R4)764a-d、电容器(C1-C2)766a-b和运算放大器768。

[0053] 然而,相比之下,延迟单元838c-d和第二反馈环路842可以将X1 828a和X4 828d用作参考以将X3 828c和X6 828f顺时针旋转15度(而不是如图7A中那样将X2 728b和X5 728e旋转30度)。为了这样做,顶部平均电路可以产生 $V_p=1u$ 并且底部平均电路可以产生 $V_n=2u$ 。不相等的输入可以迫使运算放大器868输出(VC2)848为低,这导致更多延迟。当X3 828c和X6 828f被延迟为使得 $V_p=V_n=1.5u$ 时,便可以建立起平衡。因此,X3 828c和X6 828f可以有效地延迟15度以分别变为Out225 830f和Out45 830b。

[0054] 图8B是由第二反馈环路842和延迟单元838c-d造成的相旋转的图形解说。在左边,X1 828a,X3 728c,X4 828d和X6 828f(到第二反馈环路842的输入)被解说为分别处于0、240、180和60度。在右边,Out0 830a,Out45 830b,Out180 830e和Out225 830f被解说为分别处于0、45、180和225度。因此,通过将X1 828a和X4 828d用作参考,延迟单元838c-d和第二反馈环路842就能够将X3 828c和X6 828f顺时针旋转15度。

[0055] 图9A是解说第三反馈环路944的操作的电路图。反馈环路944可以使用相旋转电路系统324中可用的多种信号来产生第三控制信号(VC3)950,第三控制信号决定由延迟单元938e-f引入的延迟量。换言之,第三控制信号(VC3)950可以被反馈到延迟单元938e-f的输入以决定要将X1 928a和X4 928d延迟多少。第三反馈环路可以接收Out0 930a、Out90 930c、Out135 930d、Out180 930e、Out270 930g和Out315 930h,以产生第三控制信号(VC3)950。

[0056] 图9A中解说的第三反馈环路944可包括与图7A中解说的第一反馈环路740类似的功能性和电路元件。具体而言,图9A中解说的与门962a-d、电阻器(R1-R4)964a-d、电容器(C1-C2)966a-b和运算放大器968可以对应于图7A中解说的与门762a-d、电阻器(R1-R4)764a-d、电容器(C1-C2)766a-b和运算放大器768。

[0057] 然而,相比之下,延迟单元938e-f和第三反馈环路944可以将X1 928a和X4 928d顺时针旋转45度。为了这样做,顶部平均电路可以产生 $V_p=3u$ 并且底部平均电路可以产生 $V_n=0u$ 。当X1 928a和X4 928d被延迟为使得 $V_p=V_n=1.5u$ 时,便可以建立起平衡。因此,X1 928a和X4 928d可以有效地延迟45度以分别变为Out315 930h和Out135 930d。

[0058] 图9B是由第三反馈环路944和延迟单元938e-f造成的相旋转的图形解说。在左边,X1 928a和X4 928d被解说为分别处于0和180度。在右边,Out0 930a,Out135 930d,Out180 930e和Out315 930h被解说为分别处于0、135、180和315度。因此,可以使用延迟单元938e-f和第三反馈环路944将X1 928a和X4 928d顺时针旋转45度。

[0059] 图10解说可被包括在电子设备/无线设备1004内的某些组件。电子设备/无线设备1004可以是接入终端、移动站、用户装备(UE)、基站、接入点、广播发射机、B节点、演进型B节点等。电子设备/无线设备1004包括处理器1003。处理器1003可以是通用单芯片或多芯片微处理器(例如,ARM)、专用微处理器(例如,数字信号处理器(DSP))、微控制器、可编程门阵列等。处理器1003可被称为中央处理单元(CPU)。尽管在图10的电子设备/无线设备1004中仅示出了单个处理器1003,但在替换配置中,可以使用处理器的组合(例如,ARM和DSP)。

[0060] 电子设备/无线设备1004还包括存储器1005。存储器1005可以是能够存储电子信息的任何电子组件。存储器1005可被实施为随机存取存储器(RAM)、只读存储器(ROM)、磁盘

存储介质、光学存储介质、RAM中的闪存设备、随处理器包括的板载存储器、EPROM存储器、EEPROM存储器、寄存器等等,包括其组合。

[0061] 数据1007a和指令1009a可被存储在存储器1005中。指令1009a可由处理器1003执行以实现本文中所公开的方法。执行指令1009a可涉及使用存储在存储器1005中的数据1007a。当处理器1003执行指令1009a时,指令1009b的各个部分可被加载到处理器1003上,并且数据1007b的各个片段可被加载到处理器1003上。

[0062] 电子设备/无线设备1004还可包括发射机1011和接收机1013,以允许向和从电子设备/无线设备1004传送和接收信号。发射机1011和接收机1013可被合称为收发机1015。多个天线1017a-b可电耦合至收发机1015。电子设备/无线设备1004还可包括(未示出)多个发射机、多个接收机、多个收发机、和/或附加天线。

[0063] 电子设备/无线设备1004可包括数字信号处理器(DSP)1021。电子设备/无线设备1004还可包括通信接口1023。通信接口1023可允许用户与电子设备/无线设备1004交互。

[0064] 电子设备/无线设备1004的各种组件可由一条或多条总线耦合在一起,这些总线可包括电源总线、控制信号总线、状态信号总线、数据总线等。为清楚起见,各种总线在图10中被解说为总线系统1019。

[0065] 本文中所描述的技术可以用于各种通信系统,包括基于正交复用方案的通信系统。此类通信系统的示例包括正交频分多址(OFDMA)系统、单载波频分多址(SC-FDMA)系统、等等。OFDMA系统利用正交频分复用(OFDM),这是一种将整个系统带宽划分成多个正交副载波的调制技术。这些副载波也可以被称为频调、频槽等。在OFDM下,每个副载波可以用数据独立调制。SC-FDMA系统可以利用交织式FDMA(IFDMA)在跨系统带宽分布的副载波上传送,利用局部式FDMA(LFDMA)在由毗邻副载波构成的块上传送,或者利用增强式FDMA(EFDMA)在多个由毗邻副载波构成的块上传送。一般而言,调制码元在OFDM下是在频域中发送的,而在SC-FDMA下是在时域中发送的。

[0066] 术语“确定”广泛涵盖各种各样的动作,并且因此“确定”可包括演算、计算、处理、推导、调研、查找(例如,在表、数据库或其他数据结构中查找)、探明、和类似动作。另外,“确定”还可包括接收(例如,接收信息)、访问(例如,访问存储器中的数据)、和类似动作。另外,“确定”可包括解析、选择、选取、建立、和类似动作等等。

[0067] 除非明确另行指出,否则短语“基于”并非意味着“仅基于”。换言之,短语“基于”描述“仅基于”和“至少基于”两者。

[0068] 术语“处理器”应被宽泛地解读为涵盖通用处理器、中央处理单元(CPU)、微处理器、数字信号处理器(DSP)、控制器、微控制器、状态机,等等。在某些情景下,“处理器”可以是指专用集成电路(ASIC)、可编程逻辑器件(PLD)、现场可编程门阵列(FPGA),等等。术语“处理器”可以是指处理设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协作的一个或多个微处理器、或任何其他这类配置。

[0069] 术语“存储器”应被宽泛地解读为涵盖能够存储电子信息的任何电子组件。术语存储器可以是指各种类型的处理器可读介质,诸如随机存取存储器(RAM)、只读存储器(ROM)、非易失性随机存取存储器(NVRAM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式PROM(EEPROM)、闪存、磁或光学数据存储、寄存器等等。如果处理器能从存储器读信息和/或向存储器写信息,则认为该存储器与该处理器正处于电子通信中。整合

到处理器的存储器与该处理器处于电子通信中。

[0070] 术语“指令”和“代码”应被宽泛地解读为包括任何类型的(诸)计算机可读语句。例如,术语“指令”和“代码”可以是指一个或多个程序、例程、子例程、函数、规程等。“指令”和“代码”可包括单条计算机可读语句或许多条计算机可读语句。

[0071] 本文中所描述的功能可以在正由硬件执行的软件或固件中实现。各功能可以作为一条或多条指令存储在计算机可读介质上。术语“计算机可读介质”或“计算机程序产品”是指能被计算机或处理器访问的任何有形存储介质。作为示例而非限定,计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其他光盘储存、磁盘储存或其他磁储存设备、或任何其他能够用于携带或存储指令或数据结构形式的期望程序代码且能由计算机访问的介质。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光®碟,其中盘常常磁性地再现数据而碟用激光来光学地再现数据。

[0072] 本文所公开的方法包括用于达成所描述的方法的一个或多个步骤或动作。这些方法步骤和/或动作可以彼此互换而不会脱离权利要求的范围。换言之,除非所描述的方法的正确操作要求步骤或动作的特定次序,否则便可改动具体步骤和/或动作的次序和/或使用而不会脱离权利要求的范围。

[0073] 进一步地,还应领会,用于执行本文中所描述的方法和技术(诸如图6所解说那些)的模块和/或其他恰适装置可以由设备下载和/或以其他方式获得。例如,可以将设备耦合至服务器以便于转送用于执行本文中所描述的方法的装置。替换地,本文中所描述的各种方法可经由存储装置(例如,随机存取存储器(RAM)、只读存储器(ROM)、诸如压缩碟(CD)或软盘等物理存储介质)来提供,以使得一旦将该存储装置耦合至或提供给设备,该设备就可获得各种方法。

[0074] 应该理解的是,权利要求并不被限定于以上所解说的精确配置和组件。可在本文中所描述的系统、方法、和装置的布局、操作及细节上作出各种改动、变化和变型而不会脱离权利要求的范围。

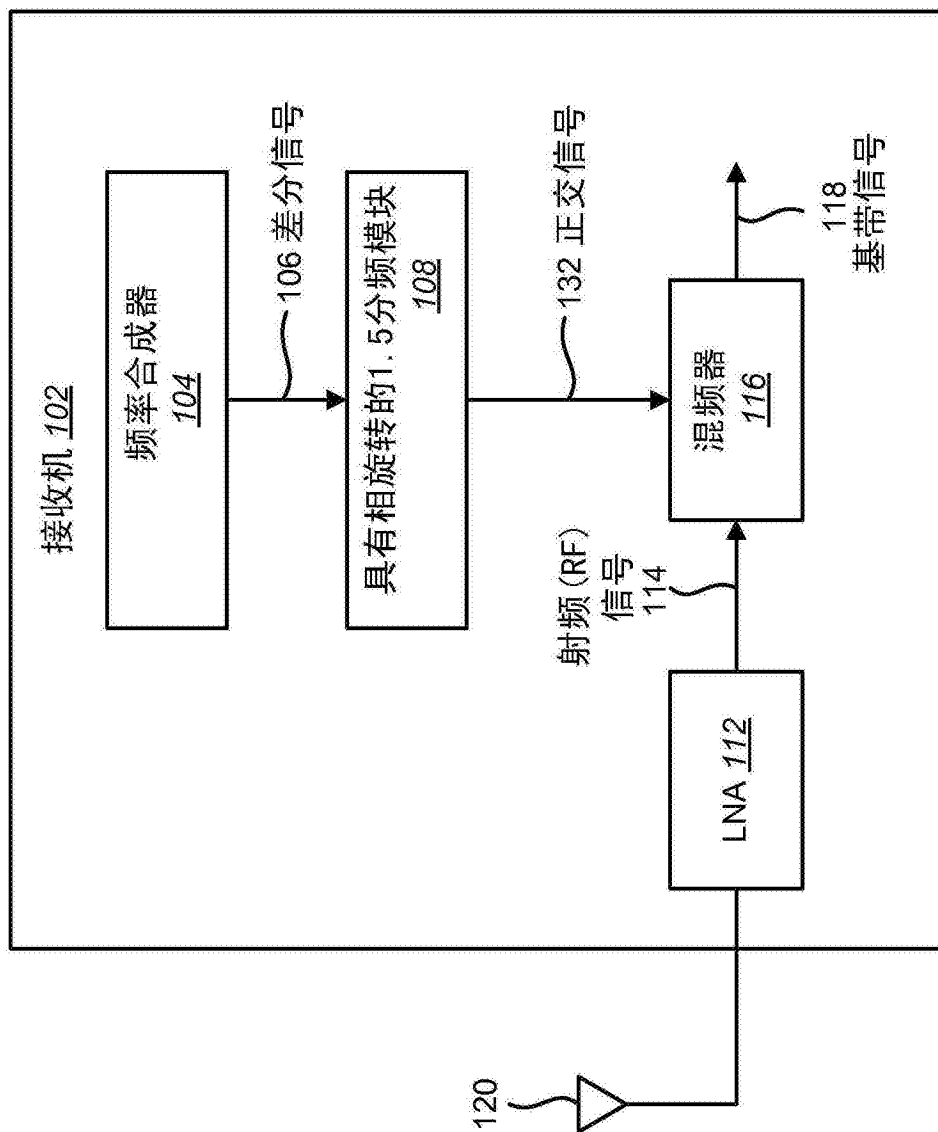


图1

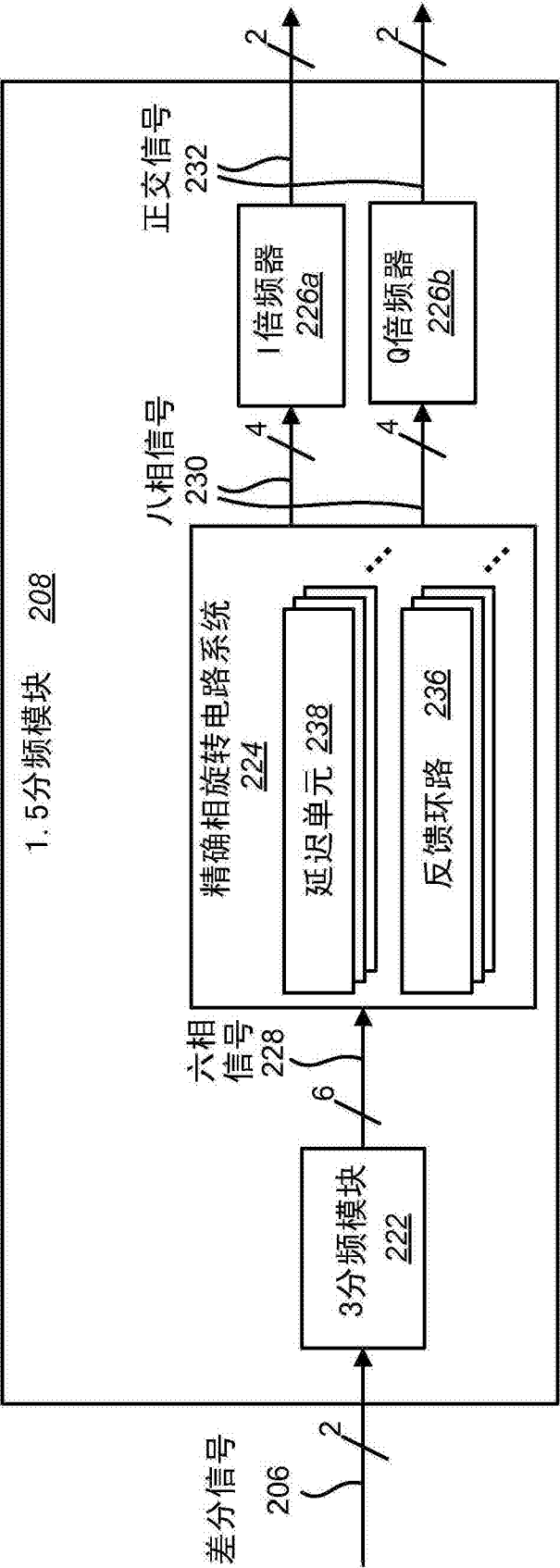


图2

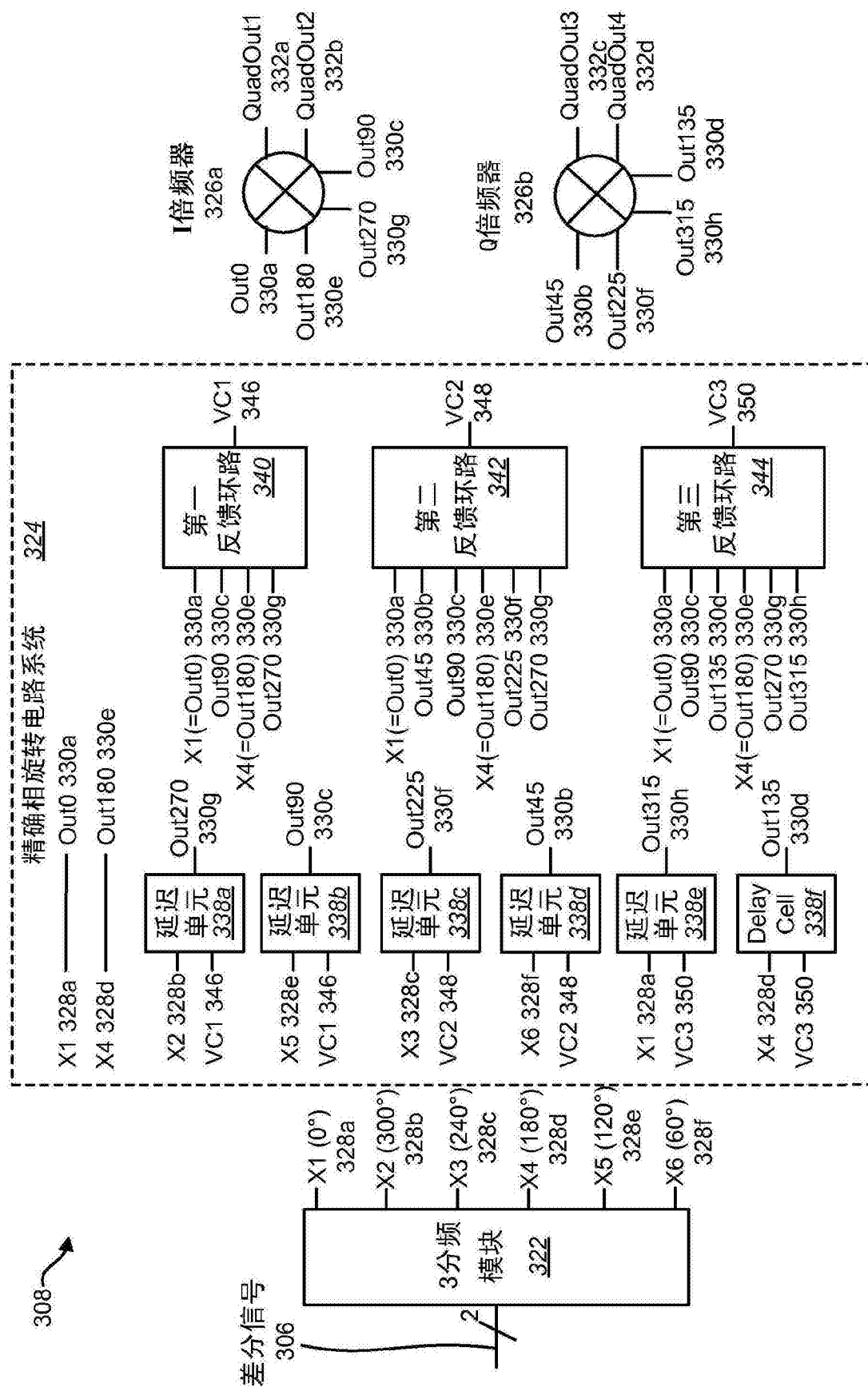


图3

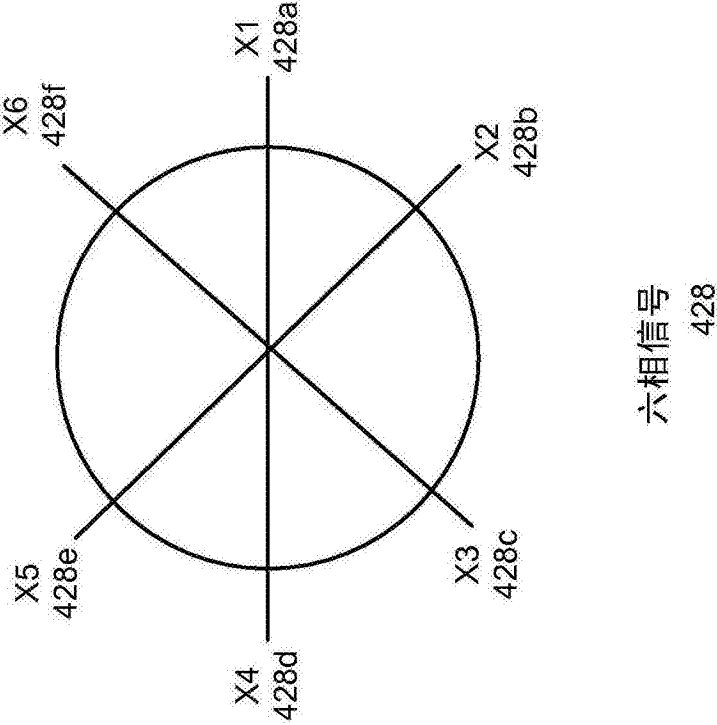


图4A

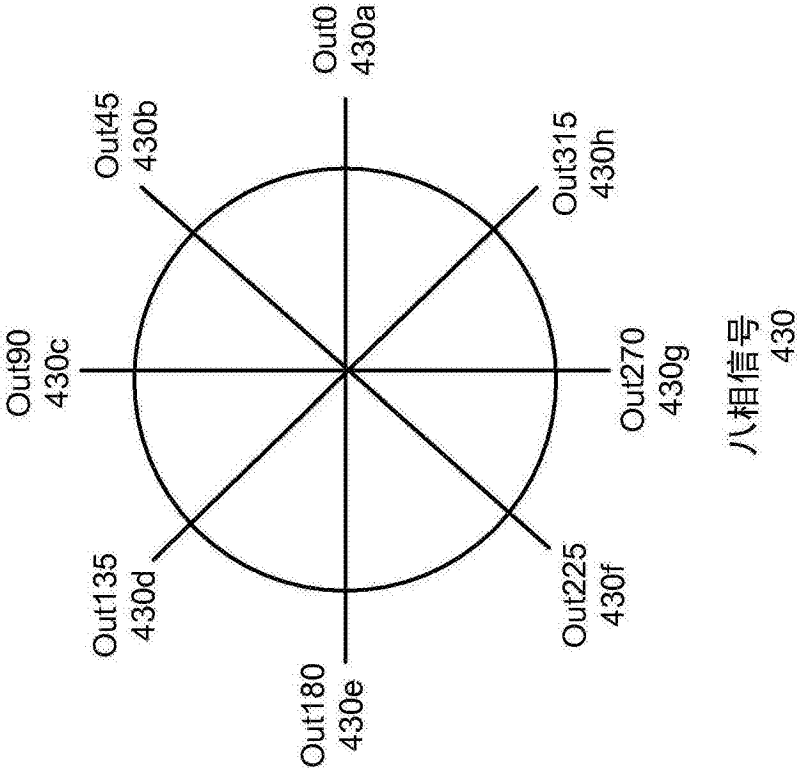


图4B

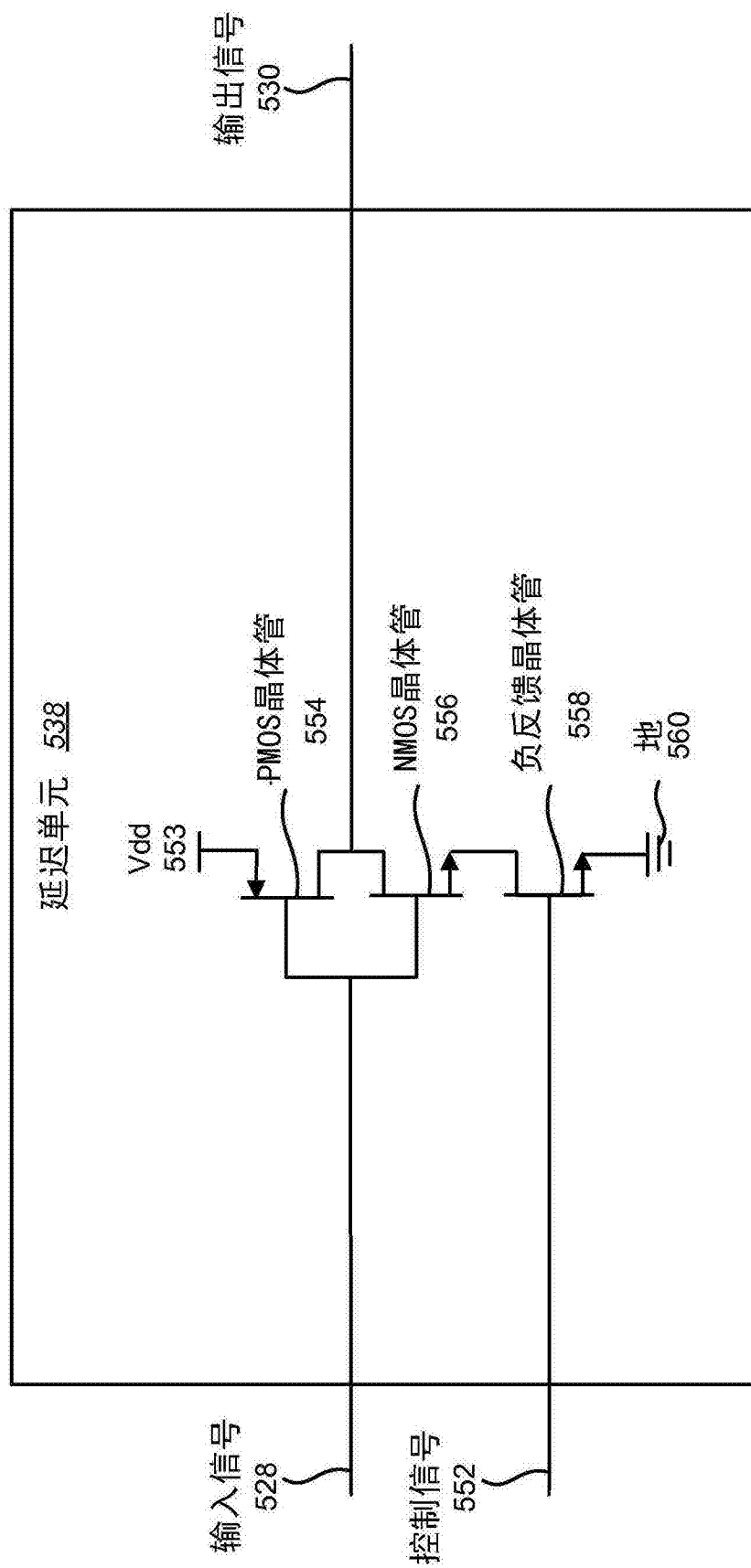


图5

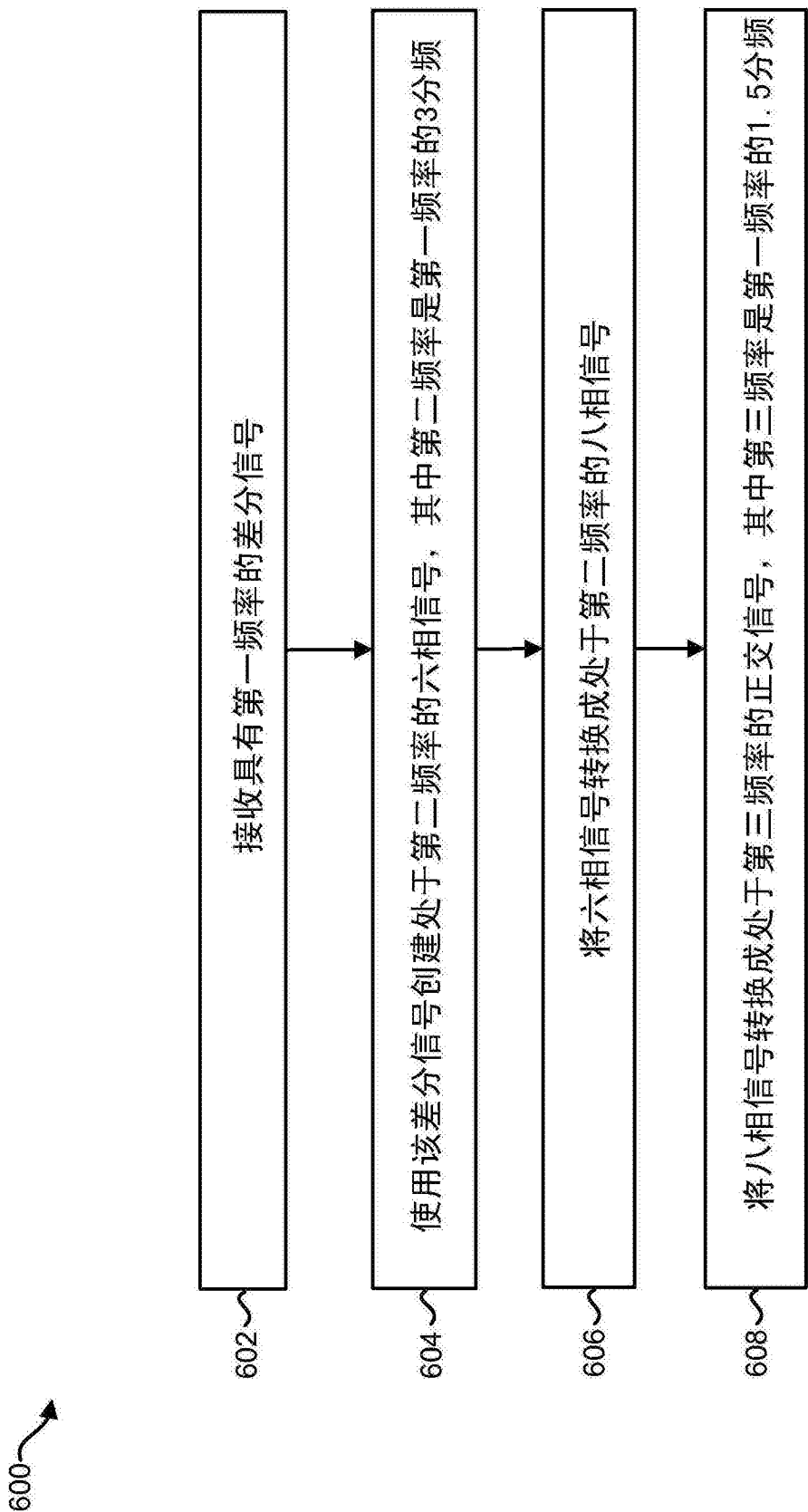


图6

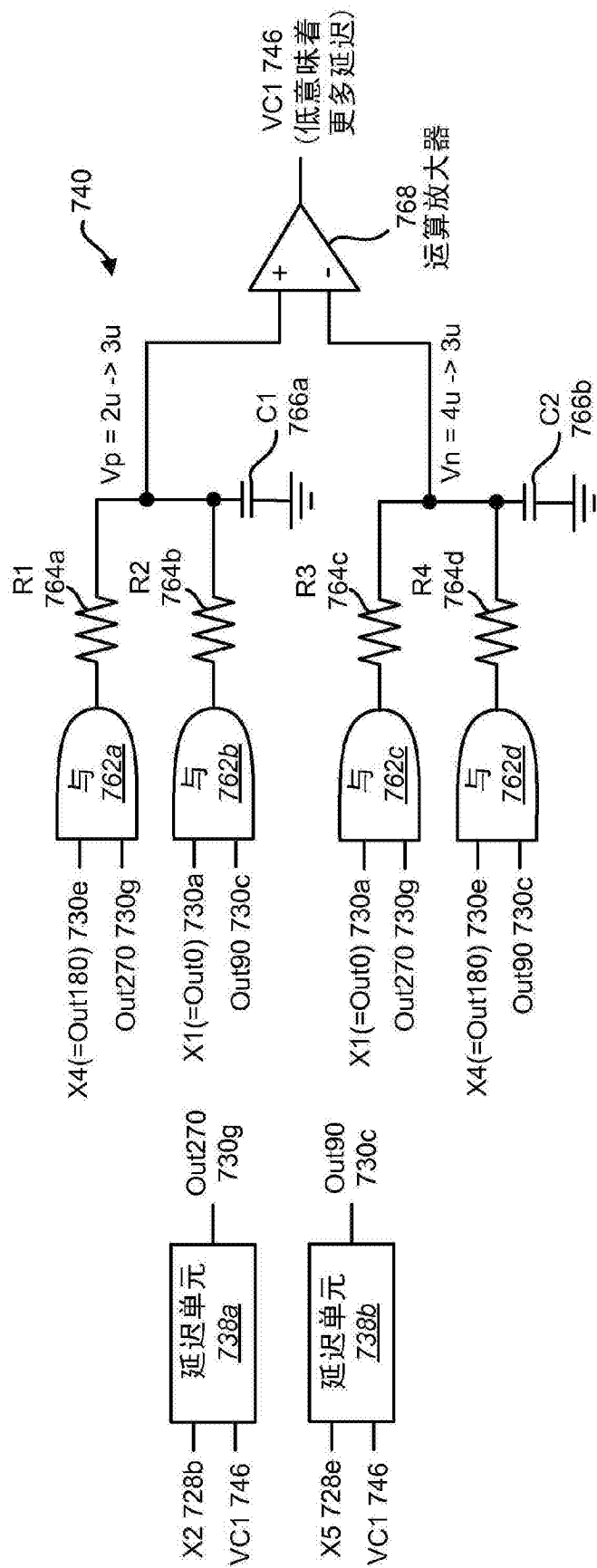


图7A

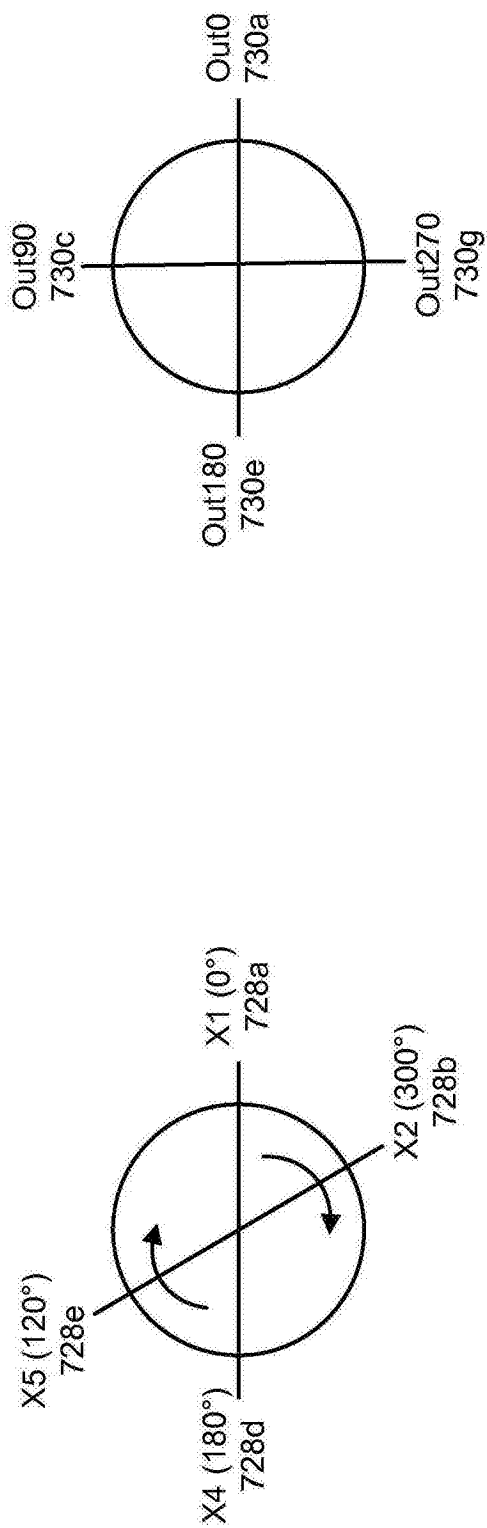


图7B

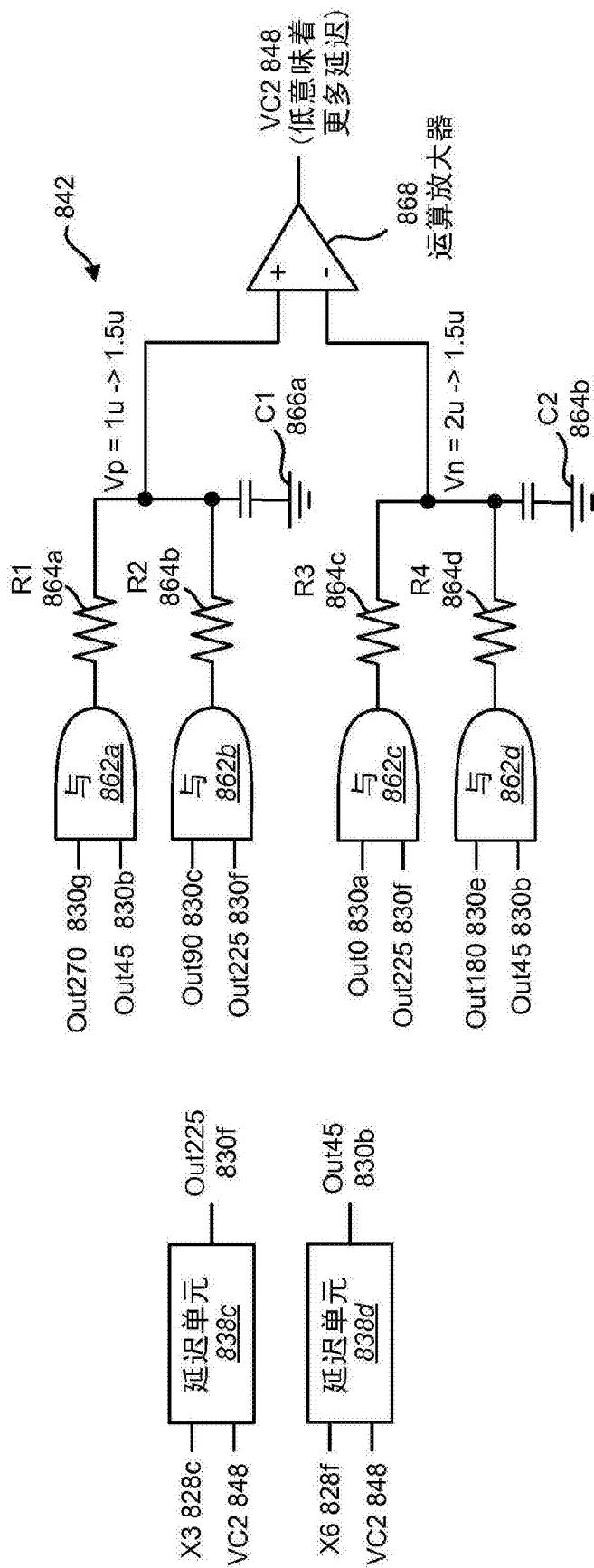


图8A

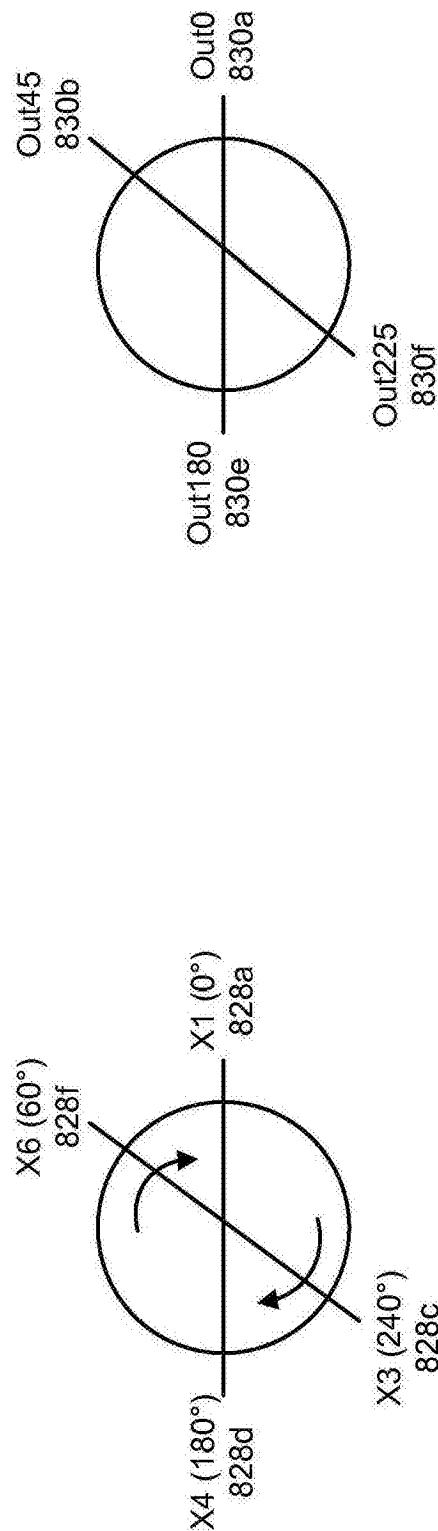


图8B

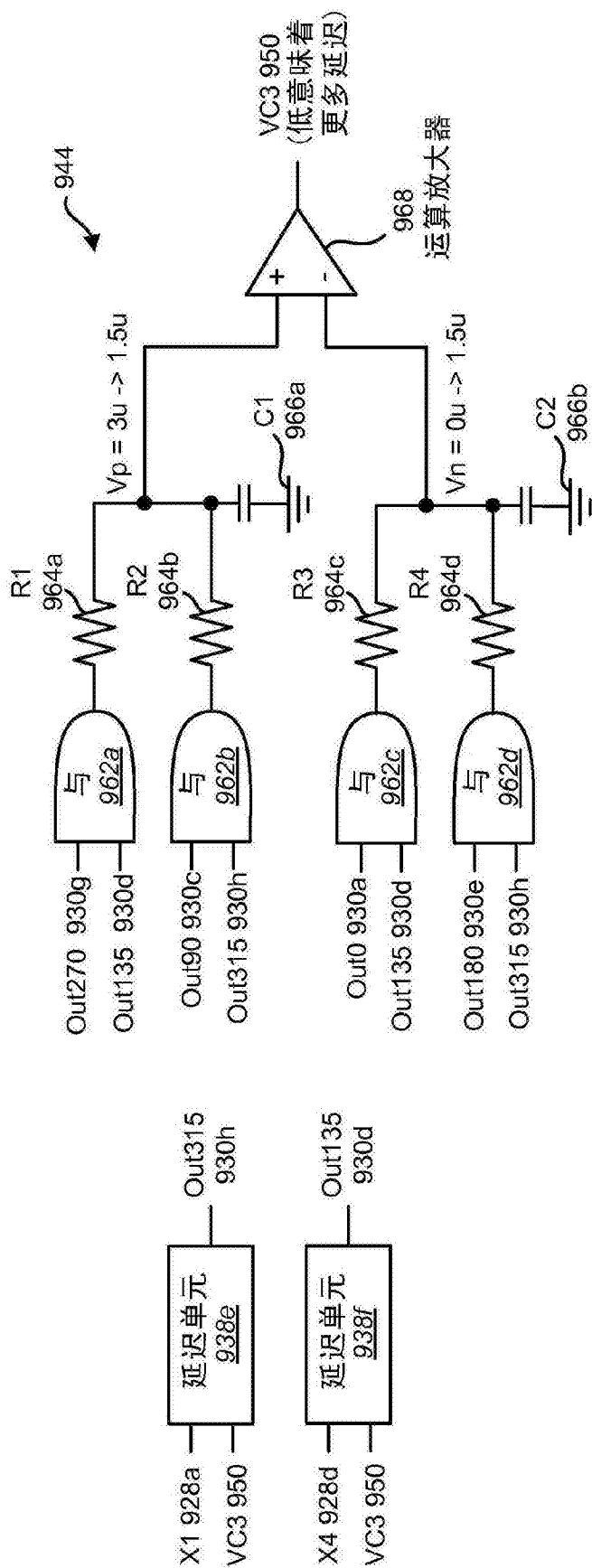


图9A

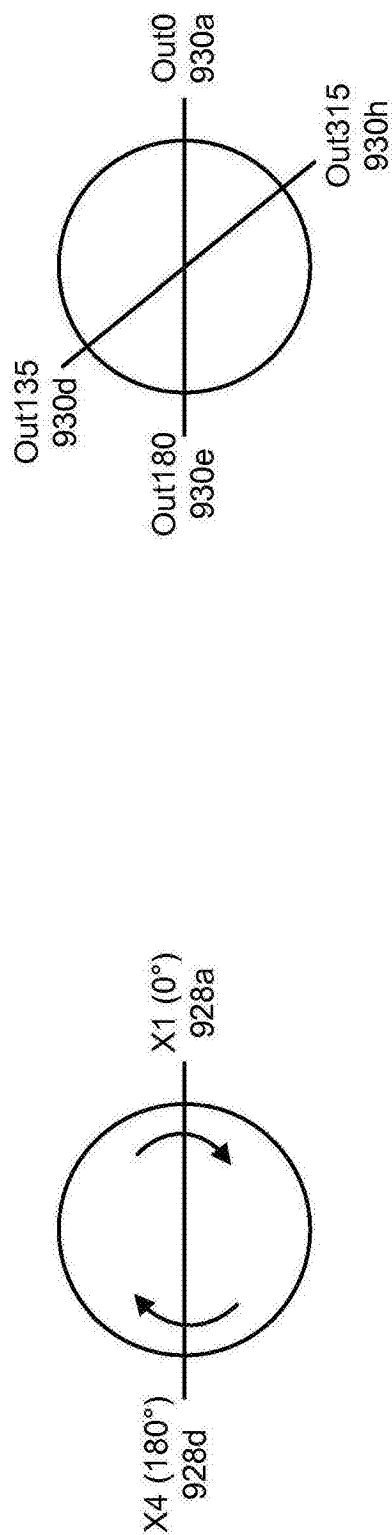


图9B

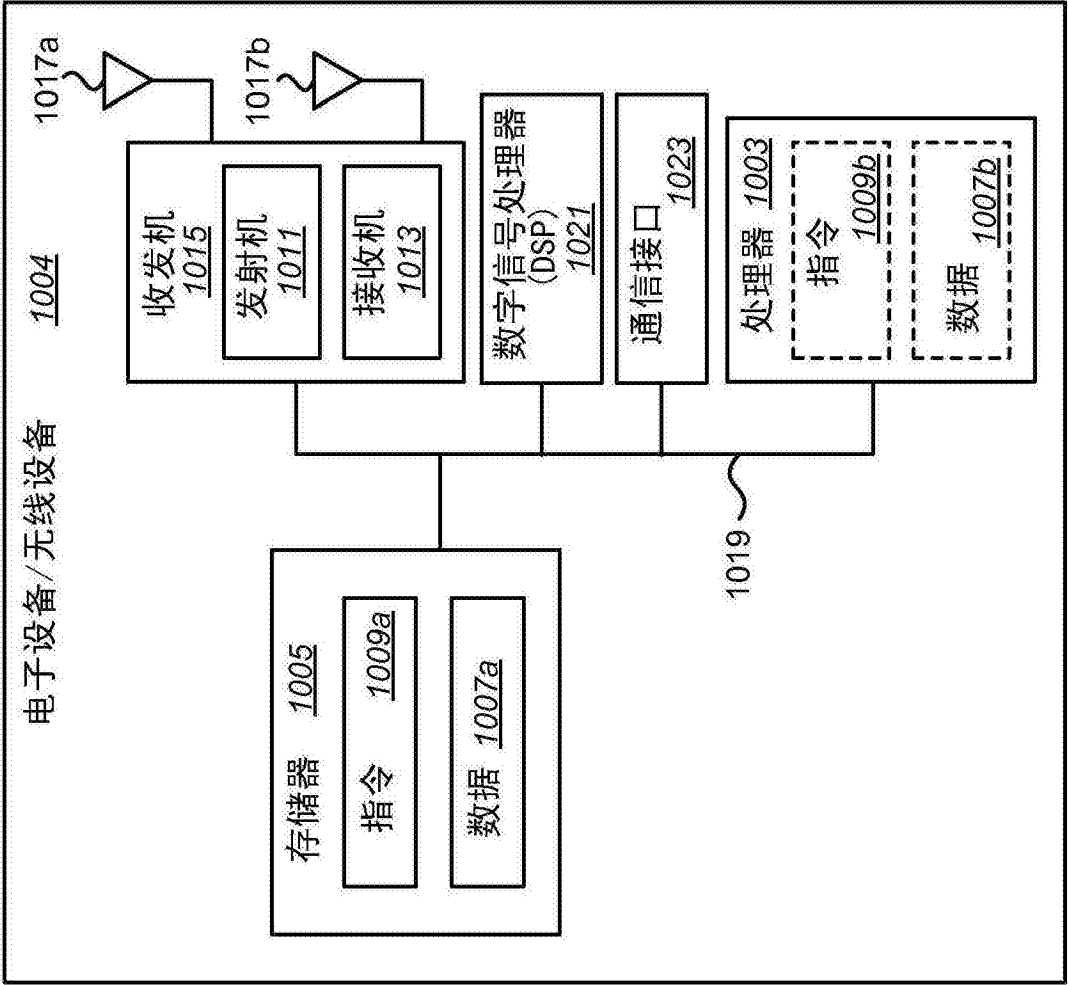


图10