



(12) 发明专利

(10) 授权公告号 CN 103676485 B

(45) 授权公告日 2016. 04. 13

(21) 申请号 201210323838. 5

(22) 申请日 2012. 09. 04

(73) 专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路 1399 号

(72) 发明人 刘继全 高杏 罗啸 李伟峰

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 孙大为

(51) Int. Cl.

G03F 7/20(2006. 01)

G03F 9/00(2006. 01)

(56) 对比文件

US 5314837 A, 1994. 05. 24,

CN 1950542 A, 2007. 04. 18,

JP 特开平 10-312964 A, 1998. 11. 24,

CN 1577895 A, 2005. 02. 09,

审查员 王春萌

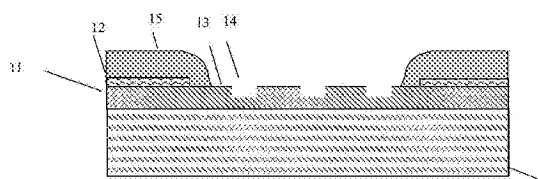
权利要求书1页 说明书3页 附图3页

(54) 发明名称

厚外延工艺光刻对准标记结构

(57) 摘要

本发明公开了一种厚外延工艺光刻对准标记结构,在半导体基底上存在有硅单晶区域、硅多晶区域和介质膜区域;在介质膜区域刻蚀有多个沟槽,作为光刻对准标记。本发明可以很好的解决厚外延生长后光刻对准标记变形的。



10

1. 一种厚外延工艺光刻对准标记结构,其特征为:在半导体基底上存在有硅单晶区域、硅多晶区域和介质膜区域;

在介质膜区域刻蚀有多个沟槽,作为光刻对准标记;

所述介质膜为氧化硅,氮化硅,氮氧化硅中的至少一种;

所述光刻对准标记的沟槽宽 0.1-100 微米,长 0.1-100 微米,深度为 0.05-5 微米;

所述硅多晶区域和光刻对准标记相邻,光刻对准标记与硅单晶或硅多晶区域的距离比硅外延在该区域生长的硅晶体厚度大 50 微米以上。

2. 如权利要求 1 所述的厚外延工艺光刻对准标记结构,其特征为:所述介质膜的厚度大于光刻对准标记的沟槽深度。

3. 如权利要求 1 所述的厚外延工艺光刻对准标记结构,其特征为:硅外延在硅单晶或多晶区域生长的硅晶体的厚度为 5-150 微米,且在硅单晶区域生长硅单晶,硅多晶区域生长硅多晶或非晶,在介质膜区域,包括光刻对准标记沟槽内部不生长硅晶体。

厚外延工艺光刻对准标记结构

技术领域

[0001] 本发明涉及一种半导体集成电路结构。

背景技术

[0002] 平面光波导功率分路器 (PLC Optical Power Splitter), 通过半导体工艺制作光分路器件, 光分路的功能在芯片内实现, 芯片两端通过封装耦合输入输出的光纤阵列实现和光纤的连接。PLC 工艺具有: 一、对波长不敏感; 二、分光均匀性较好; 三、可以拉制 1X32 路以上分光器件, 且分光路数越多单位成本越便宜; 四、器件体积较小等优势, 市场前景广阔。PLC 的缺点: 1、技术门槛较高, 目前光分路芯片靠进口, 国内仅几家大学有实验室水平; 2、国内目前工业生产仅有封装厂商。

[0003] 在实际生产过程中, 由于 PLC 器件耦合器部分要求不同深度台阶式结构, 总深度达 $13\ \mu\text{m}$ 。该结构功能受深度影响明显, 单纯使用刻蚀工艺无法得到满足要求结构, 采用传统外延与刻蚀结合的工艺。通过逐层刻蚀淀积等工艺形成不同功能器件区后, 再经由外延工艺将单晶硅厚度补充到 13 微米。在此工艺中, 硅单晶区域生长外延单晶, 非硅单晶区域生长外延多晶。由于外延需要较高温度淀积 $5\sim 10$ 微米, 造成多晶表面粗糙以及外延过厚光刻对准标记变形消失等问题。

[0004] 现有工艺通常采用硅区域刻蚀沟槽作为光刻对准标记, 在厚外延生长后, 光刻对准标记很容易发生畸变甚至完全消失, 进而对光刻对准造成严重影响, 使硅片无法继续后续工艺流程。

发明内容

[0005] 本发明所要解决的技术问题是提供一种厚外延工艺光刻对准标记结构, 它可以解决对准标记变形、消失等问题。

[0006] 为了解决以上技术问题, 本发明提供了一种厚外延工艺光刻对准标记结构, 在半导体基底上存在有硅单晶区域、硅多晶区域和介质膜区域; 在介质膜区域刻蚀有多个沟槽, 作为光刻对准标记。

[0007] 本发明的有益效果在于: 可以很好的解决厚外延生长后光刻对准标记变形的问题。

[0008] 所述介质膜为氧化硅, 氮化硅, 氮氧化硅中的至少一种。

[0009] 所述光刻对准标记的沟槽宽 $0.1\sim 100$ 微米, 长 $0.1\sim 100$ 微米, 深度为 $0.05\sim 5$ 微米。

[0010] 所述介质膜的厚度大于光刻对准标记的沟槽深度。

[0011] 硅外延在硅单晶或多晶区域生长的硅晶体的厚度为 $5\sim 150$ 微米, 且在硅单晶区域生长硅单晶, 硅多晶区域生长硅多晶或非晶, 在介质膜区域, 包括光刻对准标记沟槽内部不生长硅晶体。

[0012] 所述光刻对准标记与硅单晶或多晶区域的距离比硅外延在该区域生长的硅晶体厚度大 50 微米以上。

附图说明

[0013] 下面结合附图和具体实施方式对本发明作进一步详细说明。

[0014] 图 1 是硅衬底上生长 SI02 层的示意图；

[0015] 图 2 是在 SI02 层上生长 Poly 的示意图；

[0016] 图 3 是在 Poly 表面刻蚀光刻对准区域的示意图；

[0017] 图 4 是在 SI02 表面刻蚀光刻对准标记的示意图；

[0018] 图 5 是利用外延选择性形成光刻对准区清晰图形的示意图；

[0019] 图 6 是光刻对准图形俯视图；

[0020] 图 7 是本发明提供的对准标记与传统对准标记对比图。

具体实施方式

[0021] 本发明提供了新型光刻对准图标的制造方式,解决对准标记变形、消失等问题。

[0022] 本发明在半导体基底片上同时存在硅单晶区域与多晶区域,介质膜区域,其中在介质膜区域刻蚀沟槽形成对位标记。在后续的硅外延生长过程中,调节外延生长工艺实现在单晶区域生长外延单晶,多晶区域生长外延多晶,介质膜区域包括沟槽内部均不生长硅晶体,保证硅外延生长前后,对位标记不受厚外延影响。在介质膜区域与硅晶体区域交界处由于硅晶体横向生长,与硅晶体区域相邻的介质膜部分区域会有多晶横向生长在上面,为了光刻信号不受干扰,这部分多晶必须与对位沟槽有足够距离。

[0023] 本发明可以很好的解决厚外延生长后光刻对准标记变形的问题。

[0024] 一种厚外延工艺光刻对准标记的制作方法：

[0025] 1. 在硅基底片上利用炉管或化学淀积方式形成厚度在 0.5-3.0 微米介质膜(SI02\SIN),如图 1 所示

[0026] 2. 在介质膜表面利用化学淀积方式形成厚度在 0.1-1.0 微米硅多晶膜层,如图 2 所示

[0027] 3. 利用刻蚀工艺去除光刻对准区域和待单晶硅生长区域处硅多晶膜层,如图 3 所示。

[0028] 4. 利用光刻、刻蚀工艺在光刻对准区域制作光刻对准标记沟槽,如图 4 所示,沟槽距离介质膜和硅晶体交界面 200 微米。

[0029] 5. 通过调节外延淀积程序,在硅单晶表面生成外延单晶,在多晶硅表面生成外延多晶硅,厚度均在 5-20 微米,在介质膜区域不生长,从而保持刻蚀沟槽形貌,如图 5 所示。该对位标记俯视示意图,如图 6 所示。

[0030] 6. 本发明提供的对准标记与传统对准标记对比:如图 7 所示。传统对位标记在经历后外延生长后,对位标记畸变严重,SEM 下几乎不可辨识,而本发明提供的对位标记,由于外延并未在其上生长,完整精确的保留了刻蚀后对位沟槽形貌,可完好实现光刻对准。

[0031] 本发明提供了新型光刻对准图标的制造方式,通过光刻、刻蚀工艺在掩膜层(SI02 或 SIN)制作光刻对准标记,并调节外延淀积程序,在此表面形成非淀积区,从而成功保持光刻对准标记原貌,解决对准标记变形、消失等问题。

[0032] 本发明并不限于上文讨论的实施方式。以上对具体实施方式的描述旨在为了描

述和说明本发明涉及的技术方案。基于本发明启示的显而易见的变换或替代也应当被认为落入本发明的保护范围。以上的具体实施方式用来揭示本发明的最佳实施方法,以使得本领域的普通技术人员能够应用本发明的多种实施方式以及多种替代方式来达到本发明的目的。

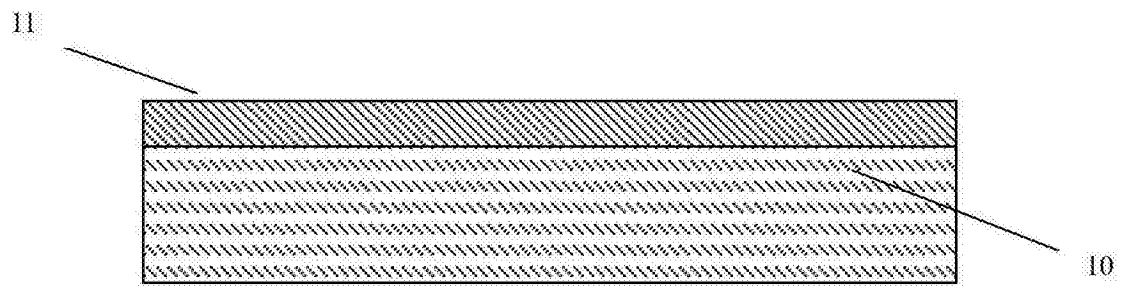


图 1

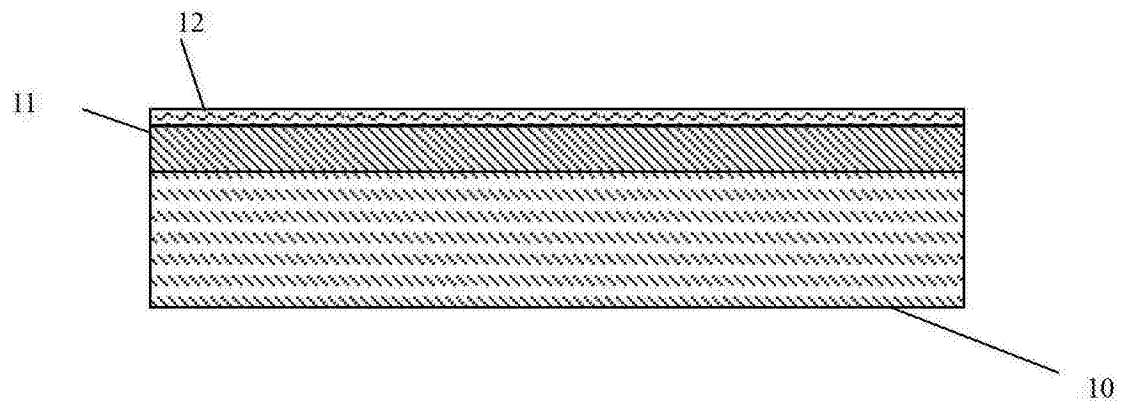


图 2

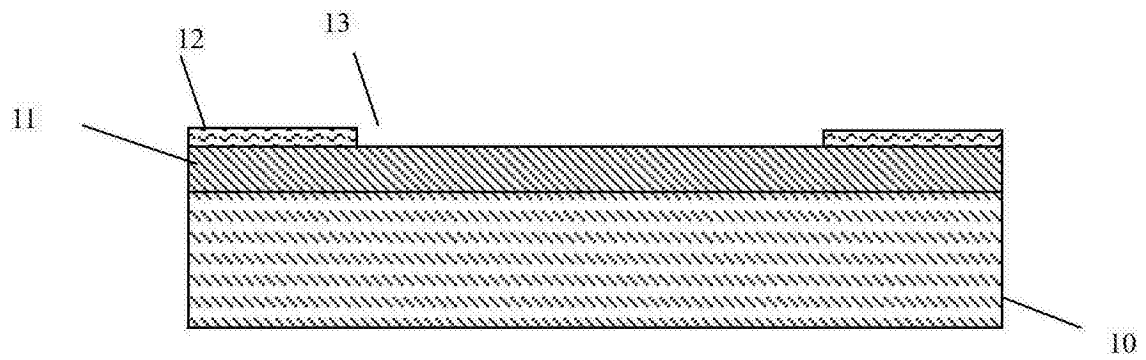


图 3

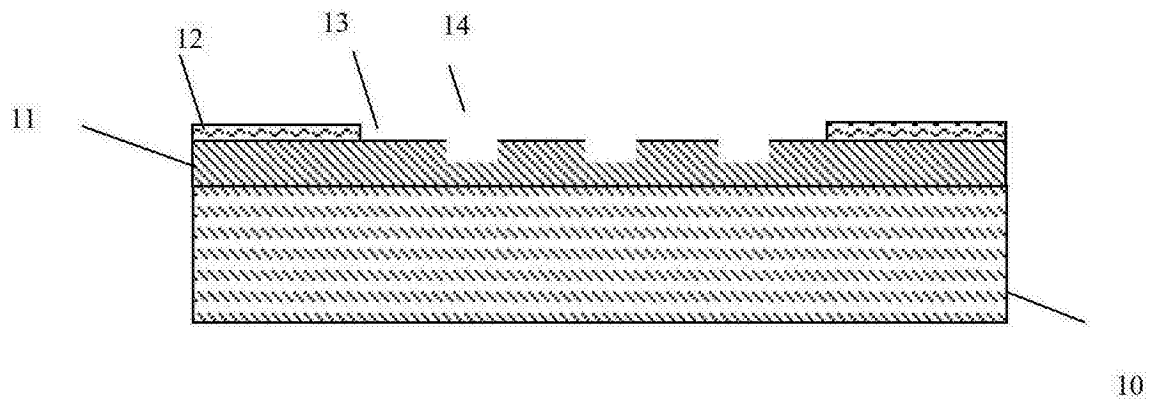


图 4

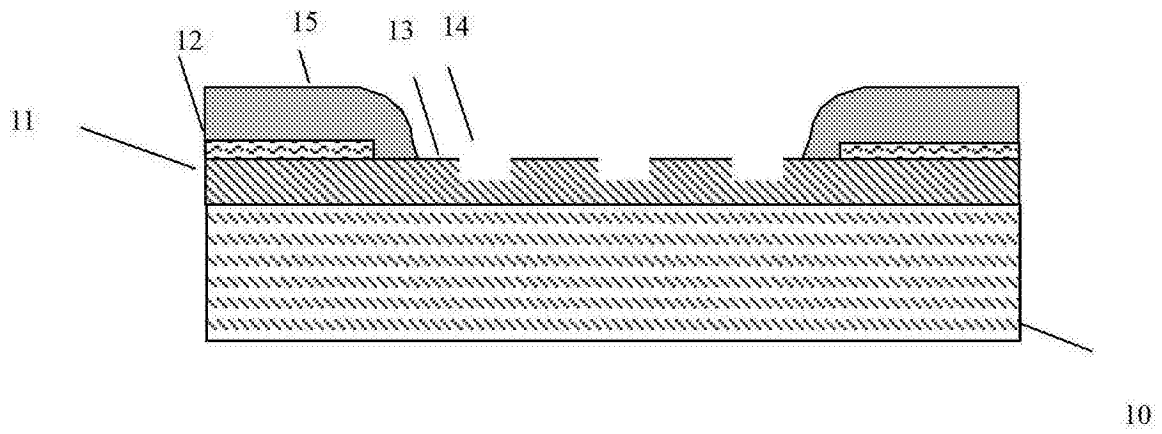


图 5

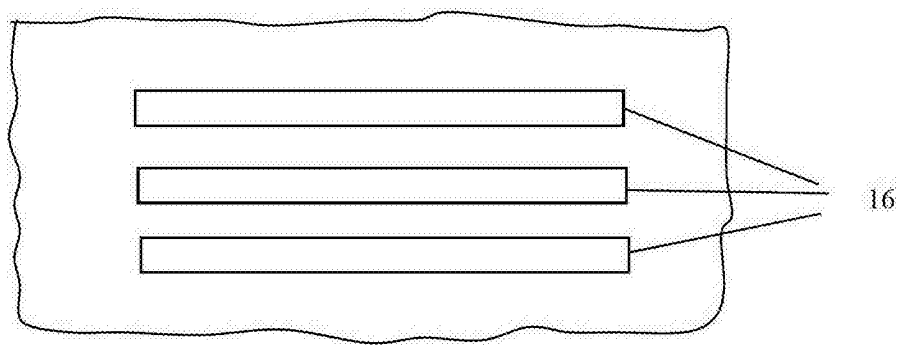


图 6

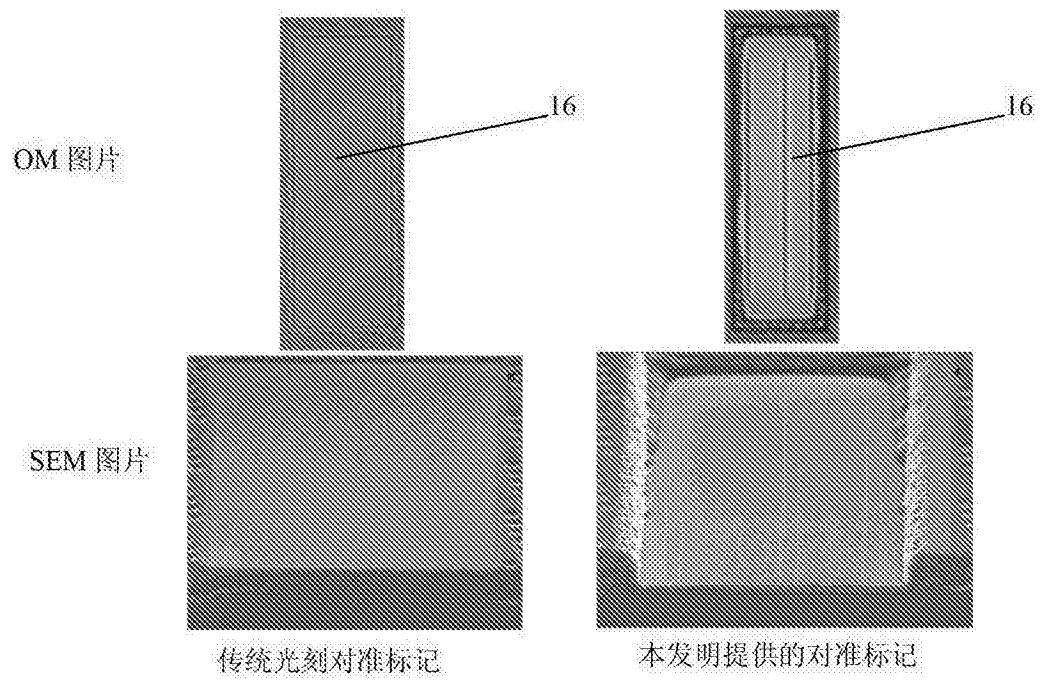


图 7