(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6232836号
(P6232836)
(45)発行日　平成29年11月22日(2017.11.22)　(24)登録日　平成29年11月2日(2017.11.2)

(51)Int.Cl.　　F I
H01G 4/232 (2006.01)　　H01G 4/12 352
H01G 4/35 (2006.01)　　H01G 4/42 331

請求項の数 5　(全 16 頁)

(21)出願番号　特願2013-173202(P2013-173202)
(22)出願日　平成25年8月23日(2013.8.23)
(65)公開番号　特開2015-41735(P2015-41735A)
(43)公開日　平成27年3月2日(2015.3.2)
審査請求日　平成28年4月28日(2016.4.28)

(73)特許権者　000006231
株式会社村田製作所
京都府長岡京市東神足１丁目１０番１号
(74)代理人　110001195
特許業務法人深見特許事務所
(72)発明者　山本　重克
京都府長岡京市東神足１丁目１０番１号
株式会社村田製作所内
(72)発明者　上野　治彦
京都府長岡京市東神足１丁目１０番１号
株式会社村田製作所内

審査官　小池　秀介

最終頁に続く

(54)【発明の名称】コンデンサ素子

(57)【特許請求の範囲】
【請求項１】
第１方向に沿って交互に積層された誘電体層および内部電極層を含む略直方体形状の積層体と、
前記第１方向と直交する第２方向において相対して位置する前記積層体の一対の第１側面のうちの一方に設けられた第１外部電極および他方に設けられた第２外部電極と、
前記第１方向および前記第２方向に直交する第３方向において相対して位置する前記積層体の一対の第２側面のうちの少なくとも一方に設けられた第３外部電極とを備え、
前記内部電極層は、前記第１外部電極および前記第２外部電極に接続しかつ前記第３外部電極に非接続の第１内部電極層と、前記第１外部電極、前記第２外部電極および前記第３外部電極のいずれにも非接続の第２内部電極層と、前記第３外部電極に接続しかつ前記第１外部電極および前記第２外部電極に非接続の第３内部電極層とを含み、
前記第１方向に沿って前記第１内部電極層と前記第２内部電極層とが対向配置されることによって第１コンデンサ要素が構成されるとともに、前記第１方向に沿って前記第２内部電極層と前記第３内部電極層とが対向配置されることによって第２コンデンサ要素が構成され、これにより前記第１外部電極および前記第２外部電極と前記第３外部電極との間において前記第１コンデンサ要素と前記第２コンデンサ要素とが電気的に直列に接続され、
前記内部電極層が、前記第２方向または前記第３方向に沿って前記積層体を貫通するように形成された貫通電極層を含み、

前記貫通電極層が、２種類以下である、コンデンサ素子。
【請求項２】
前記第１内部電極層と前記第３内部電極層とが、前記第１方向と直交する同一平面上に設けられ、
前記第１方向に沿って見た場合に、前記第１内部電極層が前記第２内部電極層の一部に重なっているとともに、前記第３内部電極層が前記第２内部電極層の他の一部に重なっている、請求項１に記載のコンデンサ素子。
【請求項３】
前記第２内部電極層が、前記第１方向に沿って前記第１内部電極層と前記第３内部電極層との間に設けられ、
前記第１方向に沿って見た場合に、前記第１内部電極層、前記第２内部電極層および前記第３内部電極層が相互に重なっている、請求項１に記載のコンデンサ素子。
【請求項４】
前記第３外部電極が、前記積層体の前記一対の第２側面のいずれにも設けられている、請求項１から３のいずれかに記載のコンデンサ素子。
【請求項５】
前記誘電体層が、セラミックス材料からなる、請求項１から４のいずれかに記載のコンデンサ素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電子部品としてのコンデンサ素子に関し、より特定的には、所定方向に沿って誘電体層および内部電極層が交互に積層されてなるコンデンサ素子に関する。
【背景技術】
【０００２】
従来、電子回路に重畳するノイズを除去するための電子部品として、コンデンサ素子が利用されている。この種のコンデンサ素子は、バイパスコンデンサあるいはディカップリングコンデンサと呼ばれ、電源ラインとグランド（接地ライン）とを接続するように電子回路に設けられる。
【０００３】
たとえば、電子機器に搭載されるＤＣ／ＤＣコンバータは、直流電圧を各電子デバイスに適した所定の直流電圧に変換してこれを電力として供給するものであるが、当該ＤＣ／ＤＣコンバータの入出力回路には、スイッチング動作に基づいて発生するノイズを軽減するために、積層セラミックコンデンサに代表されるコンデンサ素子が接続される。
【０００４】
一般的なコンデンサ素子は、２端子コンデンサとも呼ばれ、積層方向に沿って隣り合う一対の内部電極層のうちの一方を一対の外部電極の一方に接続するとともに、他方を一対の外部電極のうちの他方に接続してなるものである。当該２端子コンデンサにおいては、上記一対の内部電極層によってコンデンサ要素が構成され、これらコンデンサ要素が電気的に並列に接続されることで静電容量の高容量化が図られている。
【０００５】
また、コンデンサ素子の信頼性が高められる構造の一つとして、いわゆるシリーズ構造と呼ばれるものがある。シリーズ構造とは、コンデンサ素子の内部において電気的に並列に接続された複数のコンデンサ要素のそれぞれについて、これをさらに電気的に直列に接続された複数のコンデンサ要素にて構成したものであり、このようなシリーズ構造を備えたコンデンサ素子とすることにより、直列に接続されたコンデンサ要素のうちの一方に絶縁破壊が生じた場合にも他方のコンデンサ要素によって電気的な絶縁が保たれることとなり、高い信頼性が得られることになる。なお、当該シリーズ構造を具備したコンデンサ素子が開示された文献としては、たとえば特開平８－３７１２６号公報（特許文献１）がある。

【０００６】
さらに、コンデンサ素子が有する寄生成分であるＥＳＬ（等価直列インダクタンス）が低減されたコンデンサ素子として、いわゆる貫通型コンデンサと呼ばれるものがある。寄生成分であるＥＳＬは、コンデンサ素子の内部に含まれる配線部分や、当該コンデンサ素子に接続される配線基板の配線部分を短くすることによってその低減が図られるものであるが、貫通型コンデンサにおいては、積層方向に沿って隣り合う一対の内部電極層のうちの一方を電源ラインに電気的に直列に接続される内部電極層（貫通電極層）とするとともに、他方をグランドに接続される内部電極層とすることにより、これら一対の内部電極層によって構成されるコンデンサ要素と電源ライン（すなわち貫通電極層）とを可能な限り近接配置することによって余分な配線を減らし、これによって低ＥＳＬ化が図られている。なお、当該貫通型コンデンサが開示された文献としては、たとえば特開２００５－４４８７１号公報（特許文献２）がある。
【先行技術文献】
【特許文献】
【０００７】
【特許文献１】特開平８－３７１２６号公報
【特許文献２】特開２００５－４４８７１号公報
【発明の概要】
【発明が解決しようとする課題】
【０００８】
従来、上述した高い信頼性と低ＥＳＬ化との両方のメリットを得るための回路構成として、貫通型コンデンサのグランドに接続される外部電極とグランドとの間に上述した通常の２端子コンデンサを介在させた構成のものが一部において利用されている。
【０００９】
しかしながら、当該回路構成は、貫通型コンデンサとグランドとの間に２端子コンデンサを設置するものであるため、２端子コンデンサの内部に含まれる配線部分や、貫通型コンデンサと２端子コンデンサとを接続するための配線基板の配線部分を、電源ラインとグランドとの間における余分な配線部分として有してしまうものであり、結果的に低ＥＳＬ化が十分には図られず、貫通型コンデンサが有する低ＥＳＬ特性が大幅に損なわれてしまう問題があった。
【００１０】
また、上記回路構成を実現するためには、配線基板上に貫通型コンデンサと少なくとも１つ以上の２端子コンデンサとが実装される必要があるため、これらを実装するためのスペースが大きくなってしまい、配線基板の大型化に繋がってしまう問題もあった。
【００１１】
したがって、本発明は、上述した問題点を解決すべくなされたものであり、高い信頼性と低ＥＳＬ化との両立が図られたコンデンサ素子を提供することを目的とする。
【課題を解決するための手段】
【００１２】
本発明に基づくコンデンサ素子は、第１方向に沿って交互に積層された誘電体層および内部電極層を含む略直方体形状の積層体と、上記第１方向と直交する第２方向において相対して位置する上記積層体の一対の第１側面のうちの一方に設けられた第１外部電極および他方に設けられた第２外部電極と、上記第１方向および上記第２方向に直交する第３方向において相対して位置する上記積層体の一対の第２側面のうちの少なくとも一方に設けられた第３外部電極とを備えている。上記内部電極層は、上記第１外部電極および上記第２外部電極に接続しかつ上記第３外部電極に非接続の第１内部電極層と、上記第１外部電極、上記第２外部電極および上記第３外部電極のいずれにも非接続の第２内部電極層と、上記第３外部電極に接続しかつ上記第１外部電極および上記第２外部電極に非接続の第３内部電極層とを含んでいる。上記本発明に基づくコンデンサ素子にあっては、上記第１方向に沿って上記第１内部電極層と上記第２内部電極層とが対向配置されることによって第

１コンデンサ要素が構成されているとともに、上記第１方向に沿って上記第２内部電極層と上記第３内部電極層とが対向配置されることによって第２コンデンサ要素が構成されており、これにより上記第１外部電極および上記第２外部電極と上記第３外部電極との間において上記第１コンデンサ要素と上記第２コンデンサ要素とが電気的に直列に接続されている。ここで、上記内部電極層は、上記第２方向または上記第３方向に沿って上記積層体を貫通するように形成された貫通電極層を含んでおり、上記貫通電極層は、２種類以下である。

【００１３】

上記本発明に基づくコンデンサ素子にあっては、上記第１内部電極層と上記第３内部電極層とが、上記第１方向と直交する同一平面上に設けられていてもよく、その場合には、上記第１内部電極層が、上記第１方向に沿って見た場合に上記第２内部電極層の一部に重なっているとともに、上記第３内部電極層が、上記第１方向に沿って見た場合に上記第２内部電極層の他の一部に重なっていることが好ましい。

【００１４】

上記本発明に基づくコンデンサ素子にあっては、上記第２内部電極層が、上記第１方向に沿って上記第１内部電極層と上記第３内部電極層との間に設けられていてもよく、その場合には、上記第１内部電極層、上記第２内部電極層および上記第３内部電極層が、上記第１方向に沿って見た場合に相互に重なっていることが好ましい。

【００１５】

上記本発明に基づくコンデンサ素子にあっては、上記第３外部電極が、上記積層体の上記一対の第２側面のいずれにも設けられていることが好ましい。

【００１６】

上記本発明に基づくコンデンサ素子にあっては、上記誘電体層が、セラミックス材料にて構成されていることが好ましい。

【発明の効果】

【００１７】

本発明によれば、高い信頼性と低ＥＳＬ化との両立が図られたコンデンサ素子とすることができる。

【図面の簡単な説明】

【００１８】

【図１】本発明の実施の形態１における積層セラミックコンデンサの斜視図である。

【図２】本発明の実施の形態１における積層セラミックコンデンサの等価回路を示す図である。

【図３】図１に示す積層体の構造を示す分解斜視図である。

【図４】本発明の実施の形態１における積層セラミックコンデンサの信号用内部電極層および接地用内部電極層を含む部分の横断面図である。

【図５】本発明の実施の形態１における積層セラミックコンデンサの浮遊内部電極層を含む部分の横断面図である。

【図６】本発明の実施の形態１における積層セラミックコンデンサの図４および図５に示すＶＩ－ＶＩ線に沿った縦断面図である。

【図７】本発明の実施の形態１に基づいた変形例に係る積層セラミックコンデンサの積層体の構造を示す分解斜視図である。

【図８】本発明の実施の形態２における積層セラミックコンデンサの積層体の構造を示す分解斜視図である。

【図９】本発明の実施の形態２における積層セラミックコンデンサの信号用内部電極層を含む部分の横断面図である。

【図１０】本発明の実施の形態２における積層セラミックコンデンサの浮遊内部電極層を含む部分の横断面図である。

【図１１】本発明の実施の形態２における積層セラミックコンデンサの接地用内部電極層を含む部分の横断面図である。

【図１２】本発明の実施の形態２における積層セラミックコンデンサの図９ないし図１１に示すＸＩＩ－ＸＩＩ線に沿った縦断面図である。
【発明を実施するための形態】
【００１９】
以下、本発明の実施の形態について、図を参照して詳細に説明する。本発明が適用され得るコンデンサ素子としては、誘電体材料としてセラミックス材料を使用した積層セラミックコンデンサや、誘電体材料として樹脂フィルムを使用した積層型金属化フィルムコンデンサ等が挙げられるが、以下に示す実施の形態においては、このうちの積層セラミックコンデンサに本発明を適用した場合を例示して説明を行なう。なお、以下に示す実施の形態においては、同一のまたは共通する部分について図中同一の符号を付し、その説明は繰り返さない。
【００２０】
（実施の形態１）
図１は、本発明の実施の形態１における積層セラミックコンデンサの斜視図であり、図２は、図１に示す積層セラミックコンデンサの等価回路を示す図である。図３は、図１に示す積層体の構造を示す分解斜視図である。図４は、図１に示す積層セラミックコンデンサの信号用内部電極層および接地用内部電極層を含む部分の横断面図であり、図５は、浮遊内部電極層を含む部分の横断面図である。また、図６は、図１に示す積層セラミックコンデンサの図４および図５に示すＶＩ－ＶＩ線に沿った縦断面図である。
【００２１】
図１に示すように、本実施の形態における積層セラミックコンデンサ１Ａは、全体として略直方体形状を有する電子部品であり、積層体１０Ａと、第１外部電極としての信号用第１外部電極１５と、第２外部電極としての信号用第２外部電極１６と、第３外部電極としての一対の接地用外部電極１７，１７とを有している。
【００２２】
図２に示すように、信号用第１外部電極１５と信号用第２外部電極１６とは、積層セラミックコンデンサ１Ａの内部において導通しており、これらの間にコンデンサ要素は介在していない。一方、信号用第１外部電極１５および信号用第２外部電極１６と一対の接地用外部電極１７，１７との間においては、それぞれ第１コンデンサ要素１８Ａおよび第２コンデンサ要素１８Ｂが介在しており、これら第１コンデンサ要素１８Ａおよび第２コンデンサ要素１８Ｂが電気的に直列に接続されている。
【００２３】
ここで、本実施の形態における積層セラミックコンデンサ１Ａにおいては、たとえば信号用第１外部電極１５および信号用第２外部電極１６が電源ラインに電気的に直列に接続されるとともに、一対の接地用外部電極１７，１７の各々がグランド（接地ライン）に接続される。
【００２４】
これにより、積層セラミックコンデンサ１Ａがシリーズ構造を有する貫通型の積層セラミックコンデンサとなる。以下、本実施の形態における積層セラミックコンデンサ１Ａの詳細な構造について説明する。
【００２５】
図１および図４ないし図６に示すように、積層体１０Ａは、略直方体形状を有しており、第１方向としての図中に示すＺ軸方向に沿って相対して位置する一対の主面２，２と、第１方向と直交する第２方向としての図中に示すＸ軸方向に沿って相対して位置する一対の第１側面３，３と、第１方向および第２方向に直交する第３方向としての図中に示すＹ軸方向に沿って相対して位置する一対の第２側面４，４とを有している。
【００２６】
図６に示すように、積層体１０Ａは、第１方向（すなわちＺ軸方向）に沿って交互に積層された誘電体層１１および内部電極層１２，１３，１４にて構成されている。積層体１０Ａは、図３に示すように、構成の異なる複数の素材シート２１Ａ，２１Ｂ，２１Ｃから

なる素材シート群２０Ａを材料として製作され、より詳細には、これら構成の異なる複数の素材シート２１Ａ，２１Ｂ，２１Ｃが所定の順番で積層されて圧着および焼成されることによって製作される。なお、その詳細については、後述することとする。

【００２７】

誘電体層１１は、たとえばチタン酸バリウムを主成分とするセラミックス材料にて形成されている。また、誘電体層１１は、後述するセラミックスシートの原料となるセラミックス粉末の副成分としてのＭｎ化合物、Ｍｇ化合物、Ｓｉ化合物、Ｃｏ化合物、Ｎｉ化合物、希土類化合物等を含んでいてもよい。一方、内部電極層１２，１３，１４は、たとえば金属材料であるＮｉにて形成されている。

【００２８】

なお、誘電体層１１の材質は、上述したチタン酸バリウムを主成分とするセラミックス材料に限られず、他の高誘電率のセラミックス材料（たとえば、$CaTiO_3$、$SrTiO_3$、$CaZrO_3$等を主成分とするもの）を誘電体層１１の材質として選択してもよい。また、内部電極層１２，１３，１４の材質も、上述したＮｉに限られず、金属材料であるＣｕ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等、他の導電材料を内部電極層１２，１３，１４の材質として選択してもよい。

【００２９】

図１、図４および図５に示すように、信号用第１外部電極１５および信号用第２外部電極１６は、積層体１０Ａの第１側面３，３を覆うように互いに離間して設けられている。より詳細には、信号用第１外部電極１５は、積層体１０Ａの一方の第１側面３と、一対の主面２，２および一対の第２側面４，４の当該一方の第１側面３寄りの部分とを覆うように設けられており、信号用第２外部電極１６は、積層体１０Ａの他方の第１側面３と、一対の主面２，２および一対の第２側面４，４の当該他方の第１側面３寄りの部分とを覆うように設けられている。

【００３０】

一方、図１および図４ないし図６に示すように、一対の接地用外部電極１７，１７は、積層体１０Ａの第２側面４，４を覆うように互いに離間して設けられている。より詳細には、一対の接地用外部電極１７，１７のうちの一方は、積層体１０Ａの一方の第２側面４のＸ軸方向に沿った中央部と、一対の主面２，２の当該一方の第２側面４寄りのＸ軸方向に沿った中央部とを覆うように設けられており、一対の接地用外部電極１７，１７のうちの他方は、積層体１０Ａの他方の第２側面４のＸ軸方向に沿った中央部と、一対の主面２，２の当該他方の第２側面４寄りのＸ軸方向に沿った中央部とを覆うように設けられている。

【００３１】

信号用第１外部電極１５、信号用第２外部電極１６および一対の接地用外部電極１７，１７は、それぞれ導電膜にて形成されており、たとえば焼結金属層とめっき層の金属膜にて構成される。焼結金属層は、たとえばＣｕ、Ｎｉ、Ａｇ、Ｐｄ、Ａｇ－Ｐｄ合金、Ａｕ等のペーストを焼き付けることで形成される。めっき層は、たとえばＮｉめっき層とこれを覆うＳｎめっき層とによって構成される。めっき層は、これに代えてＣｕめっき層やＡｕめっき層であってもよい。また、信号用第１外部電極１５、信号用第２外部電極１６および一対の接地用外部電極１７，１７は、めっき層のみによって構成されていてもよいし、導電性樹脂ペーストによって構成されていてもよい。

【００３２】

ここで、図１に示すように、積層体１０Ａにおける誘電体層１１と内部電極層１２，１３，１４との積層方向である第１方向（すなわちＺ軸方向）は、通常、厚み方向Ｔとして定義され、信号用第１外部電極１５および信号用第２外部電極１６が並ぶ方向である第２方向（すなわちＸ軸方向）は、通常、長さ方向Ｌとして定義され、一対の接地用外部電極１７，１７が並ぶ方向である第３方向（すなわちＹ軸方向）は、通常、幅方向Ｗとして定義される。本実施の形態における積層セラミックコンデンサ１Ａは、長さ方向Ｌに沿った外形寸法が最も長くなるように構成された細長の略直方体形状を有している。

【００３３】
なお、積層セラミックコンデンサ１Ａの長さ方向Ｌの外形寸法および幅方向Ｗの外形寸法（通常、厚み方向Ｔの外形寸法は、幅方向Ｗの外形寸法と同じとされる）の代表値としては、たとえば３．２［ｍｍ］×１．６［ｍｍ］、２．０［ｍｍ］×１．２５［ｍｍ］、１．６［ｍｍ］×０．８［ｍｍ］、１．０［ｍｍ］×０．５［ｍｍ］、０．８［ｍｍ］×０．４［ｍｍ］、０．６［ｍｍ］×０．３［ｍｍ］、０．４［ｍｍ］×０．２［ｍｍ］等が挙げられる。
【００３４】
図６に示すように、積層体１０Ａの内部に設けられた内部電極層１２，１３，１４は、誘電体層１１によって隔てられることで複数層に亘って設けられている。図４ないし図６に示すように、これら内部電極層１２，１３，１４は、第１内部電極層としての信号用内部電極層１２と、第２内部電極層としての浮遊内部電極層１３と、第３内部電極層としての一対の接地用内部電極層１４，１４とを含んでいる。
【００３５】
ここで、信号用内部電極層１２と一対の接地用内部電極層１４，１４とは、積層方向（Ｚ軸方向）と直交する単一の平面上において並んで設けられており、これによりこれら信号用内部電極層１２および一対の接地用内部電極層１４，１４は、同一平面上に位置することになる。より詳細には、信号用内部電極層１２は、図中に示すＹ軸方向における中央位置において図中に示すＸ軸方向に沿って延在するように設けられており、一対の接地用内部電極層１４，１４は、当該信号用内部電極層１２を挟み込むように図中に示すＹ軸方向における両端部寄りの位置に設けられている。
【００３６】
一方、浮遊内部電極層１３は、上記信号用内部電極層１２および一対の接地用内部電極層１４，１４が設けられた平面とは異なる平面上に設けられることで信号用内部電極層１２および一対の接地用内部電極層１４，１４のそれぞれに対して対向するように配置されており、これにより積層方向（Ｚ軸方向）に沿って見た場合に、信号用内部電極層１２が浮遊内部電極層１３の一部に重なっているとともに、接地用内部電極層１４が浮遊内部電極層１３の他の一部に重なっている。
【００３７】
信号用内部電極層１２は、信号用第１外部電極１５および信号用第２外部電極１６に接続されているとともに、一対の接地用外部電極１７，１７に非接続とされている。具体的には、図４に示すように、信号用内部電極層１２は、そのＸ軸方向における両端に位置する接続部１２ａ，１２ａが積層体１０Ａの一対の第１側面３，３において露出しており、これにより第１側面３，３を覆う信号用第１外部電極１５および信号用第２外部電極１６に対して接続されている。なお、信号用内部電極層１２のＹ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ａの一対の第２側面４，４において露出しておらず、これにより信号用内部電極層１２は、一対の接地用外部電極１７，１７に対して非接続とされている。
【００３８】
浮遊内部電極層１３は、信号用第１外部電極１５、信号用第２外部電極１６および一対の接地用外部電極１７，１７のいずれにも非接続とされている。具体的には、図５に示すように、浮遊内部電極層１３のＸ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ａの一対の第１側面３，３において露出しておらず、これにより浮遊内部電極層１３は、信号用第１外部電極１５および信号用第２外部電極１６に対して非接続とされている。また、浮遊内部電極層１３のＹ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ａの一対の第２側面４，４において露出しておらず、これにより浮遊内部電極層１３は、一対の接地用外部電極１７，１７に対して非接続とされている。
【００３９】
一対の接地用内部電極層１４，１４のそれぞれは、一対の接地用外部電極１７，１７の

うちの対応する方の接地用外部電極１７に接続されているとともに、信号用第１外部電極１５、信号用第２外部電極１６および一対の接地用外部電極１７，１７のうちの対応しない方の接地用外部電極１７に非接続とされている。具体的には、図４に示すように、一対の接地用内部電極層１４，１４のそれぞれは、そのＹ軸方向における一端に位置する接続部１４ａが積層体１０Ａの一対の第１側面３，３の片方において露出しており、これにより第１側面３，３を覆う一対の接地用外部電極１７，１７のうちの対応する方の接地用外部電極１７に対して接続されている。一方、一対の接地用内部電極層１４，１４のＹ軸方向における他端は、それぞれ誘電体層１１によって覆われることで積層体１０Ａの一対の第１側面３，３のもう片方において露出しておらず、これにより接地用内部電極層１４のそれぞれは、一対の接地用外部電極１７，１７のうちの対応しない方の接地用外部電極１７に対して非接続とされている。なお、一対の接地用内部電極層１４，１４のＸ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ａの一対の第２側面４，４において露出しておらず、これにより一対の接地用内部電極層１４，１４のそれぞれは、信号用第１外部電極１５および信号用第２外部電極１６に対して非接続とされている。

【００４０】

ここで、本実施の形態における積層セラミックコンデンサ１Ａにおいては、上述した信号用内部電極層１２、浮遊内部電極層１３および一対の接地用内部電極層１４，１４が、一組の内部電極層群として構成され、当該内部電極層群が積層方向（Ｚ軸方向）に沿って複数組みに亘って積層配置されることにより、静電容量の高容量化が図られている。

【００４１】

上記構成とすることにより、図６に示すように、対向配置された部分の信号用内部電極層１２および浮遊内部電極層１３とこれらの間に位置する部分の誘電体層１１とにより、図２において示した第１コンデンサ要素１８Ａが構成されるとともに、対向配置された部分の浮遊内部電極層１３および接地用内部電極層１４とこれらの間に位置する部分の誘電体層１１とにより、図２において示した第２コンデンサ要素１８Ｂが構成されることになり、さらには、これら第１コンデンサ要素１８Ａと第２コンデンサ要素１８Ｂとが、浮遊内部電極層１３を介して電気的に直列に接続されることになる。

【００４２】

したがって、本実施の形態における積層セラミックコンデンサ１Ａとすることにより、いわゆるシリーズ構造を有する貫通型の積層セラミックコンデンサとすることができる。そのため、直列に接続された第１コンデンサ要素１８Ａおよび第２コンデンサ要素１８Ｂのうちの一方に絶縁破壊が生じた場合にも、他方のコンデンサ要素によって電気的な絶縁が保たれることになり、高い信頼性が得られることになるとともに、これら第１コンデンサ要素１８Ａおよび第２コンデンサ要素１８Ｂが、信号用第１外部電極１５および信号用第２外部電極１６に接続された信号用内部電極層１２に近接配置されることによって余分な配線が大幅に低減されるため、これによって低ＥＳＬ化が図られることになる。

【００４３】

なお、上述した一対の接地用内部電極層１４，１４および一対の接地用外部電極１７，１７は、対称な形状を有していることが好ましい。このように構成することにより、これらの配線インダクタンスを低減することができるため、さらなる低ＥＳＬ化を図ることができる。

【００４４】

ここで、上記構成の積層セラミックコンデンサ１Ａは、図３において示した如くの素材シート群２０Ａを材料として積層体１０Ａを製作することで実現できる。図３に示すように、素材シートとして第１素材シート２１Ａ、第２素材シート２１Ｂおよび第３素材シート２１Ｃの３種類のものをそれぞれ複数用意する。

【００４５】

第１素材シート２１Ａは、その表面に導電パターンが形成されていないセラミックス素地２２のみからなるものであり、当該第１素材シート２１Ａは、焼成後において誘電体層１１の一部になる。

【００４６】
第２素材シート２１Ｂは、セラミックス素地２２の表面に信号用内部電極層１２に応じた形状の導電パターン２３および一対の接地用内部電極層１４，１４に応じた形状の導電パターン２３，２３が形成されたものであり、当該第２素材シート２１Ｂは、焼成後において信号用内部電極層１２および一対の接地用内部電極層１４，１４になるとともに誘電体層１１の一部になる。
【００４７】
第３素材シート２１Ｃは、セラミックス素地２２の表面に浮遊内部電極層１３に応じた形状の導電パターン２３が形成されたものであり、当該第３素材シート２１Ｃは、焼成後において浮遊内部電極層１３になるとともに誘電体層１１の一部になる。
【００４８】
ここで、導電パターン２３は、導電性ペーストを印刷法等によってセラミックス素地２２（すなわちグリーンシート）の表面に付着させることで形成できる。
【００４９】
積層に際しては、１枚の第２素材シート２１Ｂと１枚の第３素材シート２１Ｃとを一組として、これを積層方向（Ｚ軸方向）に沿って複数組積層するとともに、これらを挟み込むように、また必要に応じてこれらの間に挿入するように、第１素材シート２１Ａを積層させる。そして、積層後の素材シート群２０Ａを圧着および焼成することにより、積層体１０Ａが製作される。
【００５０】
このように、本実施の形態における積層セラミックコンデンサ１Ａとした場合には、内部電極層１２，１３，１４を形成するためにセラミックス素地２２上に形成される導電パターンが２種類の形状で足りることになるため、いわゆるシリーズ構造を有する貫通型の積層セラミックコンデンサをより安価に製造することができるとともに、積層方向（Ｚ軸方向）における大きさを低背化させることも可能になる。
【００５１】
なお、上記においては、１枚の第２素材シート２１Ｂと１枚の第３素材シート２１Ｃとを一組とした場合を例示したが、これに限定されるものではない。たとえば、信号用内部電極層１２の直流抵抗を低減させる観点から、複数枚の第２素材シート２１Ｂと１枚の第３素材シート２１Ｃとを一組としてもよい。
【００５２】
また、上記においては、第１素材シート２１Ａ、第２素材シート２１Ｂおよび第３素材シート２１Ｃをそれぞれ複数用意して積層し、その後にこれを圧着および焼成する製造例を例示して説明したが、第１素材シート２１Ａを複数含むマザーシート、第２素材シート２１Ｂを複数含むマザーシートおよび第３素材シート２１Ｃを複数含むマザーシートをそれぞれ複数準備し、これら複数のマザーシートを積層して圧着することでマザーブロックを製造し、その後にマザーブロックを切断することでこれをチップ状に個片化し、さらにそれらを焼成することによって積層体１０Ａを製作することともしてもよい。
【００５３】
（変形例）
図７は、本発明の実施の形態１に基づいた変形例に係る積層セラミックコンデンサの積層体の構造を示す分解斜視図である。
【００５４】
図７に示すように、本変形例に係る積層セラミックコンデンサ１Ｂは、上述した実施の形態１における積層セラミックコンデンサ１Ａと比較した場合に、主として接地用内部電極層１４の構成およびレイアウトにおいて相違している。具体的には、本変形例に係る積層セラミックコンデンサ１Ｂにおいては、上述した実施の形態１において示した素材シート群２０Ａに代えて、図示する如くの素材シート群２０Ｂを用いて積層体１０Ｂが形成される。ここで、素材シート群２０Ｂは、上述した実施の形態１において示した素材シート群２０Ａに含まれる第２素材シート２１Ｂを、図示する如くの第２素材シート２１Ｂ１に

置き換えたものである。

【００５５】

第２素材シート２１Ｂ１は、信号用内部電極層１２となる導電パターン２３と、４つの接地用内部電極層１４となる導電パターン２３とを含むものである。当該第２素材シート２１Ｂ１を含む素材シート群２０Ｂを用いて積層体１０Ｂを製作した場合には、信号用内部電極層１２は、図中に示すＹ軸方向における中央位置において図中に示すＸ軸方向に沿って延在するように設けられることになり、４つの接地用内部電極層１４は、当該信号用内部電極層１２を挟み込むように図中に示すＹ軸方向における両端部寄りの位置にそれぞれＹ軸方向に沿って２つずつ設けられることになる。

【００５６】

なお、本変形例に係る積層セラミックコンデンサ１Ｂにおいては、その図示は省略するが、上記４つの接地用内部電極層１４に対応して、積層体１０Ｂの第２側面４，４にそれぞれ２つずつ接地用外部電極１７が形成されることになる。

【００５７】

このように構成した場合にも、上述した実施の形態１の場合と同様に、いわゆるシリーズ構造を有する貫通型の積層セラミックコンデンサとすることができる。

【００５８】

（実施の形態２）

図８は、本発明の実施の形態２における積層セラミックコンデンサの積層体の構造を示す分解斜視図である。図９は、本実施の形態における積層セラミックコンデンサの信号用内部電極層を含む部分の横断面図であり、図１０は、浮遊内部電極層を含む部分の横断面図であり、図１１は、接地用内部電極層を含む部分の横断面図である。また、図１２は、本実施の形態における積層セラミックコンデンサの図９ないし図１１に示すＸＩＩ－ＸＩＩ線に沿った縦断面図である。

【００５９】

図８に示すように、本実施の形態における積層セラミックコンデンサ１Ｃは、上述した実施の形態１における積層セラミックコンデンサ１Ａと比較した場合に、主として接地用内部電極層１４の構成およびレイアウトにおいて相違している。具体的には、本実施の形態における積層セラミックコンデンサ１Ｃにおいては、上述した実施の形態１において示した素材シート群２０Ａに代えて、図示する如くの素材シート群２０Ｃを用いて積層体１０Ｃが形成される。ここで、素材シート群２０Ｃは、上述した実施の形態１において示した素材シート群２０Ａに含まれる第２素材シート２１Ｂを、図示する如くの第２素材シート２１Ｂ２に置き換えるとともに、さらに第４素材シート２１Ｄを付加したものである。

【００６０】

第２素材シート２１Ｂ２は、セラミックス素地２２の表面に信号用内部電極層１２に応じた形状の導電パターン２３が形成されたものであり、当該第２素材シート２１Ｂ２は、焼成後において信号用内部電極層１２になるとともに誘電体層１１の一部になる。ここで、第２素材シート２１Ｂ２には、接地用内部電極層１４となる導電パターン２３は形成されていない。

【００６１】

第４素材シート２１Ｄは、セラミックス素地２２の表面に接地用内部電極層１４に応じた形状の導電パターン２３が形成されたものであり、当該第４素材シート２１Ｄは、焼成後において接地用内部電極層１４になるとともに誘電体層１１の一部になる。

【００６２】

積層に際しては、１枚の第２素材シート２１Ｂ２、１枚の第３素材シート２１Ｃおよび１枚の第４素材シート２１Ｄとを一組として、これを積層方向（Ｚ軸方向）に沿って複数組積層するとともに、これらを挟み込むように、また必要に応じてこれらの間に挿入するように、第１素材シート２１Ａを積層させる。そして、積層後の素材シート群２０Ｃを圧着および焼成することにより、積層体１０Ｃが製作される。

【００６３】

図１２に示すように、このようにして製作された積層体１０Ｃを含む積層セラミックコンデンサ１Ｃにおいては、積層体１０Ｃの内部に設けられた内部電極層１２，１３，１４が、誘電体層１１によって隔てられることで複数層に亘って設けられることになる。なお、当該積層セラミックコンデンサ１Ｃの外観構造は、上述した実施の形態１における積層セラミックコンデンサ１Ａと同様である（図１参照）。

【００６４】

図９ないし図１２に示すように、これら内部電極層１２，１３，１４は、第１内部電極層としての信号用内部電極層１２と、第２内部電極層としての浮遊内部電極層１３と、第３内部電極層として接地用内部電極層１４とを含んでいる。

【００６５】

ここで、浮遊内部電極層１３は、積層方向（Ｚ軸方向）に沿って信号用内部電極層１２と接地用内部電極層１４との間に設けられることになり、積層方向（Ｚ軸方向）に沿って見た場合に、これら信号用内部電極層１２、浮遊内部電極層および接地用内部電極層１４は、相互に重なって位置することになる。

【００６６】

信号用内部電極層１２は、信号用第１外部電極１５および信号用第２外部電極１６に接続されているとともに、一対の接地用外部電極１７，１７に非接続とされている。具体的には、図９に示すように、信号用内部電極層１２は、そのＸ軸方向における両端に位置する接続部１２ａ，１２ａが積層体１０Ｃの一対の第１側面３，３において露出しており、これにより第１側面３，３を覆う信号用第１外部電極１５および信号用第２外部電極１６に対して接続されている。なお、信号用内部電極層１２のＹ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ｃの一対の第２側面４，４において露出しておらず、これにより信号用内部電極層１２は、一対の接地用外部電極１７，１７に対して非接続とされている。

【００６７】

浮遊内部電極層１３は、信号用第１外部電極１５、信号用第２外部電極１６および一対の接地用外部電極１７，１７のいずれにも非接続とされている。具体的には、図１０に示すように、浮遊内部電極層１３のＸ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ｃの一対の第１側面３，３において露出しておらず、これにより浮遊内部電極層１３は、信号用第１外部電極１５および信号用第２外部電極１６に対して非接続とされている。また、浮遊内部電極層１３のＹ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ｃの一対の第２側面４，４において露出しておらず、これにより浮遊内部電極層１３は、一対の接地用外部電極１７，１７に対して非接続とされている。

【００６８】

接地用内部電極層１４は、一対の接地用外部電極１７，１７に接続されているとともに、信号用第１外部電極１５および信号用第２外部電極１６に非接続とされている。具体的には、図１１に示すように、接地用内部電極層１４は、そのＹ軸方向における両端に位置する接続部１４ａ，１４ａが積層体１０Ｃの一対の第２側面４，４において露出しており、これにより第２側面４，４を覆う一対の接地用外部電極１７，１７に対して接続されている。なお、接地用内部電極層１４のＸ軸方向における両端は、誘電体層１１によって覆われることで積層体１０Ｃの一対の第１側面３，３において露出しておらず、これにより接地用内部電極層１４は、信号用第１外部電極１５および信号用第２外部電極１６に対して非接続とされている。

【００６９】

ここで、本実施の形態における積層セラミックコンデンサ１Ｃにおいては、上述した信号用内部電極層１２、浮遊内部電極層１３および接地用内部電極層１４が、一組の内部電極層群として構成され、当該内部電極層群が積層方向（Ｚ軸方向）に沿って複数組みに亘って積層配置されることにより、静電容量の高容量化が図られている。

【００７０】

上記構成とすることにより、図１２に示すように、対向配置された部分の信号用内部電極層１２および浮遊内部電極層１３とこれらの間に位置する部分の誘電体層１１とにより、図２において示した第１コンデンサ要素１８Ａが構成されるとともに、対向配置された部分の浮遊内部電極層１３および接地用内部電極層１４とこれらの間に位置する部分の誘電体層１１とにより、図２において示した第２コンデンサ要素１８Ｂが構成されることになり、さらには、これら第１コンデンサ要素１８Ａと第２コンデンサ要素１８Ｂとが、浮遊内部電極層１３を介して電気的に直列に接続されることになる。

【００７１】

したがって、本実施の形態における積層セラミックコンデンサ１Ｃとすることにより、いわゆるシリーズ構造を有する貫通型の積層セラミックコンデンサとすることができ、上述した実施の形態１において説明した効果と同様の効果を得ることができる。

【００７２】

なお、本実施の形態における積層セラミックコンデンサ１Ｃにおいては、信号用内部電極層１２と接地用内部電極層１４とが非同一平面上に形成されているため、これらをそれぞれ大きく形成することが可能になり、この点においても静電容量の高容量化が図られることになる。

【００７３】

今回開示した上記実施の形態およびその変形例はすべての点で例示であって、制限的なものではない。本発明の技術的範囲は特許請求の範囲によって画定され、また特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

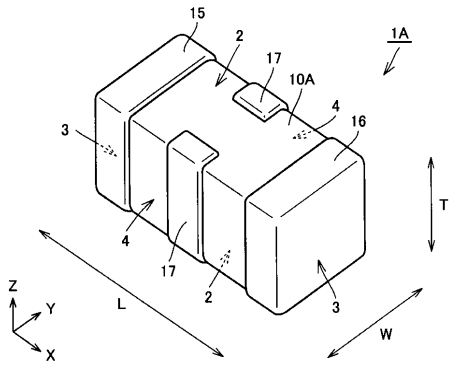
【符号の説明】

【００７４】

１Ａ～１Ｃ　積層セラミックコンデンサ、２　主面、３　第１側面、４　第２側面、１０Ａ～１０Ｃ　積層体、１１　誘電体層、１２　信号用内部電極層、１２ａ　接続部、１３　浮遊内部電極層、１４　接地用内部電極層、１４ａ　接続部、１５　信号用第１外部電極、１６　信号用第２外部電極、１７　接地用外部電極、１８Ａ　第１コンデンサ要素、１８Ｂ　第２コンデンサ要素、２０Ａ～２０Ｃ　素材シート群、２１Ａ　第１素材シート、２１Ｂ，２１Ｂ１，２１Ｂ２　第２素材シート、２１Ｃ　第３素材シート、２１Ｄ　第４素材シート、２２　セラミックス素地、２３　導電パターン。

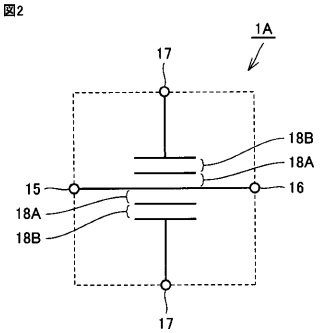
【図１】

図1



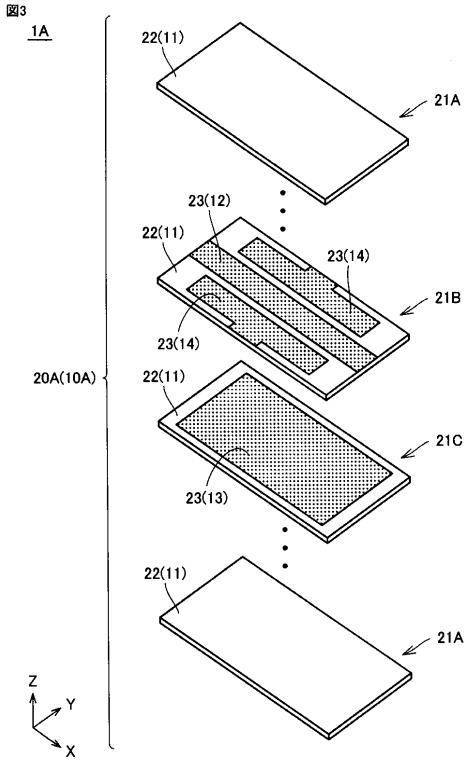
【図２】

図2



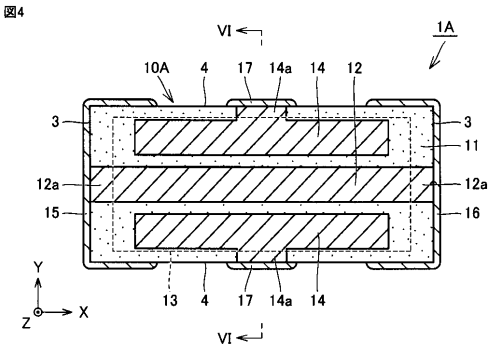
【図３】

図3



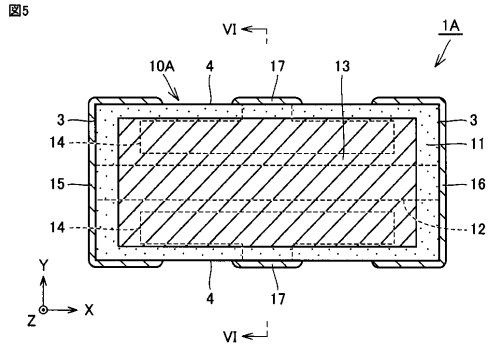
【図４】

図4



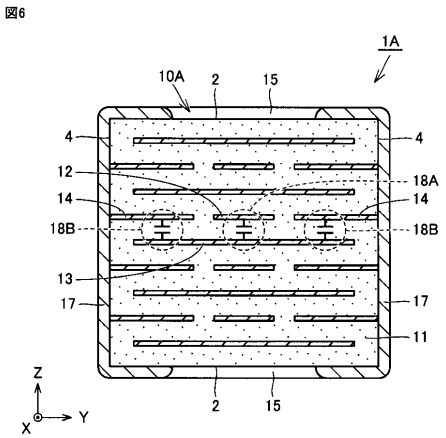
【図５】

図5

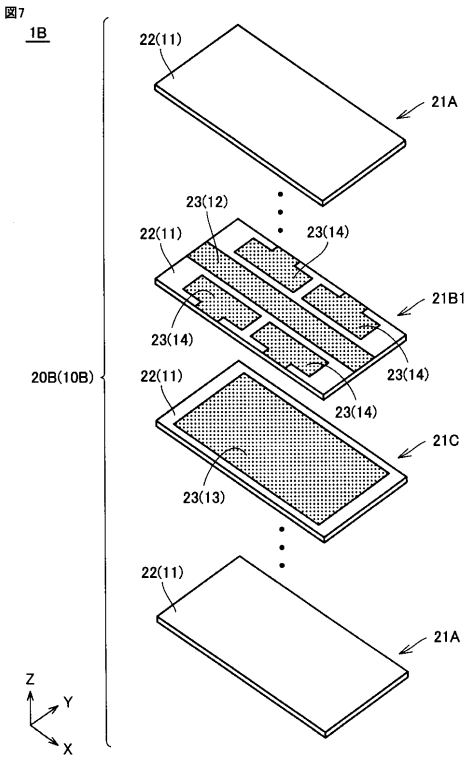


【図６】

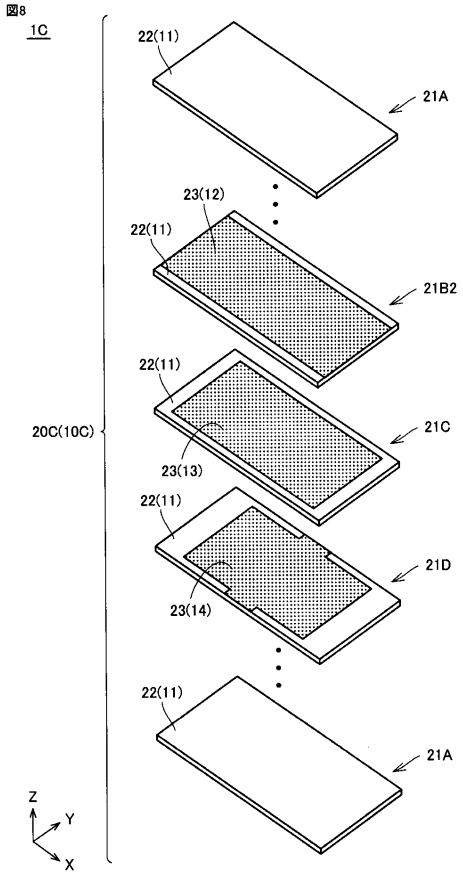
図6



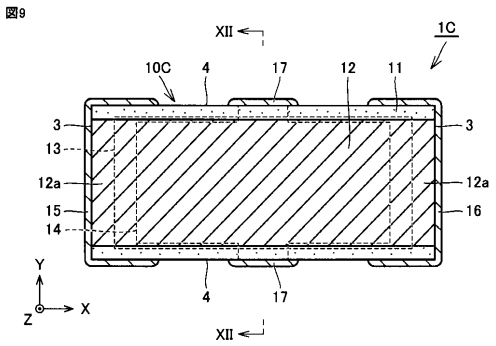
【図７】



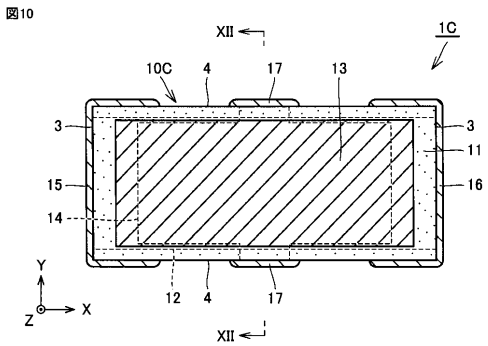
【図８】



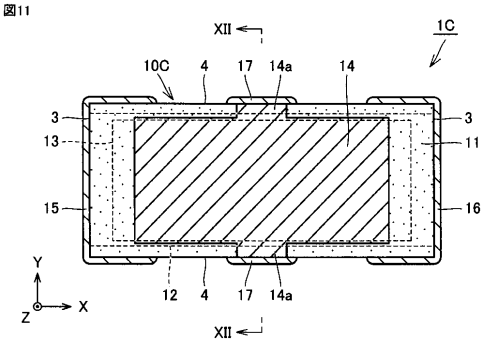
【図９】



【図１０】

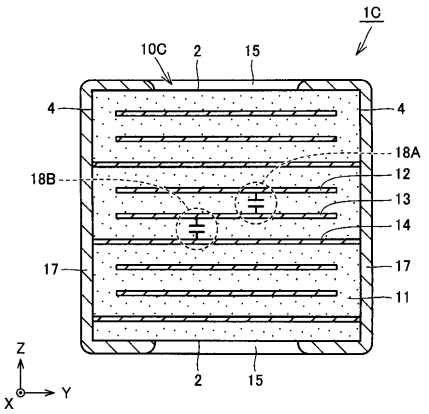


【図１１】



【図１２】

図12



フロントページの続き

(56)参考文献 国際公開第２００５／０２０２５６（WO，Ａ１）
特開２００５－１３６０１１（ＪＰ，Ａ）
特開２００２－３１３６７４（ＪＰ，Ａ）
特開２０１１－０２３７８５（ＪＰ，Ａ）
特開２００２－０４３８８１（ＪＰ，Ａ）
特開２００２－１００９４７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｇ４／００－４／０１５
４／０２－４／２２４
４／２３２
４／２５５－４／４０
１３／００－１７／００