



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

⑪ CH 654 947 A5

⑤① Int. Cl. 4: G 11 C 7/00

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

⑳ Gesuchsnummer: 2490/82

㉔ Anmeldungsdatum: 23.04.1982

③① Priorität(en): 23.04.1981 US 256697

㉔ Patent erteilt: 14.03.1986

④⑤ Patentschrift
veröffentlicht: 14.03.1986

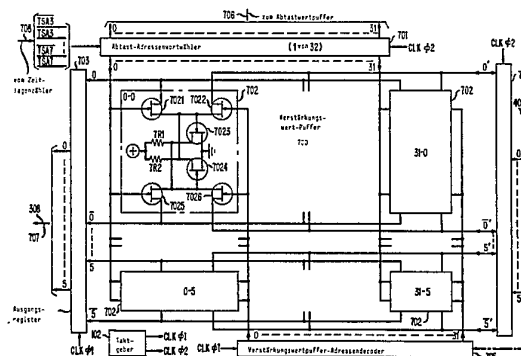
⑦③ Inhaber:
Western Electric Company, Incorporated, New
York/NY (US)

⑦② Erfinder:
Moffitt, Bryan Scott, Eatontown/NJ (US)
Ross, Alexander Robert, Allentown/PA (US)

⑦④ Vertreter:
Bovard AG, Bern 25

⑤④ Speicheranordnung mit einer Vielzahl von Speicherelementen.

⑤⑦ Die Speicheranordnung besitzt einen Speicherelemente (702) umfassenden Speicher (700) und ein erstes Zugriffsleitungspaar (0,0̄). Es soll erreicht werden, dass für jeden Zyklus der Speicheroperation zwei Zugriffe ausgeführt werden können. Dies wird erreicht, indem auf vorteilhafte Weise das Bitleitungs-Voraufladeintervall ausgenutzt wird. Zu jedem Speicherelement (702) ist ein zweites Zugriffsleitungspaar (0',0̄') hinzugeführt, und jeder Zyklus wird so aufgespalten, dass dann, wenn das eine Zugriffsleitungspaar sich in der Zugriffs-Betriebsweise befindet, das andere Zugriffsleitungspaar (0,0̄) in der Vorauflade-Betriebsweise ist. Unter Anwendung dieser Technik wird die Arbeitsgeschwindigkeit der Speicheranordnung im wesentlichen verdoppelt.



PATENTANSPRÜCHE

1. Speicheranordnung mit einer Vielzahl von Speicherelementen (702), einem ersten Paar von Zugriffsleitungen (0, 0'), die den Speicherelementen zugeordnet sind und ihnen Vorauflade-Abfragesignale zuführen, wobei jedes Speicherelement (702) so ausgelegt ist, dass es auf die Vorauflade-Abfragesignale mit dem gespeicherten Signalwert antwortet und die Antwort zu einem Zeitpunkt unmittelbar nach dem Voraufladen der ersten Zugriffsleitungen auftritt, und wobei die Speicherelemente (702) ausserdem so ausgelegt sind, dass sie während des Voraufladeintervalls gegenüber den ersten Zugriffsleitungen isoliert sind, dadurch gekennzeichnet, dass die Speicheranordnung (700) wenigstens ein zweites Paar von Zugriffsleitungen (0', 0'') aufweist, die den Speicherelementen (702) zugeordnet sind, dass das zweite Paar von Zugriffsleitungen (0', 0'') unabhängig von dem ersten Paar von Zugriffsleitungen (0, 0') Vorauflade-Abfragesignale an die Speicherelemente (702) liefert und dass das zweite Paar von Zugriffsleitungen (0', 0'') Vorauflade-Abfragesignale zu einem anderen Zeitpunkt als dem für das Auftreten von Vorauflade-Abfragesignalen auf dem ersten Paar von Zugriffsleitungen (0, 0') liefert, so dass die zugeordneten Speicherelemente (702) mit ihrem gespeicherten Signalwert über das zweite Paar von Zugriffsleitungen (0', 0'') unabhängig von der Antwort über das erste Paar von Zugriffsleitungen (0, 0') antworten können.

2. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass das abwechselnde Voraufladen durch entgegengesetzte Taktphasen eines Vorauflade- und Lese/Schreibtaktes gesteuert wird.

3. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Speicheranordnung (700) weiterhin ein erstes, dem ersten Paar von Zugriffsleitungen zugeordnetes Eingangs-/Ausgangs-Register (703) und ein zweites, dem zweiten Paar von Zugriffsleitungen zugeordnetes Eingangs-/Ausgangs-Register (704) aufweist, dass jedes der Register so ausgelegt ist, dass es die Vorauflade-Abfragesignale abhängig von Eingangssignalen erzeugt, die ihm von einer äusseren Quelle zugeführt werden, und dass die Register weiterhin so ausgelegt sind, dass sie der äusseren Quelle die Antwortesignale der zugeordneten Speicherelemente zuführen.

4. Speicheranordnung nach Anspruch 2, dadurch gekennzeichnet, dass die Anordnung eine NMOS-Anordnung ist.

Die Erfindung betrifft eine Speicheranordnung mit einer Vielzahl von Speicherelementen, einem ersten Paar von Zugriffsleitungen, die den Speicherelementen zugeordnet sind und ihnen Vorauflade-Abfragesignale zuführen, wobei jedes Speicherelement so ausgelegt ist, dass es auf die Vorauflade-Abfragesignale mit dem gespeicherten Signalwert antwortet und dass die Antwort zu einem Zeitpunkt unmittelbar nach dem Voraufladen der ersten Zugriffsleitungen auftritt, und wobei die Speicherelemente ausserdem so ausgelegt sind, dass sie während des Voraufladeintervalls gegenüber den ersten Zugriffsleitungen isoliert sind.

Ein übliches Verfahren für den Zugriff zu einer Speicheranordnung besteht darin, für jede Bitstelle eine doppelte Zugriffsleitung vorzusehen, derart, dass das Binärsignal, entweder eine 0 oder eine 1, auf einer Leitung des Paares von Leitungen und das Komplement auf der anderen Leitung des Paares geliefert wird. Für ein gegebenes Paar von Zugriffsleitungen, das willkürlich A genannt wird, wäre eine Leitung «A» und die andere «Ä».

Zum Einschreiben einer 1 in eine Bitstelle, beispielsweise die Stelle A1, wäre die Leitung «A» auf hohem Potential (H).

Zu diesem Zeitpunkt sind dann unter Steuerung eines Wortauswahl-Decoders zwei Übertragungsgatter zwischen den Zugriffsleitungen und der Speicherstelle offen. Da an die Leitung «A» hohes Potential angelegt ist, wird die Zelle A1 zur Erzeugung einer 1 veranlasst.

Für Leseoperationen weist die Operationsfolge ein Vorauflade-Intervall auf, bei dem beide Zugriffsleitungen «A» und «Ä» auf hohem Potential gehalten werden. Am Ende des Voraufladeintervalls werden jedoch die Signale hohen Potentials von beiden Leitungen abgeschaltet, die Leitungen bleiben aber aufgrund ihrer parasitären Kapazität auf H. Es werden dann die Übertragungsgatter zwischen den Zugriffsleitungen und der Speicherzelle geöffnet. Da das Signal H auf beiden Leitungen nicht aufrechterhalten wird, liefert das Flip-flop der Speicherzelle Signale auf die Leitungen «A» und «Ä», die den Zustand der Zelle A1 darstellen. Wenn demgemäss die Zelle eine 1 gespeichert hat, bleibt die Leitung «A» auf hohem Potential, und die Leitung «Ä» wird auf niedriges Potential (L) entladen. Das Voraufladen ist erforderlich, weil die Speicherzellen nur eine niedrige Leistung zur Spannungserhöhung der Leitungen besitzen und nicht in der Lage sind, die Zugriffsleitungen ohne Beeinflussung der gespeicherten Daten aufzuladen.

Die Vorauflade- und Leseintervalle werden zeitlich durch zwei Phasen eines Taktsignals gesteuert. Eine solche Takt- und Speicheranordnung stellt ein synchrones Speicherlesesystem dar. Die Schreiboperation erfolgt ebenfalls synchron und besitzt demgemäss ein Vorauflade-Intervall, das aber durch die Eingangsdaten überdeckt wird und nur zur Adressierung und Dateneinstellung benutzt wird.

Es treten Fälle auf, in denen es erwünscht ist, einen Zugriff zu einer einzelnen Speicheranordnung von mehr als einem Anschluss oder Punkt aus durchzuführen. In typischer Weise erreicht man dies, indem eine Multiplexeranordnung an dem einzigen Zugriffspunkt benutzt wird und die Eingangs-/Ausgangssignale des Speichers zwischen verschiedenen Registern aufgeteilt werden. Diese Anordnung wird für Steuerzwecke kompliziert und kann in ihrer Verwirklichung aufwendig sein. Ein weiterer Nachteil einer solchen Anordnung tritt dann auf, wenn bereits ein Zugriff zum Speicher mit seiner maximalen Geschwindigkeit für einen einzelnen Anschluss erfolgt. In einem solchen Fall verursacht, da die Zugriffszeit fest ist, die Hinzufügung weiterer Anschlüsse eine Herabsetzung der Zugriffsmöglichkeiten von jedem Anschluss aus. Demgemäss kann kein Realzeit-Speicherbetrieb garantiert werden.

In bekannter Weise hat man versucht, diese Schwierigkeit durch Anordnung von zwei Speichern zu überwinden, die abwechselnd nacheinander betrieben werden. Beispielsweise wird bei Zeitlagen-Wechseloperationen ein Rahmen während eines ersten Zyklus in einen ersten Speicher eingeschrieben. Ein zweiter Rahmen wird dann in den zweiten Speicher gegeben. Während des nächsten Zyklus wird der dritte Rahmen in den ersten Speicher geschrieben, während der zweite Rahmen aus dem zweiten Speicher gelesen wird.

Es verbleibt demgemäss das Problem, dass ein einziger Speicher eine komplizierte periphere Steuerung benötigt, wenn er die Möglichkeit für einen Zugriff von mehreren Anschlüssen besitzt und Mehrfach-Zugriffsoperationen während des gleichen Speicherzyklus auftreten können.

Zur Lösung der sich daraus ergebenden Aufgabe geht die Erfindung aus von einer Speicheranordnung der eingangs genannten Art und ist dadurch gekennzeichnet, dass die Speicheranordnung wenigstens ein zweites Paar von Zugriffsleitungen aufweist, die den Speicherelementen zugeordnet sind, dass das zweite Paar von Zugriffsleitungen unabhängig von dem ersten Paar von Zugriffsleitungen Vorauflade-Abfragesignale an die Speicherelemente liefert und

dass das zweite Paar von Zugriffsleitungen Vorauflade-Abfragesignale zu einem anderen Zeitpunkt als dem für das Auftreten von Vorauflade-Abfragesignalen auf dem ersten Paar von Zugriffsleitungen liefert, so dass die zugeordneten Speicherelemente mit ihrem gespeicherten Signalwert über das zweite Paar von Zugriffsleitungen unabhängig von der Antwort über das erste Paar von Zugriffsleitungen antworten können.

Die Fähigkeiten eines Speichers mit Mehrfachanschlüssen werden durch eine Anordnung der Speicherzellen auf eine solche Art erreicht, dass für jeden Zyklus der Speicheroperation Mehrfachzugriffe durchgeführt werden können. Dieses Ergebnis wird durch eine Struktur erreicht, die die Möglichkeit eines individuellen Zellenzugriffs auf konkurrierender Grundlage bietet und sicherstellt, dass ein Zugriff zu jeder Zelle nicht gleichzeitig von mehr als einem Anschluss aus erfolgt. Die Anordnung sieht die Hinzufügung eines Zugriffsleitungspaares zu jedem Speicherelement vor, wobei jedes Zugriffsleitungspaar als getrennter Anschluss dient. Bei einem Ausführungsbeispiel wird ein getrenntes Zugreifen durch selektive Steuerung der Eingänge erreicht, derart, dass in allen Fällen unterschiedliche Zellen bei jedem Zyklus des Speichers adressiert werden.

Bei einem zweiten Ausführungsbeispiel werden die Anschlüsse durch eine Taktsignal-Phaseeinrichtung getrennt, die die Vorauflade- und Adressier-Intervalle zwischen den Anschlüssen abwechselnd, um sicherzustellen, dass dann, wenn ein Anschluss Daten liest, der andere Anschluss sich in der Vorauflade-Betriebsweise befindet. Durch Verwendung der richtigen Taktphase für jedes Zugriffsleitungspaar, derart, dass sie ausser Phase mit dem jeweils anderen Paar ist, kann sichergestellt werden, dass dann, wenn das eine Zugriffsleitungspaar sich in der Vorauflade-Betriebsweise befindet, das andere Zugriffsleitungspaar Informationen aus jeder Speicherzelle lesen kann.

Nachfolgend wird die Erfindung anhand eines Ausführungsbeispiels in Verbindung mit den Zeichnungen beschrieben. Es zeigen:

Fig. 1 einen Speicher mit einem zweiten Paar von Zugriffsleitungen;

Fig. 2 eine bekannte Speicherzelle mit einem einzelnen Zugriffsleitungspaar;

Fig. 3 ein Zeitdiagramm zur Steuerung des Zugriffs für die beiden Anschlüsse in Fig. 1.

Die in Fig. 1 gezeigte Speicheranordnung, die als Verstärkungswertpuffer 700 dargestellt ist, besteht aus einer NMOS-Speicheranordnung bekannter Art (Fig. 2), die so modifiziert ist, dass sie die Möglichkeit eines doppelten Zugriffs bietet. Der Speicher 700 kann demgemäss entweder über das Register 703 oder über das Register 704 zugegriffen werden, wobei jedes Register mit zwei unabhängigen Adressen und zwei unabhängigen Datensammelleitungen arbeitet. Es sei darauf hingewiesen, dass der doppelte Speicher, der Gegenstand der vorliegenden Erfindung ist, in einem weiten Bereich von Anwendungsfällen benutzt werden kann.

Eine Sammelleitung 401 kann für Lese- oder Schreibzwecke einen Zugriff zu jeder der durch einen Adressendecoder 705 gewählten 32 horizontalen Speicherstellen (0-31) ausführen. Gleichzeitig und unabhängig kann eine Sammelleitung 707 - falls gewünscht - einen Auslesevorgang für jede der 32 Speicherstellen ausführen, die durch einen Adressendecoder 701 ausgewählt worden ist. Beide Sammelleitungen sind in Form von Zugriffsleitungspaares (beispielsweise das Zugriffsleitungspaar 0, $\bar{0}$) durch alle Speicherstellen geführt, und - wie sich zeigen wird - ein Zugriff durch die eine Sammelleitung schliesst den Zugriff von der anderen

Sammelleitung nicht aus. Die Zugriffsleitungspaares werden als Einstell-/Rückstell-Leitungen für Schreiboperationen und als selektive Ausgangsleitungen für Leseoperationen benutzt. Das Zugriffsleitungspaar 0' und $\bar{0}'$ des Registers 704 ist zu den Bitzellen 702 in der obersten Zeile (0-0 bis 31-0) geführt, und das Zugriffsleitungspaar 0 und $\bar{0}$ des Registers 703 führt zu den gleichen Zellen.

Bei einer nichtmodifizierten NMOS-Speicheranordnung ist entsprechend Fig. 2 eine Gruppe von Zugriffsleitungspaares und ein Eingangs-/Ausgangs-Register mit einem Adressendecoder mit der Speicheranordnung verbunden. Für die vorliegende Erläuterung sei angenommen, dass dies der Adressenwortwähler 701 und das Register 703 sind. Jede Lese- oder Schreiboperation ist ein Vorgang mit zwei Schritten. Beim ersten Schritt werden alle Bitleitungspaares voraufgeladen. Diese Voraufladung ist bekannt. Demgemäss werden die Leitungen 0-5 und $\bar{0}$ -5 durch Schaltungen im Register 703 auf hohe Spannung gebracht. Dadurch wird verhindert, dass die Leitungen die Daten in den Bitzellen während des nächsten Schrittes verändern.

Für eine Leseoperation besteht der nächste Schritt darin, die Vorladungsspannung auszuschalten und eine der Wortauswahlleitungen vom Adressenwortwähler 701 einzuschalten. Beim Ausschalten der Vorladungsspannung bleiben die Bitleitungen kapazitiv auf hoher Spannung geladen, während die Wortauswahlleitungen entsprechende Übertragungsgatter 7021 und 7025 einschalten. Diese Übertragungsgatter lassen die Bitzelle eine der Zugriffsleitungen (0 oder $\bar{0}$, abhängig von den gespeicherten Daten) des Paares der Zugriffsleitungen 0, $\bar{0}$ auf niedrige Spannung für jede Zelle der gleichen Spalte ziehen. Jedes Bitleitungspaar entspricht demgemäss den in der zugeordneten, gewählten Bitzelle gespeicherten Daten, und das Register 703 hält dann diese Daten für die Ausgabe bereit.

Die Bitzellen-Widerstände 7R1 und 7R2 haben einen hohen Wert, um den Leistungsverbrauch des Speichers auf ein Minimum zu bringen, während die Transistoren 7023 und 7024 in der Lage sind, jede Bitleitung auf niedrige Spannung zu ziehen. Die Voraufladung ist erforderlich, da die Widerstände nicht in der Lage sind, die Bitleitungen auf hohe Spannung zu bringen.

Für eine Schreiboperation besteht der nächste Schritt darin, die Vorladungsspannung durch die Treibspannung der Eingangsdaten zu ersetzen und eine der Auswahlleitungen einzuschalten. Die Eingangsdaten überdecken die Vorladung sowie die Bitzellendaten und bewirken, dass die Zellendaten abhängig von den Eingangsdaten eingestellt oder rückgestellt werden.

Die Vorlade- und Lese/Schreib-Operationen werden durch Taktsignale gesteuert. Die Vorladung wird dann ausgeführt, wenn das Taktsignal auf hoher Spannung ist, und das Lesen oder Schreiben dann, wenn das Taktsignal auf niedriger Spannung ist.

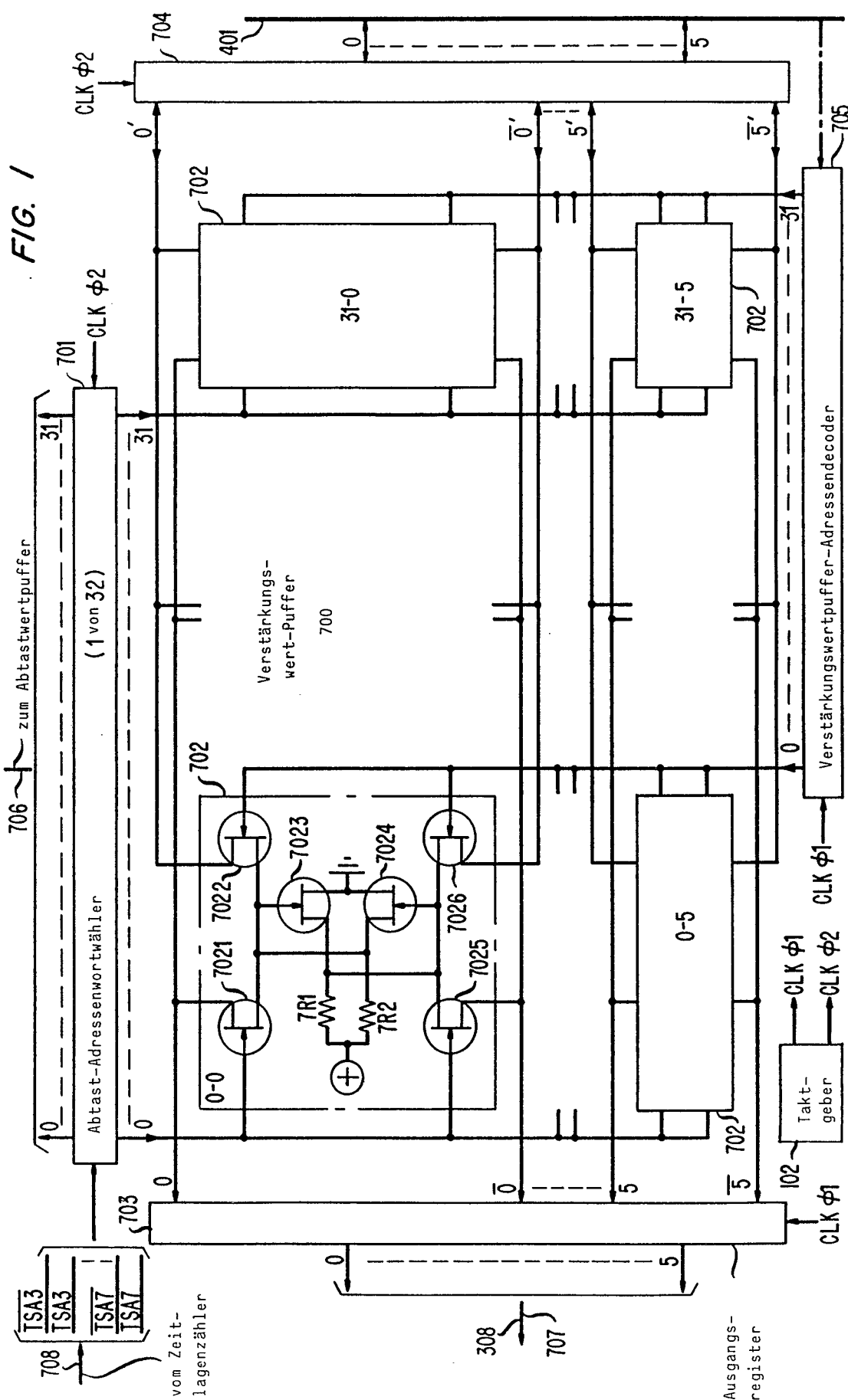
Die Anordnung mit zwei Sammelleitungen gemäss Fig. 1 ermöglicht ein zweiphasig arbeitendes Speichersystem, bei dem zwei unabhängige Sätze von Eingangs-Ausgangsregistern und Wortwählern einen Zugriff zu allen Speicherstellen bei entgegengesetzten Phasen eines Takts durchführen können. Wenn eines der Register, beispielsweise das Ausgangsregister 703, sich in der Vorlade-Betriebsweise befindet, ist das eigentliche Flipflop der Speicherzelle durch Gatter 7021 und 7025 von dem Paar der Zugriffsleitungen 0, $\bar{0}$ dieses Registers isoliert. Während der gleichen Zeit kann das andere Register, beispielsweise das Eingangs-Ausgangsregister 704, sich in der Lese/Schreibphase befinden und einen Zugriff zu der gleichen Zelle durchführen. Diese abwechselnde Operation wird durch Taktsignale entgegengesetzter Phase

gesteuert, die von einem Taktgeber 102 geliefert werden. Die Phasenbeziehung zwischen diesen Signalen ist in Fig. 3 dargestellt. Der Phasenunterschied verhindert den möglicherweise schädlichen Zustand, dass beide Paare der Zugriffsleitungen 0, $\bar{0}$ und 0', $\bar{0}'$ gleichzeitig die gleiche Bitzelle auswählen. Bei dem dargestellten Ausführungsbeispiel wird die Sammelleitung 707 nur für Leseoperationen benutzt, kann aber – falls gewünscht – sowohl für Lese- als auch für Schreiboperationen verwendet werden.

Die Verwendung von den zwei Paaren von Zugriffsleitungen 0, $\bar{0}$ und 0', $\bar{0}'$ zusammen mit Taktsignalen entgegengesetzter Phase erlaubt dem Speicher, seine Geschwindigkeit zu verdoppeln, so dass eine doppelte Zahl von Zugriffsoperationen über unabhängige Anschlüsse im gleichen Zeitintervall stattfinden können.

Die gleiche Zweiphasenanordnung kann zusätzlich dadurch erweitert werden, dass drei Zugriffsleitungs-paare und drei Zugriffsanschlüsse sowie eine Sammelleitungs-Auswahllogik für zwei der drei Zugriffsanschlüsse vorgesehen werden. Die Adressenauswahllogik für einen Ausgangsan-

schluss kann gemeinsam von den Eingangs/Ausgangs-Registern benutzt werden. Die anderen beiden Anschlüsse können über getrennte Register betrieben werden. Adressen werden gleichzeitig jedem Register angeboten, und ein externer Sammelleitungswähler bestimmt, wann und von welcher Sammelleitung Daten in den Speicher geschrieben werden. Diese Anordnung stellt ein anpassungsfähiges Speichersystem mit drei Anschlüssen dar, bei dem zwei Anschlüsse Eingänge sind und gleichzeitig Schreiboperationen für mehr als eine Speicherstelle und von einer der beiden Sammelleitungen aus durchführen können, während der dritte Anschluss ein Ausgang ist und gleichzeitig Lesevorgänge von einer dritten Sammelleitung aus ermöglicht. Da die beiden Anschlüsse mit der gleichen Taktphase betrieben werden, könnte hierdurch ein Konflikt für Schreibvorgänge auftreten, wenn nicht die Sammelleitungs-Auswahllogik sicherstellt, dass für jede gegebene Speicherstelle nur eine Sammelleitung die Schreibdaten zu jedem Zeitpunkt liefert. Die dritte Sammelleitung wird mit der entgegengesetzten Phase betrieben, so dass kein Konflikt mit den beiden anderen Sammelleitungen auftreten kann.



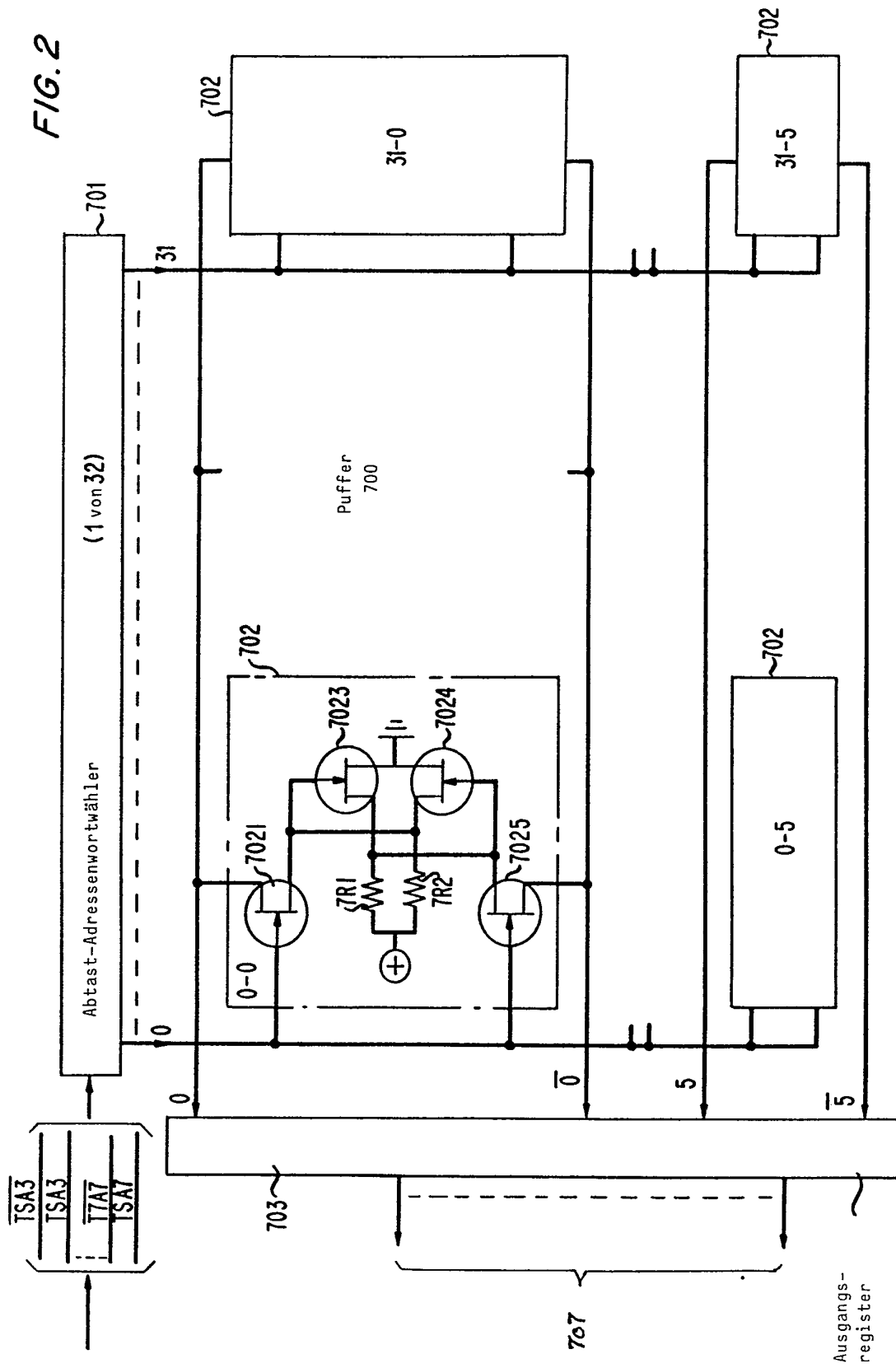


FIG. 3

