



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 229 847 A1

4(51) H 03 L 7/08

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 L / 270 694 1	(22)	12.12.84	(44)	13.11.85
------	-----------------------	------	----------	------	----------

(71) Akademie der Wissenschaften der DDR, 1086 Berlin, Otto-Nuschke-Straße 22/23, DD

(72) Stroetzel, Karl-Heinz, Dipl.-Ing.; Hausfeld, Lothar, Dr.-Ing.; Rompe, André, Dr.-Ing., DD

(54) Schneller digitaler Phasendiskriminator

(57) Die Erfindung bezieht sich auf einen schnellen digitalen Phasendiskriminator, der als digitales Meßglied zur Bestimmung der Zeitdifferenz von Impulsflanken, insbesondere in Phasenregelkreisen, zu Synchronisationszwecken Anwendung finden kann. Ziel und Aufgabe der Erfindung ist es, einen schnellen digitalen Phasendiskriminator vorzuschlagen, der sich mit relativ geringem technischen Aufwand realisieren läßt und bei dem höherfrequente Baugruppen vermieden werden. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß der Signaleingang mit einer aus n in Reihe geschalteten Verzögerungsgliedern als Laufzeitkette zusammengeschaltet ist, deren Ausgänge mit je einem Dateneingang eines n-stufigen Registers verbunden sind, während am Übernahmetakteingang jedes Registers der Referenztakt anliegt und je eine Verbindung zwischen den n Datenausgängen a_i der Register und den Eingängen eines Decoders besteht, an dessen Datenausgängen das der Phasendifferenz entsprechende Datenwort A zur Weiterverarbeitung ansteht. Figur

Schneller digitaler Phasendiskriminator

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen schnellen digitalen Phasendiskriminator. Sie findet Anwendung als digitales Meßglied zur Bestimmung der Zeitdifferenz von Impulsflanken, insbesondere in Phasenregelkreisen zu Synchronisationszwecken.

Charakteristik der bekannten technischen Lösungen

Bekannte technische Lösungen für einen Phasendiskriminator, der an seinem Ausgang einen zur Phasendifferenz proportionalen Zahlenwert liefert, basieren auf der Verwendung von digitalen Zählern. Dabei wird die Startflanke zum Auslösen des Zählvorganges benutzt und der Zählerstand zum Zeitpunkt des Auftretens der Referenzflanke wird als Ergebnis ausgewertet (Tadamitsu Iritani u. a.: Linear digital phase-locked loops using integrators in a puls frequency-modulation-system. IEE Proc., Vol. 129, No. 5, October 1982).

Diese Lösung gestattet eine zeitliche Auflösung des Phasenfehlers proportional zum Zähltakt, so daß die Taktfrequenz des Zählers um Größenordnungen höher liegen muß, als die der auszuwertenden Impulsflanken. Dadurch ergeben sich wegen der technologisch bedingten oberen Grenzen der Taktfrequenz starke Einschränkungen bei der Anwendung von digitalen Phasenregelkreisen.

Ziel der Erfindung

Ziel der Erfindung ist es, einen schnellen digitalen Phasendiskriminator vorzuschlagen, der mit geringerem technischen Aufwand gegenüber dem Stand der Technik auskommt und dessen Arbeitszyklus mit der Taktfrequenz der Bauelemente übereinstimmt.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, einen schnellen digitalen Phasendiskriminator zu entwickeln, bei dem höherfrequente Baugruppen vermieden werden.

Erfindungsgemäß wird die Aufgabe unter Verwendung von Verzögerungsgliedern, Registern und einem Decoder dadurch gelöst, daß der Signaleingang des Phasendiskriminators mit einer Kette aus in Reihe geschalteten Verzögerungsgliedern verbunden ist, deren Ausgänge mit je einem Dateneingang der entsprechenden Anzahl von n Registern verbunden sind. Am Übernahmetakteingang jedes Registers liegt der Referenztakt an, während die Datenausgänge a_i der Register an die Eingänge eines Decoders angeschlossen sind. Der Decoder liefert an seinen Datenausgängen in Abhängigkeit von der Eingangsbelegung, die der in den Registern abgespeicherten zeitlichen Relation zwischen Eingangsimpuls und Referenztakt entspricht, das Datenwort A für die Phasendifferenz.

Für die Realisierung des Decoders gibt es zwei Möglichkeiten. Die erste setzt voraus, daß zum Zeitpunkt der Übernahme mit dem Referenztakt die Anzahl der Impulsflanken in der Verzögerungskette regulär maximal 1 ist. Dabei ist der Decoder derart ausgelegt, daß er bei Vorhandensein genau einer Impulsflanke eine eindeutige Zuordnung zwischen der Lage der Impulsflanke (Anzahl der Möglichkeiten = Anzahl der Verzögerungsglieder) und dem Datenwort A realisiert, während bei Vorhandensein keiner oder mehrerer Impulsflanken die Datenausgänge als ungültig markiert werden.

Die zweite Möglichkeit setzt voraus, daß das Eingangssignal mit kurzen Störimpulsen überlagert ist, so daß sich stets mehrere Flanken in der Verzögerungskette befinden. Der Decoder ist hierbei so ausgelegt, daß das Datenwort A in Abhängigkeit von der Eingangsbelegung der a_i entsprechend der Vorschrift

$$A = \frac{n}{2} - \sum_{i=1}^n a_i$$

gebildet wird.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden.

Die Figur zeigt das Blockschaltbild des schnellen digitalen Phasendiskriminators.

Der Signaleingang S ist mit einer Laufzeitkette LZ verbunden, die aus n in Reihe geschalteten Verzögerungsgliedern besteht. Dazu werden vorteilhafterweise digitale Gatter benutzt. Die Ausgänge der Laufzeitkette LZ sind mit je einem Dateneingang eines n-stufigen Registers R verbunden, während der Übernahmetakteingang des Registers R mit dem Referenztakt T zusammengeschaltet ist. Die n Datenausgänge a_i des Registers R sind mit den Eingängen eines Decoders D verbunden, dessen Ausgänge das der Phasendifferenz entsprechende Datenwort A liefern.

Das Ausführungsbeispiel wird mit TTL-Schaltkreisen realisiert, eine Integration zu einem Schaltkreis ist ebenfalls möglich.

Erfindungsanspruch

1. Schneller digitaler Phasendiskriminator unter Verwendung von Verzögerungsgliedern, Registern und einem Decoder, gekennzeichnet dadurch, daß der Signaleingang (S) mit einer Laufzeitkette (LZ), bestehend aus n in Reihe geschalteten Verzögerungsgliedern, zusammengeschaltet ist, deren Ausgänge mit je einem Dateneingang eines n-stufigen Registers (R) verbunden sind, während am Übernahmetakteingang jedes Registers der Referenztakt (T) anliegt und je eine Verbindung zwischen den n Datenausgängen (a_i), der Register (R) und den Eingängen eines Decoders (D) besteht, an dessen Datenausgängen das der Phasendifferenz entsprechende Datenwort A zur Weiterverarbeitung ansteht.
2. Schneller digitaler Phasendiskriminator nach Punkt 1, gekennzeichnet dadurch, daß der Decoder bei Vorhandensein genau einer Impulsflanke eine eindeutige Zuordnung zwischen der Lage der Impulsflanke und dem Datenwort A herstellt, während bei Vorhandensein keiner oder mehrerer Impulsflanken an den Datenausgängen ein Ungültigkeitssignal anliegt.
3. Schneller digitaler Phasendiskriminator nach Punkt 1, gekennzeichnet dadurch, daß der Decoder das Datenwort A in Abhängigkeit von der Eingangsbelegung der a_i entsprechend der Vorschrift

$$A = \frac{n}{2} - \sum_{i=1}^n a_i$$

bildet:

Hierzu 1 Seite Zeichnung

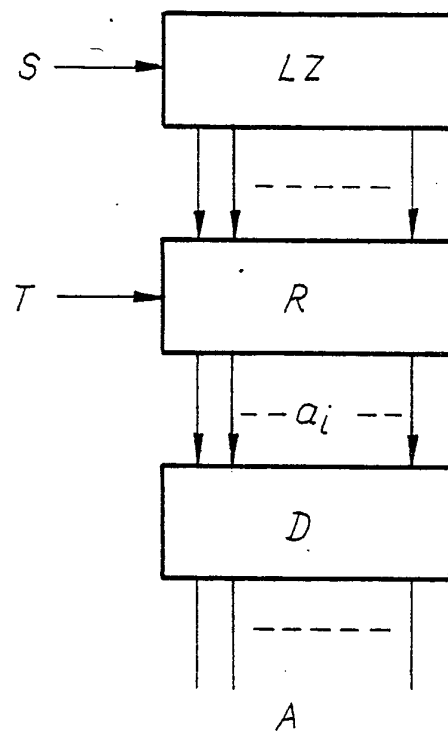


Fig.