

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 3 月 14 日 (14.03.2019)



(10) 国际公布号
WO 2019/047329 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01) H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/105821

(22) 国际申请日: 2017 年 10 月 12 日 (12.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710791713.8 2017 年 9 月 5 日 (05.09.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋, Hubei 430000 (CN)。

(72) 发明人: 韩约白 (HAN, Yuebai); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋, Hubei 430000 (CN)。

(74) 代理人: 深圳汇智容达专利商标事务所 (普通合伙) (SHENZHEN RONDA PATENT AND TRADEMARK LAW OFFICE); 中国广东省深圳市福田区深南中路求是大厦东座 2709-2711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) Title: LOW TEMPERATURE POLYCRYSTALLINE SILICON PANEL

(54) 发明名称: 一种低温多晶硅面板

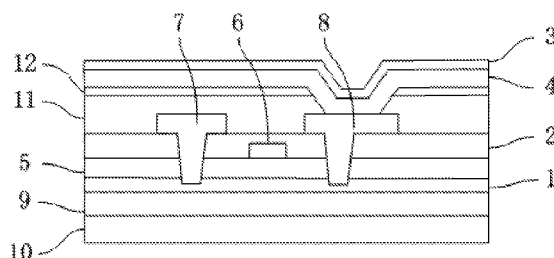


图 2

(57) Abstract: A low temperature polycrystalline silicon panel, said panel comprising an edge region; the edge region comprises: a polycrystalline silicon film layer (1) and an interlayer spacer layer (2) located above the polycrystalline silicon film layer (1); a row of virtual pixel units are provided on the interlayer spacer layer (2), a first conductive thin film layer (3) is provided above the row of virtual pixel units, the virtual pixels are insulated from the first conductive thin film layer (3) by means of a passivation layer (4); the row of virtual pixel units include a row of thin film transistors, and a data line electrically connected to the thin film transistors and used for accessing to a common signal; a first aperture (13) is provided on the interlayer spacer layer (2), and the polycrystalline silicon layer (1) is electrically connected to the data line through the first aperture (13). The low temperature polycrystalline silicon panel conducts away electric charges accumulating on the polycrystalline silicon layer (1), avoiding damage to the edge of the polycrystalline silicon panel due to burst, and preventing light leakage at the edge of the polycrystalline silicon panel.



AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种低温多晶硅面板，该面板包括边缘区域；边缘区域包括有：多晶硅膜层(1)以及位于多晶硅膜层(1)上方的层间间隔层(2)；在层间间隔层(2)上设置有一列虚拟像素单元，在该列虚拟像素单元上方设置有第一导电薄膜层(3)，虚拟像素单元与第一导电薄膜层(3)之间通过钝化层(4)绝缘隔开；该列虚拟像素单元包含有一列薄膜晶体管，以及与薄膜晶体管电性连接的用于接入公共信号的数据线；层间间隔层(2)上设置有第一开孔(13)，多晶硅膜层(1)通过第一开孔(13)与数据线电性连接。所述低温多晶硅面板可以将多晶硅膜层(1)上聚集的电荷导走，避免多晶硅面板的边缘炸伤，还可以防止多晶硅面板边缘出现漏光。

一种低温多晶硅面板

本申请要求于 2017 年 9 月 5 日提交中国专利局、申请号为 201710791713.8、发明名称为“一种低温多晶硅面板”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及显示技术领域，尤其涉及一种低温多晶硅面板。

背景技术

低温多晶硅面板借着其高分辨率，高迁移率，低功耗等诸多优点已成为了目前平板显示产品中的明星产品，被广泛应用于例如苹果、三星、华为、小米、魅族等各大手机及平板电脑上，但由于低温多晶硅器件制程复杂，因此，制程中更容易引起 ESD (Electro-Static discharge, 静电释放) 问题，而大量的电荷聚集会容易造成面板边缘栅极和多晶硅膜层炸伤，造成栅极和多晶硅膜层发生短路，从而将栅极信号输入到多晶硅膜层，引起点类不良，而这一现象多集中出现在面板的边缘，如何提高面板边缘像素的抗 ESD 能力已成为了面板行业工程师研究的热点之一。

目前，市面上大多数的多晶硅面板在边缘区域上设置有一列虚拟像素单元，其使用较多的两种设计方案如下：

1、如图 1a 所示，多晶硅面板的边缘上没有设置 PV 孔和 ILD 孔，即多晶硅膜层与虚拟像素单元之间的层间间隔层(ILD 层)不设置开孔，从而将多晶硅膜层与虚拟像素单元之间完全绝缘隔开，且在虚拟像素单元与像素电极之间的钝化层(PV 层)也没有设置开孔。该种方案的缺点是制程中多晶硅膜层上聚集的静电聚集时无法释放，容易引起炸伤。

2、如图 1b 所示，多晶硅面板的边缘上同时设置有 PV 孔和 ILD 孔，虚拟像素单元与显示区域的真实像素单元完全一样，即在多晶硅膜层与虚拟像素单元之间的层间间隔层(ILD 层)上设置有开孔，且在虚拟像素单元与像素

电极之间的钝化层(PV 层)设置有开孔。该种方案的缺点是钝化层上设置有开孔,会导致公共电极与虚拟像素单元之间接通,容易造成多晶硅面板的边缘出现漏光。

发明内容

为解决上述技术问题,本发明提供一种低温多晶硅面板,可以将多晶硅膜层上聚集的电荷导走,避免多晶硅面板的边缘炸伤,大幅度提高面板的抗ESD能力,提高产品良率,还可以防止多晶硅面板边缘出现漏光。

本发明提供一种低温多晶硅面板,包括边缘区域,

所述边缘区域包括有:多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层;在所述层间间隔层上设置有一列虚拟像素单元,在该列所述虚拟像素单元上方设置有第一导电薄膜层,所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开;

该列所述虚拟像素单元包含有一列薄膜晶体管,以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线;

所述层间间隔层上设置有第一开孔,所述多晶硅膜层通过所述第一开孔与所述数据线电性连接。

优选地,在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层;

所述薄膜晶体管包括:栅极、漏极、源极;

所述栅极位于所述层间间隔层与所述栅绝缘层之间,所述源极和所述漏极位于所述层间间隔层上;

其中,所述第一开孔与所述漏极和所述源极正对,所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔;

所述数据线与所述源极电性连接,所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

优选地,所述虚拟像素单元为所述边缘区域最外侧的一列像素单元。

优选地,所述数据线输入端的电压为0.1~0.4V。

优选地,所述多晶硅膜层下方设置有基板,在所述多晶硅膜层与所述基板之间制备有缓冲层。

优选地,所述层间间隔层上制备有平坦层。

优选地，所述缓冲层包括有 SiN 和/或 SixOy ，其中， $x \geq 1$ ， $y \geq 1$ 。

优选地，所述平坦层与所述钝化层之间制备有第二导电薄膜层。

优选地，所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极。

优选地，所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

本发明还提供一种低温多晶硅面板，包括边缘区域，

所述边缘区域包括有：多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层；在所述层间间隔层上设置有一列虚拟像素单元，在该列所述虚拟像素单元上方设置有第一导电薄膜层，所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开；

该列所述虚拟像素单元包含有一列薄膜晶体管，以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线；

所述层间间隔层上设置有第一开孔，所述多晶硅膜层通过所述第一开孔与所述数据线电性连接；

在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层；

所述薄膜晶体管包括：栅极、漏极、源极；

所述栅极位于所述层间间隔层与所述栅绝缘层之间，所述源极和所述漏极位于所述层间间隔层上；

其中，所述第一开孔与所述漏极和所述源极正对，所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔；

所述数据线与所述源极电性连接，所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

优选地，所述虚拟像素单元为所述边缘区域最外侧的一列像素单元。

优选地，所述数据线输入端的电压为 0.1~0.4V；

所述多晶硅膜层下方设置有基板，在所述多晶硅膜层与所述基板之间制备有缓冲层；

所述层间间隔层上制备有平坦层。

优选地，所述缓冲层包括有 SiN 和/或 SixOy ，其中， $x \geq 1$ ， $y \geq 1$ ；

所述平坦层与所述钝化层之间制备有第二导电薄膜层。

优选地，所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极；

所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

本发明还提供一种低温多晶硅面板，包括边缘区域，

所述边缘区域包括有：多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层；在所述层间间隔层上设置有一列虚拟像素单元，在该列所述虚拟像素单元上方设置有第一导电薄膜层，所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开；

该列所述虚拟像素单元包含有一列薄膜晶体管，以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线；

所述层间间隔层上设置有第一开孔，所述多晶硅膜层通过所述第一开孔与所述数据线电性连接；

所述层间间隔层上制备有平坦层。

优选地，在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层；

所述薄膜晶体管包括：栅极、漏极、源极；

所述栅极位于所述层间间隔层与所述栅绝缘层之间，所述源极和所述漏极位于所述层间间隔层上；

其中，所述第一开孔与所述漏极和所述源极正对，所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔；

所述数据线与所述源极电性连接，所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

优选地，所述虚拟像素单元为所述边缘区域最外侧的一列像素单元；

所述数据线输入端的电压为 0.1~0.4V。

优选地，所述多晶硅膜层下方设置有基板，在所述多晶硅膜层与所述基板之间制备有缓冲层；

所述缓冲层包括有 SiN 和/或 Si_xO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

优选地，所述平坦层与所述钝化层之间制备有第二导电薄膜层；

所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极；

所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

实施本发明，具有如下有益效果：本发明提供的低温多晶硅面板，在面板的边缘区域上，将虚拟像素单元与多晶硅膜层之间的层间间隔层设置开孔，将多晶硅膜层与虚拟像素单元上的数据线电性连接，从而可以通过该数据线将多晶硅膜层上聚集的电荷导走，避免多晶硅面板的边缘炸伤，大幅度提高面板的抗 ESD 能力，提高产品良率。其次，还将第一导电薄膜层与虚拟像素单元之间完全绝缘隔开，避免虚拟像素单元与第一导电膜层之间接通，从而防止多晶硅面板边缘出现漏光。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1a 是本发明提供的背景技术中第一设计方案中低温多晶硅面板边缘虚拟像素单元的平面图。

图 1b 是本发明提供的背景技术中第二设计方案中低温多晶硅面板边缘虚拟像素单元的平面图。

图 2 是本发明提供的低温多晶硅面板的边缘区域的剖面图。

图 3 是本发明提供的低温多晶硅面板的边缘区域虚拟像素单元的平面图。

图 4 是本发明提供的低温多晶硅面板的边缘区域的另一未示出薄膜晶体管结构的剖面图。

具体实施方式

本发明提供一种低温多晶硅面板，该多晶硅面板包括边缘区域。

如图 2 所示，边缘区域包括有：多晶硅膜层 1 以及位于多晶硅膜层 1 上方的层间间隔层 2(即 ILD 层)；在层间间隔层 2 上设置有一列虚拟像素单元，在该列虚拟像素单元上方设置有第一导电薄膜层 3，虚拟像素单元与第一导

电薄膜层 3 之间通过钝化层 4 绝缘隔开。该列虚拟像素单元包含有一列薄膜晶体管，以及与薄膜晶体管电性连接的用于接入公共信号的数据线。

一般而言，提供公共信号的一端(即公共信号输出端)的电压接近 0V，可以近似看成是接地，也即是相当于把多晶硅膜层 1 接地，而多晶硅膜层 1 上聚集的电荷所形成的电势会高于提供公共信号的一端，因此，本发明提供的多晶硅面板可以将多晶硅膜层 1 上聚集的电荷通过数据线导走，避免多晶硅膜层 1 上的电荷炸伤，大幅度提高面板的抗 ESD (Electro-Static discharge, 静电释放) 能力，提高产品良率。

其次，当虚拟像素单元与第一导电薄膜层 3 之间完全绝缘隔开，虚拟像素单元不会与第一导电薄膜层 3 电性连接形成回路，虚拟像素单元也不会接收到公共信号，控制多晶硅面板的显示，因此，不会对多晶硅面板的显示效果造成任何影响，也不会引起多晶硅面板的边缘漏光。

如图 3 所示，多晶硅面板的边缘上没有设置 ILD 孔，如图 4 所示，即层间间隔层 2 上设置有第一开孔 13，多晶硅膜层 1 通过第一开孔 13 与数据线电性连接。虚拟像素单元与第一导电薄膜层 3 之间绝缘隔开，具体而言即是钝化层 4 上不设置有开孔。

进一步地，继续参考图 2，在层间间隔层 2 与多晶硅膜层 1 之间还设置有栅绝缘层 5。

薄膜晶体管包括：栅极 6、漏极 8、源极 7。

栅极 6 位于层间间隔层 2 与栅绝缘层 5 之间，源极 7 和漏极 8 位于层间间隔层 2 上。

其中，继续参考图 4，每一薄膜晶体管对应有两个第一开孔 13，两个第一开孔 13 分别与漏极 8 和源极 7 正对，栅绝缘层 5 与第一开孔 13 正对的位置处设置有第二开孔 14。数据线与源极 7 电性连接，源极 7 和漏极 8 均穿过第一开孔 13 和第二开孔 14 与多晶硅膜层 1 连接。

进一步地，虚拟像素单元为边缘区域最外侧的一列像素单元。

进一步地，数据线输入端的电压为 0.1~0.4V，这里，数据线输入端指的是公共信号的输入端。因此数据线输入端的电压为 0.1~0.4V 也即是公共信号输出端的电压为 0.1~0.4V。多晶硅膜层 1 上聚集电荷形成的电势一般大于

0.4V，因此，多晶硅膜层 1 上聚集的电荷可以通过数据线导走。

进一步地，多晶硅膜层 1 下方设置有基板 10，在多晶硅膜层 1 与基板 10 之间制备有缓冲层 9。基板 10 可以是玻璃基板。

进一步地，层间间隔层 2 上制备有平坦层 11。

进一步地，缓冲层 9 包括有 SiN 和/或 Si_xO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

进一步地，平坦层 11 与钝化层 4 之间制备有第二导电薄膜层 12。

进一步地，第一导电薄膜层 3 为像素电极，第二导电薄膜层 12 为公共电极。

进一步地，第一导电薄膜层 3 和第二导电薄膜层 12 均为铟锡氧化物半导体透明导电膜，即 ITO 薄膜。

该多晶硅面板还包括有效显示区域，边缘区域为有效显示区域的延伸部。有效显示区域包括有多晶硅膜层 1 以及位于多晶硅膜层 1 上方的层间间隔层 2，在层间间隔层 2 与多晶硅膜层 1 之间还设置有栅绝缘层 5；在层间间隔层 2 上设置有若干列真实像素单元，每一列真实像素单元都包括一列薄膜晶体管，该薄膜晶体管的栅极 6 位于层间间隔层 2 与栅绝缘层 5 之间，源极 7 和漏极 8 位于层间间隔层 2 上。

源极 7 和漏极 8 的上制备有钝化层 4，在该钝化层 4 上方制备有像素电极。在栅绝缘层 5 和层间间隔层 2 上与源极 7 和漏极 8 对应的位置设置有开孔，源极 7 和漏极 8 通过该开孔与多晶硅膜层 1 电性连接。并且，在钝化层 4 上与漏极 8 正对的位置设置有开孔，漏极 8 通过该开孔与像素电极电性连接，接入公共信号的数据线与源极 7 电性连接，从而薄膜晶体管与像素电极之间导通之后，公共信号可以通过薄膜晶体管送至像素电极，用于控制面板的显示。

综上所述，本发明提供的低温多晶硅面板，在面板的边缘区域上，将虚拟像素单元与多晶硅膜层 1 之间的层间间隔层 2 设置开孔，将多晶硅膜层 1 与虚拟像素单元上的数据线电性连接，从而可以通过该数据线将多晶硅膜层 1 上聚集的电荷导走，避免多晶硅面板的边缘炸伤，大幅度提高面板的抗 ESD 能力，提高产品良率。其次，还将第一导电薄膜层 3 与虚拟像素单元之间完全绝缘隔开，避免虚拟像素单元与第一导电膜层之间接通，从而防止多晶硅

面板边缘出现漏光。

以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求

1、一种低温多晶硅面板，包括边缘区域，其中，

所述边缘区域包括有：多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层；在所述层间间隔层上设置有一列虚拟像素单元，在该列所述虚拟像素单元上方设置有第一导电薄膜层，所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开；

该列所述虚拟像素单元包含有一列薄膜晶体管，以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线；

所述层间间隔层上设置有第一开孔，所述多晶硅膜层通过所述第一开孔与所述数据线电性连接。

2、根据权利要求 1 所述的低温多晶硅面板，其中，在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层；

所述薄膜晶体管包括：栅极、漏极、源极；

所述栅极位于所述层间间隔层与所述栅绝缘层之间，所述源极和所述漏极位于所述层间间隔层上；

其中，所述第一开孔与所述漏极和所述源极正对，所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔；

所述数据线与所述源极电性连接，所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

3、根据权利要求 1 所述的低温多晶硅面板，其中，所述虚拟像素单元为所述边缘区域最外侧的一列像素单元。

4、根据权利要求 1 所述的低温多晶硅面板，其中，所述数据线输入端的电压为 0.1~0.4V。

5、根据权利要求 1 所述的低温多晶硅面板，其中，所述多晶硅膜层下方设置有基板，在所述多晶硅膜层与所述基板之间制备有缓冲层。

6、根据权利要求 1 所述的低温多晶硅面板，其中，所述层间间隔层上制备有平坦层。

7、根据权利要求 5 所述的低温多晶硅面板，其中，所述缓冲层包括有 SiN 和/或 Si_xO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

8、根据权利要求 6 所述的低温多晶硅面板，其中，所述平坦层与所述钝化层之间制备有第二导电薄膜层。

9、根据权利要求 8 所述的低温多晶硅面板，其中，所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极。

10、根据权利要求 8 所述的低温多晶硅面板，其中，所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

11、一种低温多晶硅面板，包括边缘区域，其中，

所述边缘区域包括有：多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层；在所述层间间隔层上设置有一列虚拟像素单元，在该列所述虚拟像素单元上方设置有第一导电薄膜层，所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开；

该列所述虚拟像素单元包含有一列薄膜晶体管，以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线；

所述层间间隔层上设置有第一开孔，所述多晶硅膜层通过所述第一开孔与所述数据线电性连接；

在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层；

所述薄膜晶体管包括：栅极、漏极、源极；

所述栅极位于所述层间间隔层与所述栅绝缘层之间，所述源极和所述漏极位于所述层间间隔层上；

其中，所述第一开孔与所述漏极和所述源极正对，所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔；

所述数据线与所述源极电性连接，所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

12、根据权利要求 11 所述的低温多晶硅面板，其中，所述虚拟像素单元为所述边缘区域最外侧的一列像素单元。

13、根据权利要求 11 所述的低温多晶硅面板，其中，所述数据线输入端的电压为 0.1~0.4V；

所述多晶硅膜层下方设置有基板，在所述多晶硅膜层与所述基板之间制备有缓冲层；

所述层间间隔层上制备有平坦层。

14、根据权利要求 13 所述的低温多晶硅面板，其中，所述缓冲层包括有 SiN 和/或 Si_xO_y ，其中， $x \geq 1$ ， $y \geq 1$ ；

所述平坦层与所述钝化层之间制备有第二导电薄膜层。

15、根据权利要求 14 所述的低温多晶硅面板，其中，所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极；

所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

16、一种低温多晶硅面板，包括边缘区域，其中，

所述边缘区域包括有：多晶硅膜层以及位于所述多晶硅膜层上方的层间间隔层；在所述层间间隔层上设置有一列虚拟像素单元，在该列所述虚拟像素单元上方设置有第一导电薄膜层，所述虚拟像素单元与所述第一导电薄膜层之间通过钝化层绝缘隔开；

该列所述虚拟像素单元包含有一列薄膜晶体管，以及与所述薄膜晶体管电性连接的用于接入公共信号的数据线；

所述层间间隔层上设置有第一开孔，所述多晶硅膜层通过所述第一开孔与所述数据线电性连接；

所述层间间隔层上制备有平坦层。

17、根据权利要求 16 所述的低温多晶硅面板，其中，在所述层间间隔层与所述多晶硅膜层之间还设置有栅绝缘层；

所述薄膜晶体管包括：栅极、漏极、源极；

所述栅极位于所述层间间隔层与所述栅绝缘层之间，所述源极和所述漏极位于所述层间间隔层上；

其中，所述第一开孔与所述漏极和所述源极正对，所述栅绝缘层与所述第一开孔正对的位置处设置有第二开孔；

所述数据线与所述源极电性连接，所述源极和所述漏极均穿过所述第一开孔和所述第二开孔与所述多晶硅膜层连接。

18、根据权利要求 16 所述的低温多晶硅面板，其中，所述虚拟像素单元为所述边缘区域最外侧的一列像素单元；

所述数据线输入端的电压为 0.1~0.4V。

19、根据权利要求 16 所述的低温多晶硅面板，其中，所述多晶硅膜层下方设置有基板，在所述多晶硅膜层与所述基板之间制备有缓冲层；

所述缓冲层包括有 SiN 和/或 Si_xO_y ，其中， $x \geq 1$ ， $y \geq 1$ 。

20、根据权利要求 16 所述的低温多晶硅面板，其中，所述平坦层与所述钝化层之间制备有第二导电薄膜层；

所述第一导电薄膜层为像素电极，所述第二导电薄膜层为公共电极；

所述第一导电薄膜层和所述第二导电薄膜层均为铟锡氧化物半导体透明导电膜。

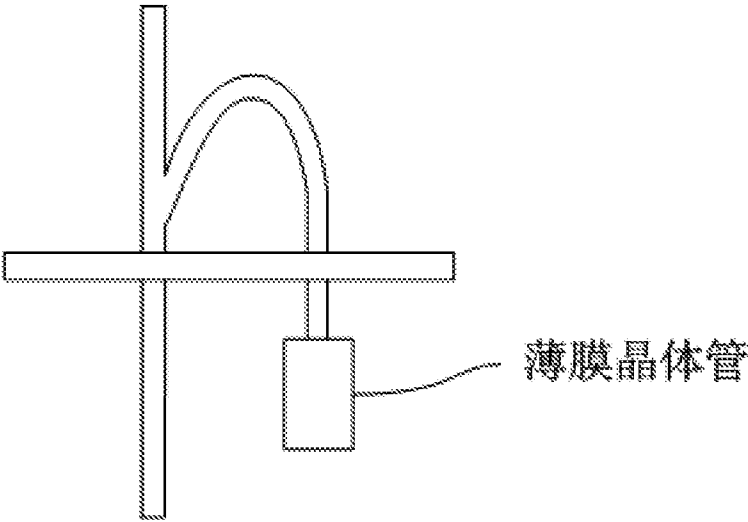


图 1a

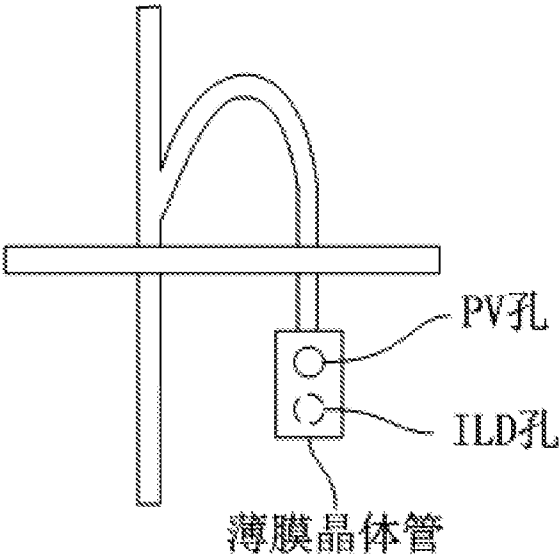


图 1b

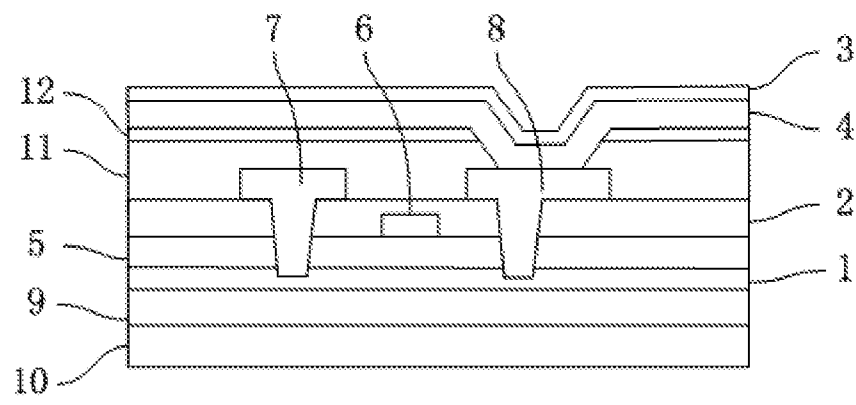


图 2

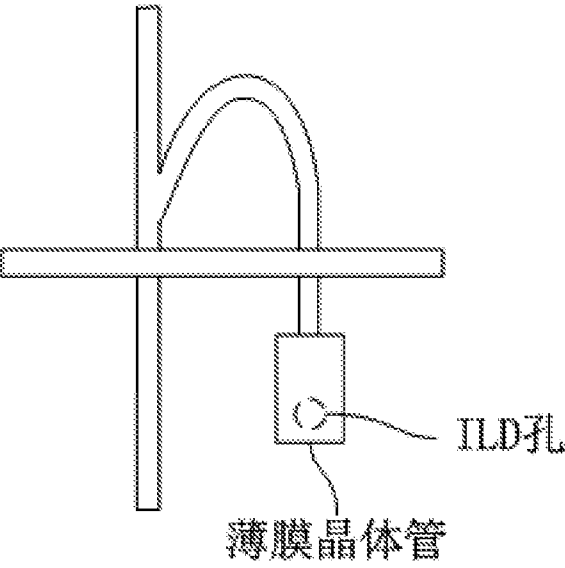


图 3

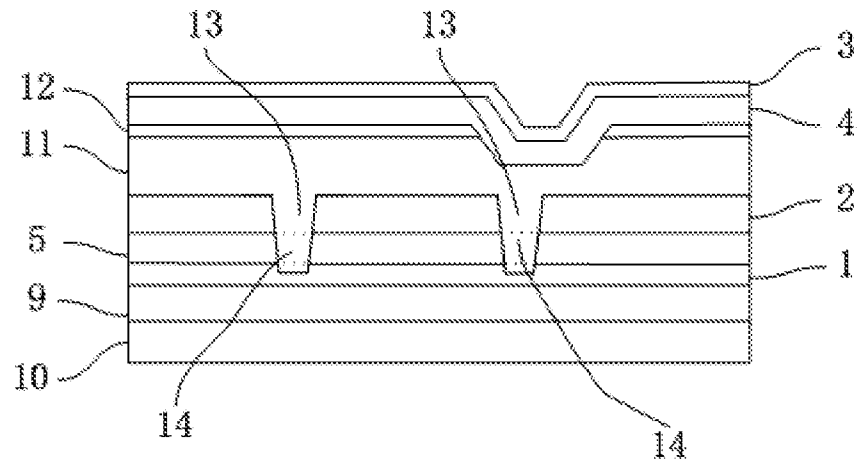


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/105821

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 面板, 阵列, 基板, 薄膜晶体管, 低温, 多晶硅, 静电, 释放, 损伤, 虚拟, 像素, 像素电极, 信号, 数据, 层间介质, 层间绝缘, 纯化, panel, array, substrate, tft, low, temperature, silicon, electrostatic, discharge, ESD, dummy, pixel, electrode, signal, data, ILD, passivation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 104538307 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (22.04.2015), description, paragraphs [0055]-[0085], and figures 1-13	1-20
Y	JP 11-52427 A (SHARP K. K.) 26 February 1999 (26.02.1999), description, paragraphs [0024]-[0093], and figures 1-6, and 11-13	1-20
A	CN 201845768 U (SHENZHEN CHUNGHWA PICTURE TUBES LTD. et al.) 25 May 2011 (25.05.2011), entire document	1-20
A	CN 106783845 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 May 2017 (31.05.2017), entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 May 2018	Date of mailing of the international search report 05 June 2018
--	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Zeyu Telephone No. (86-10) 53961229
---	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/105821

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104538307 A	22 April 2015	WO 2016095308 A1	23 June 2016
		US 2016247936 A1	25 August 2016
		US 9515190 B2	06 December 2016
JP 1152427 A	26 February 1999	JP 3302625 B2	15 July 2002
CN 201845768 U	25 May 2011	None	
CN 106783845 A	31 May 2017	None	

国际检索报告

国际申请号

PCT/CN2017/105821

A. 主题的分类 H01L 27/02(2006.01)i; H01L 27/12(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, EPODOC, WPI, CNKI, IEEE: 面板, 阵列, 基板, 薄膜晶体管, 低温, 多晶硅, 静电, 释放, 损伤, 虚拟, 像素, 像素电极, 信号, 数据, 层间介质, 层间绝缘, 钝化, panel, array, substrate, tft, low, temperature, silicon, electrostatic, discharge, ESD, dummy, pixel, electrode, signal, data, ILD, passivation																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0085]段, 图1-13</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>JP 特开平11-52427 A (SHARP K.K.) 1999年 2月 26日 (1999 - 02 - 26) 说明书第[0024]-[0093]段, 图1-6, 11-13</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 201845768 U (深圳华映显示科技有限公司 等) 2011年 5月 25日 (2011 - 05 - 25) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106783845 A (武汉华星光电技术有限公司) 2017年 5月 31日 (2017 - 05 - 31) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0085]段, 图1-13	1-20	Y	JP 特开平11-52427 A (SHARP K.K.) 1999年 2月 26日 (1999 - 02 - 26) 说明书第[0024]-[0093]段, 图1-6, 11-13	1-20	A	CN 201845768 U (深圳华映显示科技有限公司 等) 2011年 5月 25日 (2011 - 05 - 25) 全文	1-20	A	CN 106783845 A (武汉华星光电技术有限公司) 2017年 5月 31日 (2017 - 05 - 31) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0085]段, 图1-13	1-20															
Y	JP 特开平11-52427 A (SHARP K.K.) 1999年 2月 26日 (1999 - 02 - 26) 说明书第[0024]-[0093]段, 图1-6, 11-13	1-20															
A	CN 201845768 U (深圳华映显示科技有限公司 等) 2011年 5月 25日 (2011 - 05 - 25) 全文	1-20															
A	CN 106783845 A (武汉华星光电技术有限公司) 2017年 5月 31日 (2017 - 05 - 31) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2018年 5月 23日		国际检索报告邮寄日期 2018年 6月 5日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 马泽宇 电话号码 86-(10)-53961229															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/105821

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104538307	A	2015年 4月 22日	WO	2016095308	A1	2016年 6月 23日
				US	2016247936	A1	2016年 8月 25日
				US	9515190	B2	2016年 12月 6日
JP	特开平11-52427	A	1999年 2月 26日	JP	3302625	B2	2002年 7月 15日
CN	201845768	U	2011年 5月 25日	无			
CN	106783845	A	2017年 5月 31日	无			