

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2018 年 5 月 3 日 (03.05.2018)



(10) 国际公布号  
**WO 2018/076682 A1**

(51) 国际专利分类号:  
**H04L 5/14** (2006.01)

(21) 国际申请号: PCT/CN2017/085924

(22) 国际申请日: 2017 年 5 月 25 日 (25.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
201610962540.7 2016 年 10 月 28 日 (28.10.2016) CN

(71) 申请人: 深圳市中兴微电子有限公司  
(**SANECHIPS TECHNOLOGY CO., LTD.**) [CN/CN];  
中国广东省深圳市南山区西丽街道留仙大道  
中兴工业园, Guangdong 518055 (CN)。

(72) 发明人: 徐超(**XU, Chao**); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。周畅(**ZHOU, Chang**); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。龚晓亮(**GONG, Xiaoliang**); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) **Title:** PARALLEL INTERFACE TIME SEQUENCE CONTROL METHOD AND APPARATUS

(54) 发明名称: 一种并行接口时序控制方法和装置

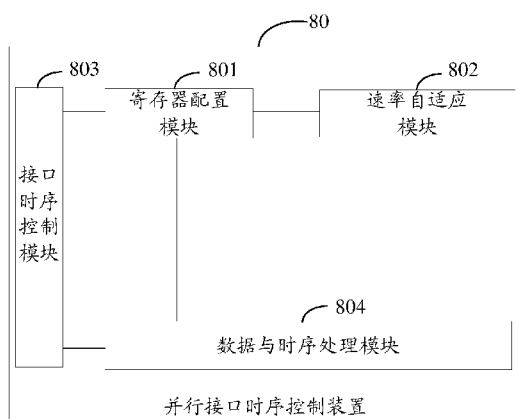


图 8

80 PARALLEL INTERFACE TIME SEQUENCE CONTROL APPARATUS  
801 REGISTER CONFIGURATION MODULE  
802 RATE ADAPTATION MODULE  
803 INTERFACE TIME SEQUENCE CONTROL MODULE  
804 DATA AND TIME SEQUENCE PROCESSING MODULE

(57) **Abstract:** Disclosed in the embodiments of the present invention are a parallel interface time sequence control method and apparatus, the parallel interface time sequence control apparatus comprising: a register configuration module, a rate adaptation module, an interface time sequence control module, and a data and time sequence processing module, used for implementing adaptive configuration of the parallel interface rate.

(57) **摘要:** 本发明实施例公开了一种并行接口时序控制方法和装置, 其中, 所述并行接口时序控制装置包括: 寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块, 用于实现并行接口速率自适应配置。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

## 一种并行接口时序控制方法和装置

### 相关申请的交叉引用

本申请基于申请号为 201610962540.7、申请日为 2016 年 10 月 28 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

### 技术领域

本发明涉及通信领域，尤其涉及一种并行接口时序控制方法和装置。

### 背景技术

JESD207 是射频前端集成电路 (RFIC, Radio Front end Integrated Circuit) 和基带集成电路 (BBIC, Baseband Integrated Circuit) 之间的射频前端—基带数字并行 (RBDP, Radio front end-Baseband Digital Parallel) 接口主要用来传输 RFIC 和 BBIC 的数字波形数据，该接口支持时分双工 (TDD, Time Division Duplex) 和频分双工模式 (FDD, Frequency Division Duplex) 的单天线和双天线数据的收发，图 1 为 JESD207 数据接口连接图，其中 MCLK 为 RFIC 发送给 BBIC 的数据的随路时钟，FCLK 为 BBIC 发送给 RFIC 的数据的随路时钟，TXNRX 是数据方向指示信号，ENABLE 信号为数据突发传输的开始与结束指示，DIQ[11:0]和 DIQ[9:0]信号为数据的双向传输总线，分别支持 12bit 和 10bit 数据格式的传输，可根据需要进行选择，所有数据均采用双倍数据速率 (DDR, Double Data Rate)。

JESD207 数据接口具有占用管脚资源少，接口速率低，设计难度小等特点，虽然对于 BBIC 接口层面 FCLK 可以视作 MCLK 同源时钟，可以不必关心该时钟的频率，只需将接收到的 MCLK 进行延时后输出即可，但对于 BBIC 接口的后级电路，仍需要 MCLK 时钟周期信息来了解数据通信速率，

从而提供与 BBIC 接口的后级电路匹配的数据通信速率以保证 RFIC 与 BBIC 之间数据能够正确收发，因此当遇到测试时需要更换不同的 RFIC 的情况时，就需要针对每一块 RFIC 的需求对接口速率进行配置，从而带来测试的不便。

## 5 发明内容

为解决现有存在的技术问题，本发明实施例期望提供一种并行接口时序控制方法和装置，实现并行接口速率自适应配置。

本发明实施例的技术方案是这样实现的：

第一方面，本发明实施例提供了一种并行接口时序控制装置，所述并行接口时序控制装置包括：寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块，其中，

所述寄存器配置模块，配置为获取系统的配置信息；

所述速率自适应模块，配置为当检测所述寄存器配置模块中的第一配置信息有效时，通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给所述寄存器配置模块；

所述寄存器配置模块，还配置为根据所述自适应标志配置当前的数据通信速率；

所述接口时序控制模块，配置为根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序；

所述数据与时序处理模块，配置为根据所述接口时序传输数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

第二方面，本发明实施例提供了一种并行接口时序控制方法，所述方法用于并行接口时序控制装置，所述并行接口时序控制装置包括：寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块，

所述方法包括:

所述寄存器配置模块获取系统的配置信息;

当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时, 所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志, 并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块;

所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率;

所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序;

所述数据与时序处理模块根据所述接口时序传输数据, 根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

本发明实施例提供了一种并行接口时序控制方法和装置, 所述方法用于并行接口时序控制装置, 所述并行接口时序控制装置包括: 寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块, 所述方法包括: 所述寄存器配置模块获取系统的配置信息; 当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时, 所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志, 并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块; 所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率; 所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序; 所述数据与时序处理模块根据所述接口时序传输数据, 根据所述寄存器配置模块当前的数据通信速率处理数据, 从而实现并行接口速率自适应配置。

### 附图说明

图 1 为 JESD207 数据接口连接图;

图 2 为本发明实施例提供的一种并行接口时序控制装置与射频前端集成电路之间通信交互示意图；

图 3 为本发明实施例提供的 JESD207 数据发送开始时序图；

图 4 为本发明实施例提供的 JESD207 数据发送结束时序图；

5 图 5 为本发明实施例提供的 JESD207 数据接收开始时序图；

图 6 为本发明实施例提供的 JESD207 数据接收结束时序图；

图 7 为本发明实施例提供的一种并行接口时序控制电路的结构示意图；

图 8 为本发明实施例提供的一种并行接口时序控制装置的结构框图；

图 9 为本发明实施例提供的一种速率自适应模块的结构框图；

10 图 10 为本发明实施例提供的一种并行接口时序控制方法的流程图；

图 11 为本发明实施例提供的一种自适应模块生成更新的数据通信速率的流程图；

图 12 为本发明实施例提供的一种数据与时序处理模块处理数据的流程图。

## 15 具体实施方式

下面将结合本发明实施例中的附图，对发明实施例中的技术方案进行清楚、完整地描述。

参见图 2，其示出了本发明实施例提供的一种并行接口时序控制装置与 RFIC 之间通信交互示意图，可以理解的，该示意图仅用于说明本发明实施例的技术方案，并不对本发明实施例进行任何的限定，从图中可以看出，  
20 所述并行接口时序控制装置位于 BBIC 侧，所述并行接口时序控制装置对应图 1 中 BBIC 中的与 RBDP 相关电路。

图 3 和图 4 展示了 JESD207 进行数据发送操作的时序，图 5 和图 6 展示了 JESD207 进行数据接收操作的时序。由上述的时序图可以看出  
25 JESD207 接口数据的接收或发送使用成对的 ENABLE 信号作为开始和结束

的指示, TXNRX 信号来指示数据的传输方向, 高电平表示发送, 低电平表示接收, 对于发送数据, RFIC 使用 FCLK 进行采样, 对于接收数据, BBIC 使用 MCLK 进行采样。

基于上述示意图, 本发明实施例提供了一种并行接口时序控制方法, 5 所述并行接口时序控制方法用于并行接口时序控制装置, 图 7 为一种并行接口时序控制电路的结构示意图, 本发明实施例中, 所述寄存器配置模块获取系统的配置信息; 当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时, 所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志, 并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块; 所述寄存器配置模块根据所述 10 自适应标志配置当前的数据通信速率; 所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序; 所述数据与时序处理模块根据所述接口时序传输数据, 根据所述寄存器配置模块当前的数据通信速率处理数据, 从而实现并行接口速率自适应配置。

15 参见图 8, 其示出了本发明实施例提供的一种并行接口时序控制装置 80 的结构, 所述并行接口时序控制装置 80 包括: 寄存器配置模块 801、速率自适应模块 802、接口时序控制模块 803 及数据与时序处理模块 804, 其中,

所述寄存器配置模块 801, 配置为获取系统的配置信息;

20 所述速率自适应模块 802, 配置为当检测所述寄存器配置模块中的第一配置信息有效时, 通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志, 并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块;

所述寄存器配置模块 801, 还配置为根据所述自适应标志配置当前的数据通信速率; 25

所述接口时序控制模块 803, 配置为根据所述寄存器配置模块中的第二

配置信息和 MCLK 信息生成接口时序;

所述数据与时序处理模块 804, 配置为根据所述接口时序传输数据, 根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

对于所述寄存器配置模块 801, 所述配置信息包括: 接口模块使能, 通道数量, 默认数据通信速率, TDD 模式子帧类型, 自适应功能使能, 自适应成功检测次数, 自适应失败检测次数;

其中, 自适应功能使能对应第一配置信息, 所述第一配置信息有效指寄存器配置模块中的自适应功能使能有效, 比如: 自适应功能使能高电平时有效; TDD 模式子帧类型对应第二配置信息。

对于所述速率自适应模块 802, 所述对端发送的 MCLK 的周期信息指 RFIC 发送的 MCLK 的周期信息;

所述自适应标志包括: 自适应成功标志和自适应失败标志。

所述速率自适应模块 802 的结构框图如图 9 所示, 所述速率自适应模块 802 包括: MCLK 周期检测子模块 8021、MCLK 时钟稳定度检测子模块 8022、速率自适应失效检测子模块 8023 和速率自适应信息更新子模块 8024;

对于所述速率自适应模块 802, 其中,

所述 MCLK 周期检测子模块 8021, 配置为通过工作时钟获取 MCLK 的周期信息, 将所述 MCLK 的周期信息实时发送给所述 MCLK 时钟稳定度检测子模块 8022 和速率自适应信息更新子模块 8024; 所述工作时钟不小于 2 倍的 MCLK 时钟频率且为 MCLK 时钟频率的整数倍;

MCLK 时钟稳定度检测子模块 8022, 配置为当检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时, 触发所述速率自适应信息更新子模块 8024 产生更新的数据通信速率发送给所述寄存器配置模块 801;

以及, 配置为当检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时, 触发所述速率自适应信息更新子模块 8024 关闭自适应功

能；其中，

所述 MCLK 时钟稳定度检测子模块 8022，配置为，

检测连续两次的 MCLK 的周期信息一致时，内部的时钟稳定计数器执行一次累加计数，得到一个第一累加计数值；以及，当所述第一累加计数  
5 值达到预先配置的自适应成功数值时，产生一个速率自适应成功标志；以及，将所述速率自适应成功标志发送给所述速率自适应信息更新子模块 8024 和寄存器配置模块 801。

所述速率自适应信息更新子模块 8024，配置为当检测到速率自适应成功标志时，将 MCLK 的周期信息转化为数据通信速率；以及，将 MCLK 的  
10 周期信息转化的数据通信速率作为更新的数据通信速率发送给所述寄存器配置模块 801。

需要说明的是，检测连续两次的 MCLK 的周期信息一致时，上述 MCLK 时钟稳定度检测子模块 8022 和速率自适应信息更新子模块 8024 配置为实现产生更新的数据通信速率，并发送给所述寄存器配置模块 801 的过程。

15 MCLK 时钟稳定度检测子模块 8022，还配置为当检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时，触发所述速率自适应信息更新子模块 8024 关闭自适应功能；其中，

MCLK 时钟稳定度检测子模块 8022，还配置为，

当检测连续两次的 MCLK 的周期信息不一致时，内部的时钟稳定计数器执行一次累加计数清零，产生一个 MCLK 变动标志；以及，将所述 MCLK  
20 变动标志发送给所述速率自适应失效检测子模块 8023。

所述速率自适应失效检测子模块 8023，配置为检测到 MCLK 变动标志时，其内部的时钟变化计数器进行一次累加计数操作，得到一个第二累计计数值；以及，当所述第二累加计数值达到预先配置的自适应失败数值时，  
25 产生一个速率自适应失败标志；以及，将所述速率自适应失败标志发送给所述速率自适应信息更新子模块 8024 和寄存器配置模块 801。

所述速率自适应信息更新子模块 8024, 还配置为当检测到速率自适应失败标志时, 关闭速率自适应功能。

需要说明的是, 当检测连续两次的 MCLK 的周期信息不一致时, 上述 MCLK 时钟稳定度检测子模块 8022、速率自适应失效检测子模块 8023 和速率自适应信息更新子模块 8024 配置为实现关闭自适应功能的过程。

所述寄存器配置模块 801, 还配置为, 根据自适应成功标志配置当前的数据通信速率为所述更新的数据通信速率; 根据自适应失败标志配置当前的数据通信速率配置为系统发送给所述寄存器配置模块的默认数据通信速率。

10 对于所述接口时序控制模块 803, 所述通信类型包括: 上行通信和下行通信;

所述接口时序, 是指符合 JESD207 协议要求的接口时序;

在本发明的其他实施例中, 所述接口时序控制模块 803, 配置为,

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为上行数据通信时, 配置为生成与上行数据通信对应的接口时序;

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为下行数据通信时, 配置为生成与下行数据通信对应的接口时序, 以及根据 MCLK 信息延时生成与 MCLK 时序相同的 FCLK 时序。

20 所述数据与时序处理模块 804, 配置为, 当数据通信类型为上行数据通信时, 按照上行数据通信对应的接口时序接收所述接口时序控制模块 803 传输的上行数据, 根据所述寄存器配置模块 801 中的通道数量及当前的数据通信速率将所述上行数据发送给 BBIC 的后级电路;

在本发明的其他实施例中, 所述接口时序控制模块 803 发送给所述数据与时序处理模块 804 的数据, 指所述接口时序控制模块 803 按照上行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序接收对端通过 DIQ 接口发送的 DDR 的数据, 所述接口时序控制模块 803 将 DDR 的数据转化

为单倍数据速率（SDR，Single Data Rate）的数据发送给所述数据与时序处理模块 804 进行数据处理，所述数据与时序处理模块 804 最后按照上行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序经处理后的 SDR 的数据发送给 BBIC 的后级电路；

- 5        以及，当数据通信类型为下行数据通信时，按照下行数据通信对应的接口时序接收 BBIC 的后级电路传输的下行数据，根据所述寄存器配置模块 801 中的通道数量及当前的数据通信速率将所述下行数据发送给所述接口时序控制模块 803；

在本发明的其他实施例中，所述 BBIC 的后级电路发送给所述数据与时序处理模块 804 的数据为 SDR 的数据，指所述 BBIC 的后级电路按照下行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序将 SDR 数据发送给所述数据与时序处理模块 804，经过所述数据与时序处理模块 804 处理后的 SDR 的数据最终经过所述接口时序控制模块 803 转为 DDR 的数据，所述 DDR 的数据由所述接口时序控制模块 803 经过 DIQ 接口按照下行数据通信对应 TXNRX、ENABLE 时序信号及 FCLK 发送给对端。

此外，本实施例还针对 MCLK 频繁抖动导致数据通信速率信息的频繁更新的问题，采用速率自适应模块 802 产生速率自适应失效标志关闭速率自适应功能。在本发明的其他实施例中，当 MCLK 时钟稳定度检测子模块 8022 检测 MCLK 频繁抖动次数满足预先配置的关闭速率自适应抖动次数时，产生一个速率自适应失效标志发送给所述寄存器配置模块 801 和速率自适应信息更新子模块 8024，所述速率自适应信息更新子模块 8024 检测到所述速率自适应失效标志后关闭速率自适应功能。

本实施例提供了一种并行接口时序控制装置，所述寄存器配置模块 801，配置为获取系统的配置信息，所述速率自适应模块 802，配置为当检测所述寄存器配置模块中的第一配置信息有效时，通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速

率及自适应标志发送给寄存器配置模块，所述寄存器配置模块 801，配置为根据所述自适应标志配置当前的数据通信速率，所述接口时序控制模块 803，配置为根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序，所述数据与时序处理模块 804，配置为根据所述接口时序传输数据，根据所述寄存器配置模块当前的数据通信速率处理数据，从而实现并行接口速率自适应配置。

参见图 10，其示出了本发明实施例提供的一种并行接口时序控制方法，该方法中，周期性检测主机 RFIC 的 MCLK 时钟的周期信息并且结合通道配置信息，从而得到从机 BBIC 与主机 RFIC 的通信速率；从而从机的接口按检测出的速率发送主机 RFIC 所需时序信号，完成两设备间的通信；由于是进行周期性检测，所以在主机 RFIC 时钟 MCLK 发生变化时，就是改变通信速率，保证两设备间的正常通信。该方法用于并行接口时序控制装置，所述并行接口时序控制装置包括：寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块，所述方法包括：

S1001：所述寄存器配置模块获取系统的配置信息；

S1002：当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给所述寄存器配置模块；

S1003：所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率；

S1004：所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序；

S1005：所述数据与时序处理模块根据所述接口时序传输数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

对于步骤 S1001，所述配置信息包括：接口模块使能，通道数量，默认

数据通信速率，TDD 模式子帧类型，自适应功能使能，自适应成功检测次数，自适应失败检测次数；

其中，自适应功能使能对应第一配置信息，所述第一配置信息有效指寄存器配置模块中的自适应功能使能有效，比如：自适应功能使能高电平时有效；TDD 模式子帧类型对应第二配置信息。

对于步骤 S1002，所述速率自适应模块包括：MCLK 周期检测子模块、MCLK 时钟稳定度检测子模块、速率自适应失效检测子模块和速率自适应信息更新子模块；

所述对端发送的 MCLK 的周期信息指 RFIC 发送的 MCLK 的周期信息；  
所述自适应标志包括：自适应成功标志和自适应失败标志。

对于步骤 S1002，图 11 为自适应模块生成更新的数据通信速率的流程图，当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块，包括：

S10021：所述速率自适应模块通过工作时钟获取 MCLK 的周期信息；所述工作时钟不小于 2 倍的 MCLK 时钟频率且为 MCLK 时钟频率的整数倍；

S10022：当所述速率自适应模块检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时，执行步骤 S10023 至步骤 S10027；当所述 MCLK 时钟稳定度检测子模块检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时，执行步骤 S10028 至步骤 S100212；

S10023：所述速率自适应模块内部的时钟稳定计数器执行一次累加计数，所述速率自适应模块得到一个第一累加计数值；

S10024：当所述第一累加计数值达到所述速率自适应模块预先配置的自适应成功数值时，所述速率自适应模块产生一个速率自适应成功标志；

S10025：所述速率自适应模块将所述速率自适应成功标志发送给寄存

器配置模块;

S10026: 当所述速率自适应模块检测到速率自适应成功标志时, 所述速率自适应模块将 MCLK 的周期信息转化为数据通信速率;

5 S10027: 所述速率自适应模块将 MCLK 的周期信息转化的数据通信速率作为更新的数据通信速率发送给所述寄存器配置模块;

需要说明的是, 步骤 S10023 至步骤 S10027 是针对当所述速率自适应模块检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时, 产生更新的数据通信速率发送给所述寄存器配置模块的实现过程。

10 S10028: 所述速率自适应模块内部的时钟稳定计数器执行一次累加计数清零, 所述速率自适应模块产生一个 MCLK 变动标志;

S10029: 所述速率自适应模块检测到所述 MCLK 变动标志时, 所述速率自适应模块中的时钟变化计数器进行一次累加计数操作, 所述速率自适应模块得到一个第二累计计数值;

15 S100210: 当所述第二累加计数值达到所述速率自适应模块预先配置的自适应失败数值时, 所述速率自适应模块产生一个速率自适应失败标志;

S100211: 所述速率自适应模块将所述速率自适应失败标志发送给所述寄存器配置模块;

S100212: 当所述速率自适应模块检测到所述速率自适应失败标志时, 所述速率自适应模块关闭速率自适应功能。

20 需要说明的是, 步骤 S10028 至步骤 S100212 是针对当所述速率自适应模块检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时, 关闭自适应功能的实现过程。

对于步骤 S1003, 所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率, 包括:

25 所述寄存器配置模块根据自适应成功标志配置当前的数据通信速率为所述更新的数据通信速率;

所述寄存器配置模块根据自适应失败标志配置当前的数据通信速率配置为系统发送给所述寄存器配置模块的默认数据通信速率。

对于步骤 S1004, 所述通信类型包括: 上行通信和下行通信;

所述接口时序, 指符合 JESD207 协议要求的接口时序;

- 5        在本发明的其他实施例中, 所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序, 包括:

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为上行数据通信时, 所述接口时序控制模块生成与上行数据通信对应的接口时序;

- 10       当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为下行数据通信时, 所述接口时序控制模块生成与下行数据通信对应的接口时序, 以及所述接口时序控制模块根据 MCLK 信息延时生成与 MCLK 时序相同的 FCLK 时序。

对于步骤 S1005, 所述数据包括上行接收数据和下行发送数据;

- 15       对于步骤 S1005, 图 12 为数据与时序处理模块处理数据的流程图, 所述数据与时序处理模块根据所述接口时序传输数据, 根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据, 包括:

- S10051: 当数据通信类型为上行数据通信时, 所述数据与时序处理模块按照上行数据通信对应的接口时序接收所述接口时序控制模块传输的上  
20       行数据, 所述数据与时序处理模块根据所述寄存器配置模块中的通道数量及当前的数据通信速率将所述上行数据发送给 BBIC 的后级电路;

- S10052: 当数据通信类型为下行数据通信时, 所述数据与时序处理模块按照下行数据通信对应的接口时序接收 BBIC 的后级电路传输的下行数据, 所述数据与时序处理模块根据所述寄存器配置模块中的通道数量及  
25       当前的数据通信速率将所述下行数据发送给所述接口时序控制模块。

在本发明的其他实施例中, 对于步骤 S10051, 所述接口时序控制模块

发送给所述数据与时序处理模块的数据，指所述接口时序控制模块按照上行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序接收对端通过 DIQ 接口发送的 DDR 的数据，所述接口时序控制模块将 DDR 的数据转化为 SDR 的数据发送给所述数据与时序处理模块进行数据处理，所述数据与时序处理模块最后按照上行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序经处理后的 SDR 的数据发送给 BBIC 的后级电路；

在本发明的其他实施例中，对于步骤 S10052，所述 BBIC 的后级电路发送给所述数据与时序处理模块的数据为 SDR 的数据，指所述 BBIC 的后级电路按照下行数据通信对应 TXNRX、ENABLE 时序信号及 MCLK 时序将 SDR 数据发送给所述数据与时序处理模块，经过所述数据与时序处理模块处理后的 SDR 的数据最终经过所述接口时序控制模块转为 DDR 的数据，所述 DDR 的数据由所述接口时序控制模块经过 DIQ 接口按照下行数据通信对应 TXNRX、ENABLE 时序信号及 FCLK 发送给对端。

此外，本实施例还针对 MCLK 频繁抖动导致数据通信速率信息频繁更新的问题，采用速率自适应模块产生速率自适应失效标志关闭速率自适应功能。在本发明的其他实施例中，当 MCLK 时钟稳定度检测子模块检测 MCLK 频繁抖动次数满足预先配置的关闭速率自适应抖动次数时，产生一个速率自适应失效标志发送给寄存器配置模块和速率自适应信息更新子模块，速率自适应信息更新子模块检测到速率自适应失效标志后关闭速率自适应功能。

本实施例提供了一种并行接口时序控制方法，所述寄存器配置模块获取系统的配置信息，当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块，所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率，所述接口时序控制模块根据所述寄存

器配置模块中的第二配置信息选择通信类型及通信类型所需的时序信号，所述数据与时序处理模块根据所述接口时序传输数据，根据所述寄存器配置模块当前的数据通信速率处理数据，从而实现并行接口速率自适应配置。

本领域内的技术人员应该明白，本发明的实施例可提供方法、系统、或者计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、获结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含由计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明时参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现程序图和/或方框图中每一流程和/获方框、以及流程图和/或方框图中的流程和/或的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或者其他可编程数据处理设备的处理器易产生一个机器，是的通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或者多个方框中指定的功能的装置。

这些计算机程序指令也可以存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算及可读存储器中的指令产生包括指令装置的制造品。该指令装置实现在流程图中一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载在计算机或其他可编程处理设备上，使得在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

### 工业实用性

本发明实施例中，所述寄存器配置模块获取系统的配置信息；当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块；所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率；所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序；所述数据与时序处理模块根据所述接口时序传输数据，根据所述寄存器配置模块当前的数据通信速率处理数据，从而  
5 而实现并行接口速率自适应配置。  
10

## 权利要求书

1、一种并行接口时序控制装置，所述并行接口时序控制装置包括：寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块，其中，

5        所述寄存器配置模块，配置为获取系统的配置信息；

      所述速率自适应模块，配置为当检测所述寄存器配置模块中的第一配置信息有效时，通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给所述寄存器配置模块；

10        所述寄存器配置模块，还配置为根据所述自适应标志配置当前的数据通信速率；

      所述接口时序控制模块，配置为根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序；

15        所述数据与时序处理模块，配置为根据所述接口时序传输数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

      2、根据权利要求 1 所述的装置，其中，所述配置信息包括：接口模块使能，通道数量，默认数据通信速率，TDD 模式子帧类型，自适应功能使能，自适应成功检测次数，自适应失败检测次数；其中，自适应功能使能对应第一配置信息，TDD 模式子帧类型对应第二配置信息。

20        3、根据权利要求 1 所述的装置，其中，所述自适应标志包括：自适应成功标志和自适应失败标志。

      4、根据权利要求 1 所述的装置，其中，所述速率自适应模块包括：MCLK 周期检测子模块、MCLK 时钟稳定度检测子模块、速率自适应失效检测子模块和速率自适应信息更新子模块；其中，

25        所述 MCLK 周期检测子模块，配置为通过工作时钟获取 MCLK 的周

期信息,将所述 MCLK 的周期信息实时发送给所述 MCLK 时钟稳定度检测子模块和速率自适应信息更新子模块;

所述 MCLK 时钟稳定度检测子模块,配置为当检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时,触发所述速率自适应信息更新子模块产生更新的数据通信速率,并将所述更新的数据通信速率发送给所述寄存器配置模块;

所述 MCLK 时钟稳定度检测子模块,还配置为当检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时,触发所述速率自适应信息更新子模块关闭自适应功能。

5 10 5、根据权利要求 4 所述的装置,其中,所述 MCLK 时钟稳定度检测子模块,配置为,

当检测连续两次的 MCLK 的周期信息一致时,内部的时钟稳定计数器执行一次累加计数,得到一个第一累加计数值;

以及,当所述第一累加计数值达到预先配置的自适应成功数值时,产生一个速率自适应成功标志;

以及,将所述速率自适应成功标志发送给所述速率自适应信息更新子模块和寄存器配置模块;

所述速率自适应信息更新子模块,配置为当检测到所述速率自适应成功标志时,将 MCLK 的周期信息转化为数据通信速率;

20 以及,将 MCLK 的周期信息转化的数据通信速率作为更新的数据通信速率发送给所述寄存器配置模块。

6、根据权利要求 4 所述的装置,其中,所述 MCLK 时钟稳定度检测子模块,还配置为,

25 当检测连续两次的 MCLK 的周期信息不一致时,内部的时钟稳定计数器执行一次累加计数清零,产生一个 MCLK 变动标志;

以及,将所述 MCLK 变动标志发送给所述速率自适应失效检测子模

块;

所述速率自适应失效检测子模块,配置为检测到 MCLK 变动标志时,其内部的时钟变化计数器进行一次累加计数操作,得到一个第二累计计数值;

- 5 以及,当所述第二累加计数值达到预先配置的自适应失败数值时,产生一个速率自适应失败标志;

以及,将所述速率自适应失败标志发送给所述速率自适应信息更新子模块和寄存器配置模块;

- 10 所述速率自适应信息更新子模块,还配置为当检测到速率自适应失败标志时,关闭速率自适应功能。

7、根据权利要求 1 所述的装置,其中,所述寄存器配置模块,还配置为,

根据自适应成功标志配置当前的数据通信速率为所述更新的数据通信速率;

- 15 以及,根据自适应失败标志配置当前的数据通信速率配置为系统发送给所述寄存器配置模块的默认数据通信速率。

8、根据权利要求 1 所述的装置,其中,所述接口时序控制模块,配置为,

- 20 当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为上行数据通信时,配置为生成与上行数据通信对应的接口时序;

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为下行数据通信时,配置为生成与下行数据通信对应的接口时序,以及根据 MCLK 信息延时生成与 MCLK 时序相同的 FCLK 时序。

- 25 9、根据权利要求 1 所述的装置,其中,所述数据与时序处理模块,配置为,

当数据通信类型为上行数据通信时,按照上行数据通信对应的接口

时序接收所述接口时序控制模块传输的上行数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率将所述上行数据发送给 BBIC 的后级电路；

以及，当数据通信类型为下行数据通信时，按照下行数据通信对应的接口时序接收 BBIC 的后级电路传输的下行数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率将所述下行数据发送给所述接口时序控制模块。

10、一种并行接口时序控制方法，所述方法用于并行接口时序控制装置，所述并行接口时序控制装置包括：寄存器配置模块、速率自适应模块、接口时序控制模块及数据与时序处理模块，所述方法包括：

所述寄存器配置模块获取系统的配置信息；

当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块；

所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率；

所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序；

所述数据与时序处理模块根据所述接口时序传输数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据。

11、根据权利要求 10 所述的方法，其中，所述配置信息包括：接口模块使能，通道数量，默认数据通信速率，时分双工 TDD 模式子帧类型，自适应功能使能，自适应成功检测次数，自适应失败检测次数；其中，自适应功能使能对应第一配置信息，TDD 模式子帧类型对应第二配置信息。

12、根据权利要求 10 所述的方法，其中，所述自适应标志包括：自

适应成功标志和自适应失败标志。

13、根据权利要求 10 所述的方法，其中，所述当所述速率自适应模块检测所述寄存器配置模块中的第一配置信息有效时，所述速率自适应模块通过对端发送的 MCLK 的周期信息生成更新的数据通信速率及自适应标志，并将所述更新的数据通信速率及自适应标志发送给寄存器配置模块，包括：

所述速率自适应模块通过工作时钟获取 MCLK 的周期信息；

当所述速率自适应模块检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时，产生更新的数据通信速率，并将所述更新的数据通信速率发送给所述寄存器配置模块；

当所述速率自适应模块检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时，关闭自适应功能。

14、根据权利要求 13 所述的方法，其中，所述当所述速率自适应模块检测连续两次的 MCLK 的周期信息一致次数满足预设的自适应成功数值时，产生更新的数据通信速率，并将所述更新的数据通信速率发送给所述寄存器配置模块，包括：

当所述速率自适应模块检测连续两次的 MCLK 的周期信息一致时，所述速率自适应模块内部的时钟稳定计数器执行一次累加计数，所述速率自适应模块得到一个第一累加计数值；

当所述第一累加计数值达到所述速率自适应模块预先配置的自适应成功数值时，所述速率自适应模块产生一个速率自适应成功标志；

当所述速率自适应模块检测到所述速率自适应成功标志时，所述速率自适应模块将 MCLK 的周期信息转化为数据通信速率；

所述速率自适应模块将 MCLK 的周期信息转化的数据通信速率作为更新的数据通信速率发送给所述寄存器配置模块。

15、根据权利要求 13 所述的方法，其中，当所述 MCLK 时钟稳定度

检测子模块检测连续两次的 MCLK 的周期信息不一致次数满足自适应失败数值时, 触发所述速率自适应信息更新子模块关闭自适应功能, 包括:

当所述速率自适应模块检测连续两次的 MCLK 的周期信息不一致时, 所述速率自适应模块内部的时钟稳定计数器执行一次累加计数清零, 所述速率自适应模块产生一个 MCLK 变动标志;

所述速率自适应模块检测到所述 MCLK 变动标志时, 所述速率自适应模块中的时钟变化计数器进行一次累加计数操作, 所述速率自适应模块得到一个第二累计计数值;

当所述第二累加计数值达到所述速率自适应模块预先配置的自适应失败数值时, 所述速率自适应模块产生一个速率自适应失败标志;

所述速率自适应模块将所述速率自适应失败标志发送给所述寄存器配置模块;

当所述速率自适应模块检测到所述速率自适应失败标志时, 所述速率自适应模块关闭速率自适应功能。

16、根据权利要求 10 所述的方法, 其中, 所述寄存器配置模块根据所述自适应标志配置当前的数据通信速率, 包括:

所述寄存器配置模块根据自适应成功标志配置当前的数据通信速率为所述更新的数据通信速率;

所述寄存器配置模块根据自适应失败标志配置当前的数据通信速率配置为系统发送给所述寄存器配置模块的默认数据通信速率。

17、根据权利要求 10 所述的方法, 其中, 所述接口时序控制模块根据所述寄存器配置模块中的第二配置信息和 MCLK 信息生成接口时序, 包括:

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为上行数据通信时, 所述接口时序控制模块生成与上行数据通信对应的接口时序;

当所述寄存器配置模块中的 TDD 模式子帧类型中的数据通信类型为下行数据通信时，所述接口时序控制模块生成与下行数据通信对应的接口时序，以及所述接口时序控制模块根据 MCLK 信息延时生成与 MCLK 时序相同的 FCLK 时序。

- 5        18、根据权利要求 10 所述的方法，其中，所述数据与时序处理模块根据所述接口时序传输数据，根据所述寄存器配置模块中的通道数量及当前的数据通信速率处理数据，包括：

当数据通信类型为上行数据通信时，所述数据与时序处理模块按照上行数据通信对应的接口时序接收所述接口时序控制模块传输的上行数据，所述数据与时序处理模块根据所述寄存器配置模块中的通道数量及当前的数据通信速率将所述上行数据发送给 BBIC 的后级电路；

10

当数据通信类型为下行数据通信时，所述数据与时序处理模块按照下行数据通信对应的接口时序接收 BBIC 的后级电路传输的下行数据，所述数据与时序处理模块根据所述寄存器配置模块中的通道数量及当前的数据通信速率将所述下行数据发送给所述接口时序控制模块。

15

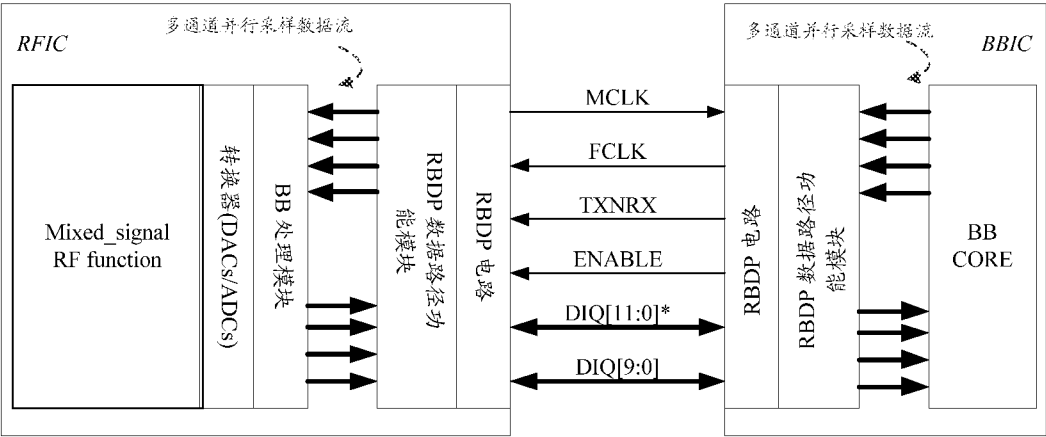


图 1

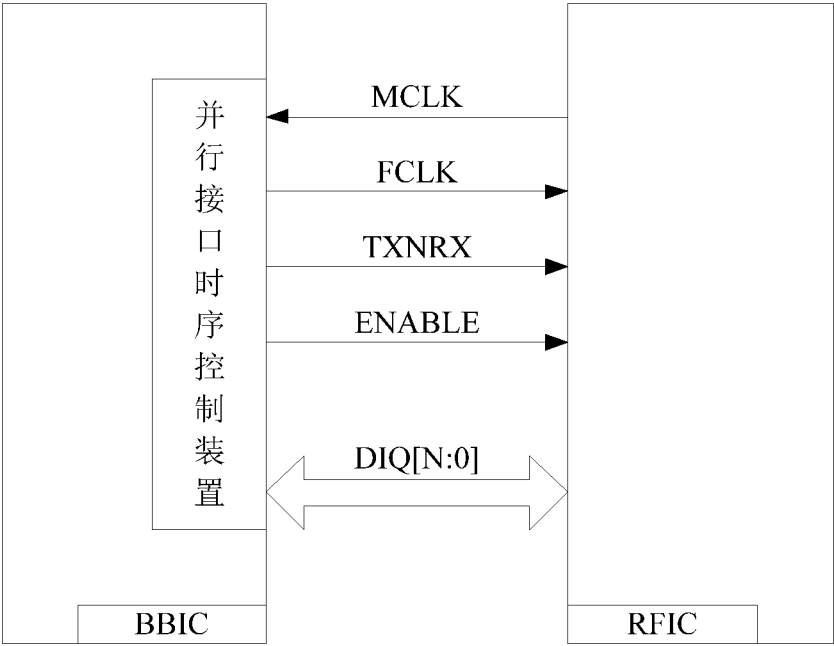


图 2

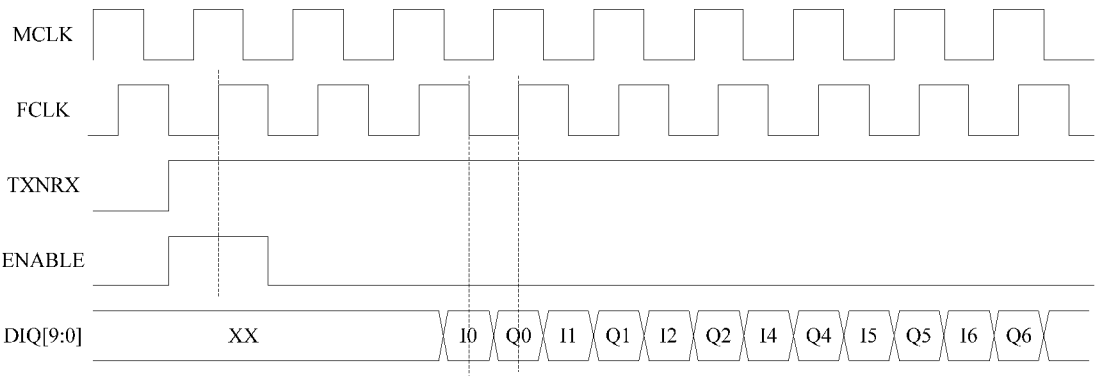


图 3

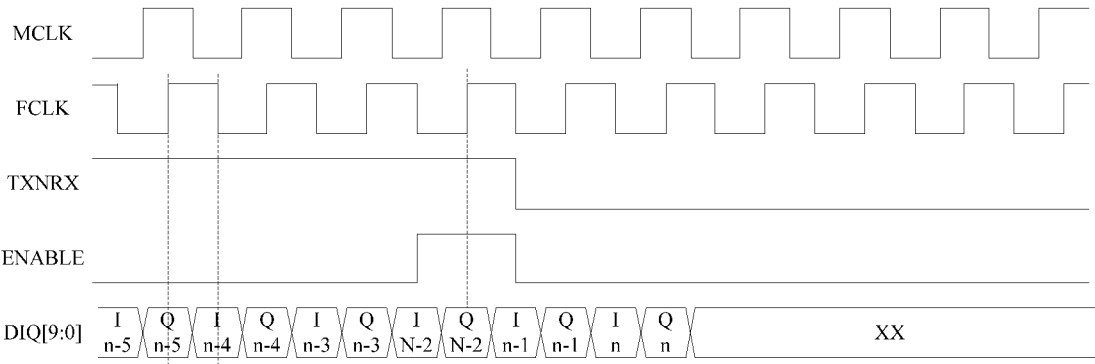


图 4

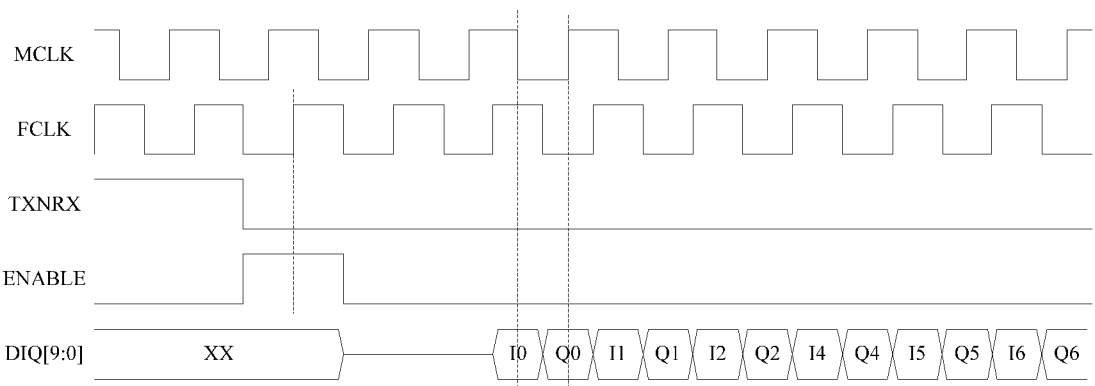


图 5

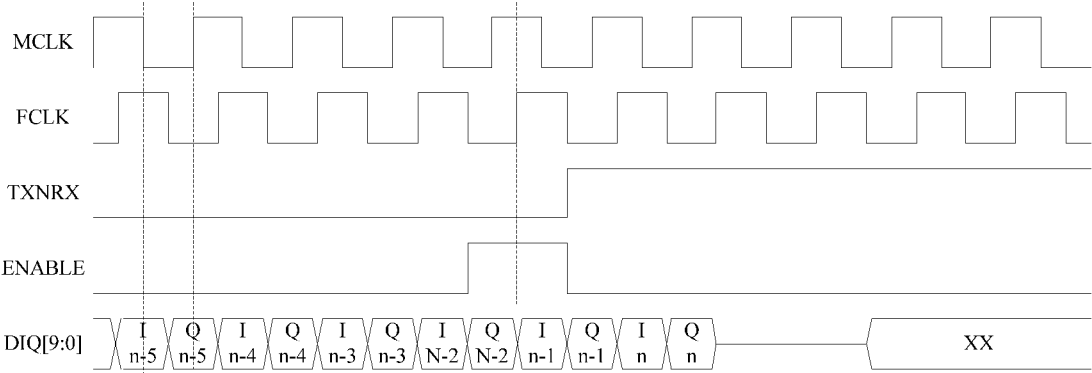


图 6

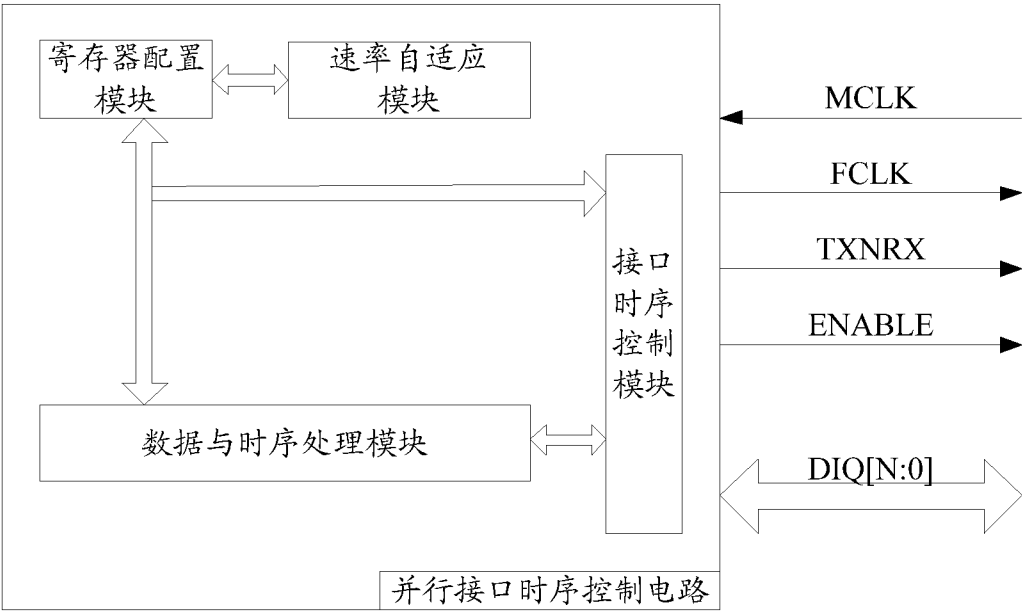


图 7

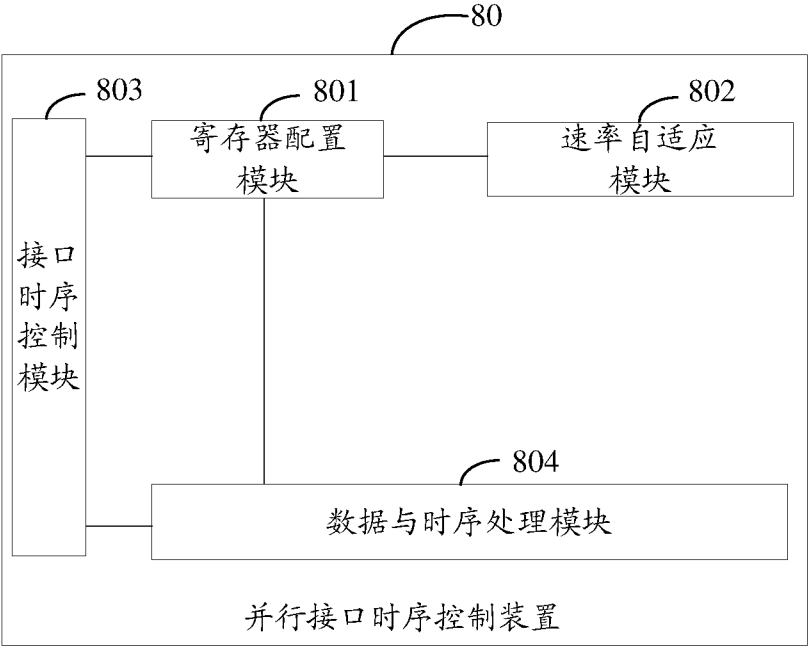


图 8

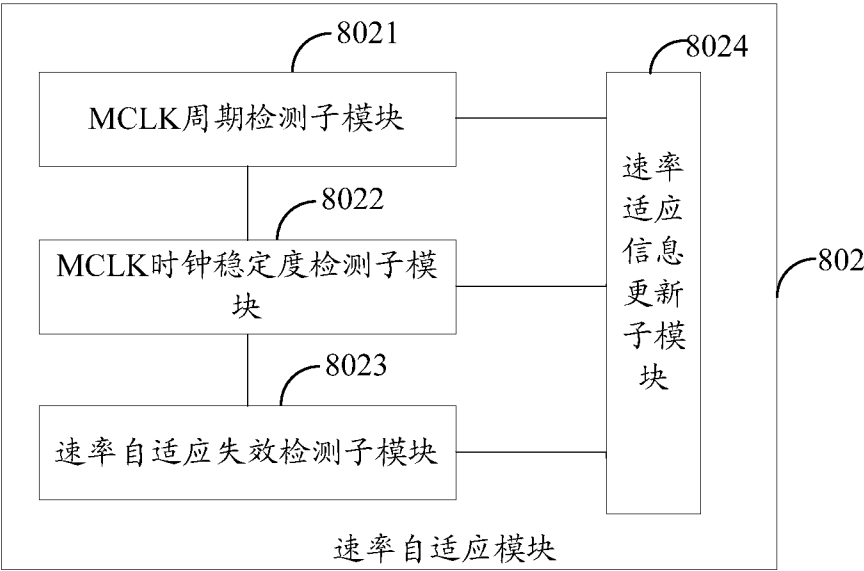


图 9

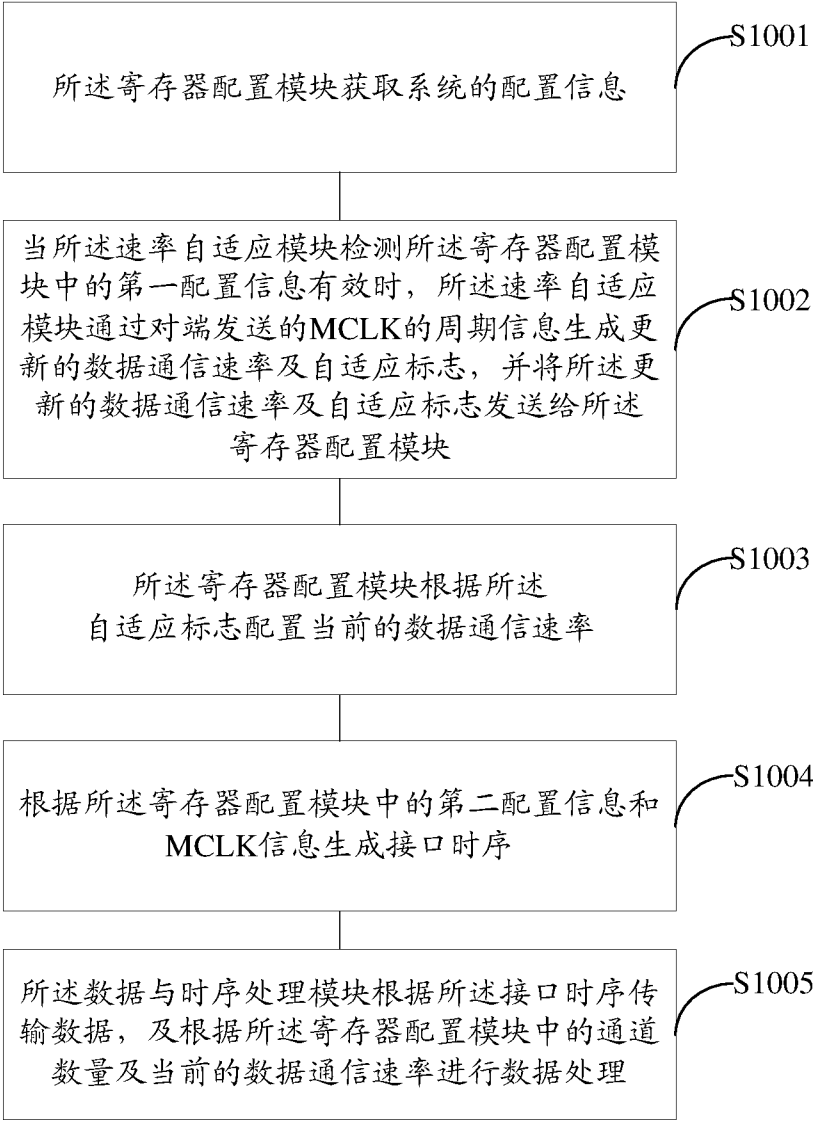


图 10



图 11

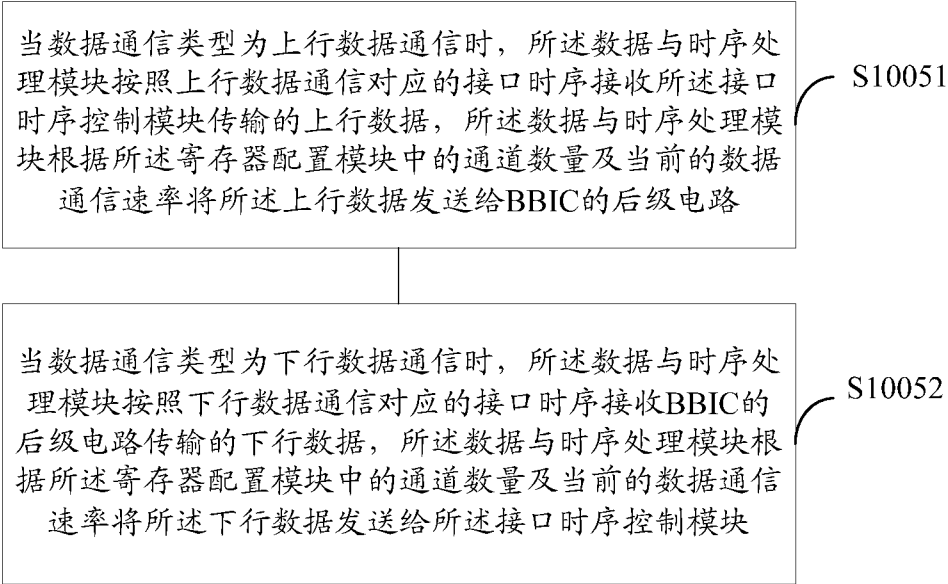


图 12

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2017/085924

## A. CLASSIFICATION OF SUBJECT MATTER

H04L 5/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS, CNTXT, CNKI, VEN, USTXT, DWPI: 并行, 接口, 时序, JESD, BBIC, MCLK, FCLK, 速率, 标志, 标识, parallel, interface, timing, sequence, rate, identification

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                       | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | CN 103516815 A (ZTE CORP.), 15 January 2014 (15.01.2014), description, paragraphs [0001] and [0050]-[0065], and figure 6 | 1-3, 7-12, 16-18      |
| A         | CN 1567754 A (HUAWEI TECHNOLOGIES CO., LTD.), 19 January 2005 (19.01.2005), entire document                              | 1-18                  |
| A         | US 2006043969 A1 (REINHOLD, M. et al.), 02 March 2006 (02.03.2006), entire document                                      | 1-18                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “&” document member of the same patent family                                                                                                                                                                                                    |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                               |                                                                      |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------|
| Date of the actual completion of the international search<br>08 August 2017                                                                                                                                   | Date of mailing of the international search report<br>30 August 2017 |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br>LI, Xiaoqian<br>Telephone No. (86-10) 62089456 |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2017/085924

| Patent Documents referred<br>in the Report | Publication Date | Patent Family      | Publication Date  |
|--------------------------------------------|------------------|--------------------|-------------------|
| CN 103516815 A                             | 15 January 2014  | None               |                   |
| CN 1567754 A                               | 19 January 2005  | CN 100499410 C     | 10 June 2009      |
| US 2006043969 A1                           | 02 March 2006    | US 7112950 B2      | 26 September 2006 |
|                                            |                  | EP 1632779 B1      | 22 October 2008   |
|                                            |                  | DE 102004042077 A1 | 30 March 2006     |
|                                            |                  | DE 602005010521 D1 | 04 December 2008  |
|                                            |                  | EP 1632779 A1      | 08 March 2006     |

## 国际检索报告

国际申请号

PCT/CN2017/085924

| <b>A. 主题的分类</b><br>H04L 5/14(2006.01) i<br><br>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                               |                                             |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------|---------------------------------------------|------|-------------------|---------|---|-----------------------------------------------------------------------------------------------|----------------|---|-------------------------------------------------------------|------|---|-------------------------------------------------------------------------|------|
| <b>B. 检索领域</b><br>检索的最低限度文献(标明分类系统和分类号)<br>H04L<br><br>包含在检索领域中的除最低限度文献以外的检索文献<br><br>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))<br>CPRSABS, CNTXT, CNKI, VEN, USTXT, DWPI: 并行, 接口, 时序, JESD, BBIC, MCLK, FCLK, 速率, 标志, 标识, parallel, interface, timing, sequence, rate, identification                                                                                                                                                                                                                                                       |                                                                                               |                                             |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| <b>C. 相关文件</b> <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103516815 A (中兴通讯股份有限公司) 2014年 1月 15日 (2014 - 01 - 15)<br/>说明书第[0001]段, 第[0050]至[0065]段, 图6</td> <td>1-3、7-12、16-18</td> </tr> <tr> <td>A</td> <td>CN 1567754 A (华为技术有限公司) 2005年 1月 19日 (2005 - 01 - 19)<br/>全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2006043969 A1 (REINHOLD MICHAEL等) 2006年 3月 2日 (2006 - 03 - 02)<br/>全文</td> <td>1-18</td> </tr> </tbody> </table> |                                                                                               |                                             | 类 型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | X | CN 103516815 A (中兴通讯股份有限公司) 2014年 1月 15日 (2014 - 01 - 15)<br>说明书第[0001]段, 第[0050]至[0065]段, 图6 | 1-3、7-12、16-18 | A | CN 1567754 A (华为技术有限公司) 2005年 1月 19日 (2005 - 01 - 19)<br>全文 | 1-18 | A | US 2006043969 A1 (REINHOLD MICHAEL等) 2006年 3月 2日 (2006 - 03 - 02)<br>全文 | 1-18 |
| 类 型*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 引用文件, 必要时, 指明相关段落                                                                             | 相关的权利要求                                     |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | CN 103516815 A (中兴通讯股份有限公司) 2014年 1月 15日 (2014 - 01 - 15)<br>说明书第[0001]段, 第[0050]至[0065]段, 图6 | 1-3、7-12、16-18                              |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | CN 1567754 A (华为技术有限公司) 2005年 1月 19日 (2005 - 01 - 19)<br>全文                                   | 1-18                                        |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | US 2006043969 A1 (REINHOLD MICHAEL等) 2006年 3月 2日 (2006 - 03 - 02)<br>全文                       | 1-18                                        |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| <input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                                                                               |                                             |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| * 引用文件的具体类型:<br>“A” 认为不特别相关的表示了现有技术一般状态的文件<br>“E” 在国际申请日的当天或之后公布的在先申请或专利<br>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)<br>“O” 涉及口头公开、使用、展览或其他方式公开的文件<br>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件<br>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件<br>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性<br>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性<br>“&” 同族专利的文件                                                                                                                                        |                                                                                               |                                             |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| 国际检索实际完成的日期<br><br>2017年 8月 8日                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                               | 国际检索报告邮寄日期<br><br>2017年 8月 30日              |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |
| ISA/CN的名称和邮寄地址<br>中华人民共和国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088<br>传真号 (86-10)62019451                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                               | 受权官员<br><br>李晓茜<br><br>电话号码 (86-10)62089456 |      |                   |         |   |                                                                                               |                |   |                                                             |      |   |                                                                         |      |

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2017/085924

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 | 公布日<br>(年/月/日)               |
|-------------|------------|----|----------------|------|------------------------------|
| CN          | 103516815  | A  | 2014年 1月 15日   | 无    |                              |
| CN          | 1567754    | A  | 2005年 1月 19日   | CN   | 100499410 C 2009年 6月 10日     |
| US          | 2006043969 | A1 | 2006年 3月 2日    | US   | 7112950 B2 2006年 9月 26日      |
|             |            |    |                | EP   | 1632779 B1 2008年 10月 22日     |
|             |            |    |                | DE   | 102004042077 A1 2006年 3月 30日 |
|             |            |    |                | DE   | 602005010521 D1 2008年 12月 4日 |
|             |            |    |                | EP   | 1632779 A1 2006年 3月 8日       |