

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-103100

(P2019-103100A)

(43) 公開日 令和1年6月24日(2019.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 3/02 (2006.01)	H03M 3/02	5J064
H03F 3/217 (2006.01)	H03F 3/217	5J500
H03F 1/06 (2006.01)	H03F 1/06	

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2017-235727 (P2017-235727)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成29年12月8日(2017.12.8)	(74) 代理人	100109313 弁理士 机 昌彦
		(74) 代理人	100124154 弁理士 下坂 直樹
		(72) 発明者	相馬 達也 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	堀 真一 東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

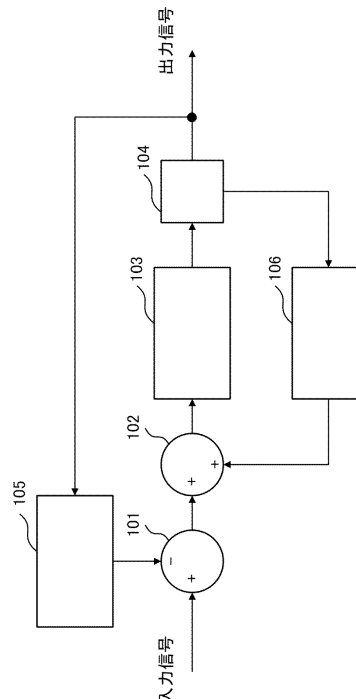
(54) 【発明の名称】 信号生成装置、及び信号生成方法

(57) 【要約】

【課題】スイッチング回数を低減しつつ、信号対雑音比の高い信号を生成する信号生成装置、及び信号生成方法を提供する。

【解決手段】信号生成装置は、出力信号を遅延させる遅延手段と、入力信号と上記遅延手段からの信号との差分を取る差分手段と、加算手段と、上記加算手段からの出力を積分する積分手段と、上記積分手段からの出力を離散化して上記出力信号を生成する比較手段と、上記比較手段からの上記出力信号の変化状態を示す信号を上記加算手段に供給して、上記加算手段で上記差分手段からの信号と上記加算手段で加算させる帰還手段と、を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

出力信号を遅延させる遅延手段と、入力信号と前記遅延手段からの信号との差分を取る差分手段と、加算手段と、前記加算手段からの出力を積分する積分手段と、前記積分手段からの出力を離散化して前記出力信号を生成する比較手段と、前記比較手段からの前記出力信号の変化状態を示す信号を前記加算手段に供給して、前記加算手段で前記差分手段からの信号と前記加算手段で加算させる帰還手段と、を含む信号生成装置。

【請求項 2】

前記比較手段の出力値が変化した場合に、前記積分手段の積分値と比較手段の比較基準値の差が一定値分だけ大きくなるよう、前記積分手段の積分値又は前記比較手段の比較基準値の値を変更する、請求項 1 に記載の信号生成装置。

10

【請求項 3】

前記比較手段の出力値が変化した場合に、前記積分手段の積分値と前記比較手段の比較基準値の差が一定値分だけ大きくなるよう値を加算する、請求項 1 に記載の信号生成装置。

【請求項 4】

前記帰還手段は、前記比較手段からの前記出力信号の変化状態を示す信号を増幅する増幅器を含む、請求項 1 乃至 3 のいずれか一項に記載の信号生成装置。

【請求項 5】

前記帰還手段は、前記比較手段の前記出力信号を元に、前記比較手段からの前記出力信号の変化状態を示す信号を生成するフィルタと、前記フィルタの出力を増幅して前記加算手段に供給する増幅器を含む、請求項 1 乃至 3 のいずれか一項に記載の信号生成装置。

20

【請求項 6】

前記比較手段の出力信号を増幅するスイッチング増幅器をさらに含む、請求項 1 乃至 5 のいずれか一項に記載の信号生成装置。

【請求項 7】

前記スイッチング増幅器の出力を入力して、特定周波数信号を出力する周波数フィルタをさらに含む、請求項 6 に記載の信号生成装置。

【請求項 8】

前記スイッチング増幅器の出力を入力して、特定周波数信号を出力する周波数フィルタをさらに含む、請求項 6 に記載の信号生成装置。

30

【請求項 9】

無線信号を生成する、請求項 1 乃至 8 のいずれか一項に記載の信号生成装置と、前記信号生成装置が生成した前記無線信号を送信するアンテナと、を有する無線送信機。

。

【請求項 10】

遅延手段、差分手段、加算手段、積分手段、比較手段、及び帰還手段を含む信号生成装置の信号生成方法であって、

前記遅延手段が、出力信号を遅延させ、

前記差分手段が、入力信号と前記遅延手段からの信号との差分を取り、

前記積分手段が、前記加算手段からの出力を積分し、

前記比較手段が、前記積分手段からの出力を離散化して前記出力信号を生成し、

前記帰還手段が、前記比較手段からの前記出力信号の変化状態を示す信号を前記加算手段に供給して、前記差分手段からの信号と前記加算手段で加算させる、信号生成方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号生成装置、及び信号生成方法に関し、特に増幅器を含む信号生成装置、及び信号生成方法に関する。

【背景技術】

【0002】

50

無線システムの送信機は、低消費電力で動作することが望ましい。特に、送信機の最終段の信号増幅器は、送信機全体の50%以上の電力を消費する。よって、最終段の信号増幅器の電力効率を上げることが求められる。最終段に用いられうる信号増幅器として、スイッチング増幅器を用いるものが知られている。

【0003】

スイッチング増幅器の電力損失は、スイッチングロスにより生じるものの寄与が大きい。そのため、出力信号に影響を与えずスイッチング回数を削減する変調方法が重要となる。

【0004】

最小となるパルス幅を制限しスイッチング回数の削減を可能とするデルタシグマ変調回路、及びそれを制御信号としてスイッチング増幅器を用いて信号の増幅を行うことに関しては、例えば特許文献1の背景技術として提案されている。

10

【0005】

また、スイッチング増幅器を電源変調器として用いたエンベロープトラッキング方式の増幅器に関しては、例えば特許文献2で提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第4115959号公報

【特許文献2】特許第5725026号公報

20

【特許文献3】特開2008-99362号公報

【特許文献4】特開2008-193159号公報

【特許文献5】特開2006-262686号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

上述の特許文献1、特許文献2の増幅器は電力効率が高いことが知られているが、それでも無線送信機に求められる電力効率を達成することは難しい。またそれらを組み合わせたもの、すなわち、入力信号の包絡線成分の最小パルス幅を制限してデルタシグマ変調し、更にスイッチング増幅器で増幅したものを電源変調信号として用いる増幅器であっても、改善はあるものの同様である。

30

【0008】

スイッチング素子を用いた増幅器において、その電力効率の低下の大きな原因の一つはスイッチングの際に生じる電力損失である。電力効率向上のためにはこのスイッチングロスを抑える必要がある。即ち、単位時間あたりのスイッチング回数を抑える必要がある。

【0009】

しかし、一方でスイッチング回数を抑えることは信号の自由度を制限することになり、アナログデジタル変換の際には信号対雑音比を悪化させることにつながる。

【0010】

アナログ信号をデジタル変調しスイッチング増幅器で増幅する際に、所望信号近傍の量子化雑音を抑えつつ、スイッチング回数を既存方式よりも更に低減するための変調方式が課題となっている。

40

【0011】

特許文献3や特許文献5では、デルタシグマ変調回路を含んだスイッチング電源が提案され、特許文献4では、デルタシグマ変調回路を含んだスイッチング回路が提案されている。

【0012】

本発明の目的は、スイッチング回数を低減しつつ、信号対雑音比の高い信号を生成する信号生成装置、及び信号生成方法を提供することにある。

【課題を解決するための手段】

50

【0013】

前記目的を達成するため、本発明に係る信号生成装置は、出力信号を遅延させる遅延手段と、入力信号と上記遅延手段からの信号との差分を取る差分手段と、加算手段と、上記加算手段からの出力を積分する積分手段と、上記積分手段からの出力を離散化して上記出力信号を生成する比較手段と、上記比較手段からの上記出力信号の変化状態を示す信号を上記加算手段に供給して、上記加算手段で上記差分手段からの信号と上記加算手段で加算させる帰還手段と、を含む。

【0014】

発明に係る信号生成方法は、遅延手段、差分手段、加算手段、積分手段、比較手段、及び帰還手段を含む信号生成装置の信号生成方法であって、

上記遅延手段が、出力信号を遅延させ、

上記差分手段が、上記入力信号と上記遅延手段からの信号との差分を取り、

上記積分手段が、上記加算手段からの出力を積分し、

上記比較手段が、上記積分手段からの出力を離散化して上記出力信号を生成し、

上記帰還手段が、上記比較手段からの上記出力信号の変化状態を示す信号を上記加算手段に供給して、上記差分手段からの信号と上記加算手段で加算させる。

【発明の効果】

【0015】

本発明によれば、スイッチング回数を低減しつつ、信号対雑音比の高い信号を生成する信号生成装置、及び信号生成方法を提供できる。

【図面の簡単な説明】

【0016】

【図1】上位概念による実施形態の信号生成装置を説明するためのブロック図である。

【図2】第1実施形態の信号生成装置を説明するためのブロック図である。

【図3】図2の信号生成装置の信号を示す波形図である。

【図4】第2実施形態の信号生成装置を説明するためのブロック図である。

【図5】第3実施形態の信号生成装置を説明するためのブロック図である。

【図6】第4実施形態の信号生成装置を説明するためのブロック図である。

【図7】第5実施形態の信号生成装置を説明するためのブロック図である。

【図8】図7の信号生成装置の信号を示す波形図である。

【図9】第1実施形態の信号生成装置の信号対雑音比数値の計算結果を示すグラフである。

【図10】第1実施形態のパルス幅分布数値の計算結果を示すグラフである。

【図11】その他の実施形態の無線送信機を示す概略図である。

【発明を実施するための形態】

【0017】

本発明の好ましい実施形態について、図面を参照しながら詳細に説明する。具体的な実施形態について説明する前に、本発明の上位概念による実施形態の信号生成装置について説明する。

【0018】

図1は、上位概念による実施形態の信号生成装置を説明するためのブロック図である。

図1の信号生成装置は、差分手段101、加算手段102、積分手段103、比較手段104、遅延手段105、及び帰還手段106を含む。

【0019】

図1の信号生成装置において、差分手段101は入力信号と遅延手段105の出力信号の差を出力する。加算手段102は、差分手段101の出力と帰還手段106の出力信号の和を出力する。積分手段103は、加算手段102の出力信号を積分する。比較手段104は、積分手段103から出力される信号を基準値と比較することによって、信号をデジタル化する。デジタル化された信号は、信号生成装置の出力信号になると共に、遅延手段105に入力される。また比較手段104の出力信号の変化状態を示す信号が、帰還手

10

20

30

40

50

段 106 に入力される。

【0020】

図1の信号生成装置では、積分手段103から出力される信号を基準値と比較する比較手段104は、比較手段104の出力信号の変化状態を示す信号を出力する。この比較手段104の出力信号の変化状態を示す信号を用い、帰還手段106を経由し、加算手段102で差分手段101の出力と加算している。比較手段104の端子からの出力は積分手段103に対し、比較手段104の出力が変化した際に、積分手段103の積分値と変化の引き金となった比較手段104の内部基準値の絶対値が大きくなるように作用する。これによりパルス幅が広くなり、スイッチング回数は減少する。結果として出力信号の単位時間あたりのスイッチング回数が少なくなる。

10

【0021】

このスイッチング回数を削減できたことによって、信号生成装置の電力効率を改善することができる。以下、より具体的な実施形態について図面を参照しながら説明する。

【0022】

〔第1実施形態〕

第1実施形態の信号生成装置について、説明する。

【0023】

図2は、第1実施形態の信号生成装置を説明するためのブロック図である。図2に示す信号生成装置は、差分器1、加算器2、積分器3、比較器4、遅延回路5、増幅器6、及び遅延回路7を含む。

20

【0024】

図2の信号生成装置において、差分器1はアナログ入力信号と遅延回路5の出力信号との差分を取り、この差分を出力する。加算器2は、差分器1の出力と遅延回路7の出力信号の和を出力する。積分器3は、加算器2の出力信号を積分する。比較器4は、積分器3からの出力を離散化する。言い換えると比較器4は、積分器3から出力される信号を基準値と比較することによって、信号をデジタル化する。デジタル化された信号は、信号生成装置の出力信号になると共に、遅延回路5に入力される。遅延回路5は入力された信号を遅延して差分器1に供給する。

【0025】

比較器4は、信号生成装置の出力信号を出力する出力端子以外に、その出力信号の変化状態を示す信号を外部に出力する端子を持つ。以下では、比較器4の出力信号の変化状態を示す信号を外部に出力する端子を、比較器4の変化出力端子と称することがある。この変化状態を示す信号を外部に出力する端子は例えば、比較器4の出力信号がより小さい方向に変化した際には-1を、比較器4の出力信号がより大きい方向に変化した際には1を、それ以外の場合には0を出力する。この比較器4の出力信号の変化状態を示す信号は増幅器6に入力されて、増幅器6でR倍に増幅される。ここで、Rは正の実数とする。増幅器6の出力は、遅延回路7に入力される。遅延回路7は、入力された信号を遅延して加算器2に供給する。

30

【0026】

図3は、図2の信号生成装置の信号を示す波形図である。図3は、信号生成装置へのアナログ入力信号として定数を入力している状態で、比較器4の出力レベルが2値の場合の、積分器3の出力A、比較器4の変化出力端子からの変化出力B、及び比較器4の出力Cを示したものである。

40

【0027】

比較器4の変化出力端子からの出力は積分器3に対し、比較器4の出力が変化した際に、積分器3の積分値と変化の引き金となった比較器4の内部基準値の絶対値が大きくなるように作用する。例えば、具体的には比較器4の内部基準値が0の場合、比較器4の出力が負から正に変化した場合にはRが、正から負に変化した場合には-Rが加算器2を経て積分器3の入力に加算されることとなる。

【0028】

50

この作用の程度は、増幅器 6 の増幅率 R によって決まる。具体的には、増幅率 R が大きいほど、積分器 3 の出力が再度変化の引き金となった比較基準値に到達するまでの時間が長くなる。つまり、パルス幅が広くなる。また、増幅率 R が 0 の場合はパルス幅制限されていない既存のデルタシグマ変調と同じになり、最小パルス幅は 1 となる。図 3 の場合は、増幅率 R の効果により、最小パルス幅が 5 になっている。このパルス幅が長くなることにより、スイッチング回数は減少する。結果として、信号生成装置の出力信号の単位時間あたりのスイッチング回数が少なくなる。このスイッチング回数を削減できたことによって、図 3 の信号生成装置では電力効率の改善を実現できる。

【 0 0 2 9 】

図 3 の信号生成装置では、比較器 4 の出力が積分器 3 へと常に帰還される構成になっている。これにより、図 3 の信号生成装置ではより適切にデルタシグマ変調のフィードバックが働くので、よりスイッチング回数を削減することが可能となる。

【 0 0 3 0 】

[効果の説明]

第 1 実施形態の信号生成装置を用いることで、スイッチング回数を抑えつつアナログ信号からデルタシグマ変調したデジタル信号を得ることができる。

【 0 0 3 1 】

[第 2 実施形態]

次に、第 2 実施形態の信号生成装置について、説明する。本発明の信号生成装置は、上述した第 1 実施形態の構成に限られるものではなく、様々な変形や追加などが可能である。第 2 実施形態の信号生成装置は、第 2 実施形態の信号生成装置の変形例である。

【 0 0 3 2 】

図 4 は、第 2 実施形態の信号生成装置を説明するためのブロック図である。第 1 実施形態の信号生成装置と同様な構成に対しては、同じ参照番号を付すことにより、その詳細な説明を省略することとする。

【 0 0 3 3 】

図 4 の信号生成装置は、図 2 の信号生成装置と同様に、差分器 1、加算器 2、積分器 3、比較器 4、遅延回路 5、及び増幅器 6 を含む。さらに図 4 の信号生成装置は、デジタルフィルタ 8 を含む。図 4 のデジタルフィルタ 8 は、比較器 4 の出力信号、すなわち信号生成装置の出力信号を入力して増幅器 6 へ出力する。そして図 4 の増幅器 6 は、R 倍に増幅した後、加算器 2 に供給する。

【 0 0 3 4 】

ここでデジタルフィルタ 8 の伝達関数は例えば、

【 0 0 3 5 】

【 数 1 】

$$\sum_{k=1}^{n-1} \frac{Z^{-1} - Z^{-2}}{(x_k - x_{k-1})^2} \left\{ 1 - \left(Z^{-1} - \frac{x_k + x_{k-1}}{2} \right) \cdot \left(Z^{-2} - \frac{x_k + x_{k-1}}{2} \right) \right\}$$

【 0 0 3 6 】

とする。これにより図 4 の加算器 2 へ、図 2 に示される第 1 実施形態の信号生成装置と同じ信号が供給されるよう、構成する。ここで、n は比較器 4 が出力するレベルの数、 x_k は比較器 4 の下から数えて k 番目の出力レベルである。このような伝達関数により、図 4 のデジタルフィルタ 8 は、比較器 4 の出力信号がより小さい方向に変化した際には -1 を、比較器 4 の出力信号がより大きい方向に変化した際には 1 を、それ以外の場合には 0 を出力する。

【 0 0 3 7 】

図 4 の信号生成装置では、比較器 4 の出力信号をデジタルフィルタ 8 に入力することで、第 1 実施形態の比較器 4 における出力信号の変化を外部に出力する端子（変化出力端子）からの出力を遅延させたものと同じ信号を得ることができる。よって、図 4 の信号生成装置の出力信号は、第 1 実施形態のものと同じものとなる。

10

20

30

40

50

【 0 0 3 8 】

〔 効果の説明 〕

これにより、第 1 実施形態の信号生成装置とは一部異なる構成を採用しつつ、第 1 実施形態の信号生成装置と同等の効果を得ることができる。

【 0 0 3 9 】

すなわち、第 1 実施形態の信号生成装置と同様に、増幅器 6 の増幅率 R が大きいほど、積分器 3 の出力が再度変化の引き金となった比較基準値に到達するまでの時間が長くなり、パルス幅が広くなる。また、増幅器 6 の増幅率 R が 0 の場合はパルス幅制限されていない既存のデルタシグマ変調と同じになり、最小パルス幅は 1 となる。増幅器 6 の増幅率 R の効果により、最小パルス幅が長くなり、スイッチング回数は減少する。結果として、信号生成装置の出力信号の単位時間あたりのスイッチング回数が少なくなる。このスイッチング回数を削減できたことによって、図 4 の信号生成装置においても電力効率の改善を実現できる。

10

【 0 0 4 0 】

〔 第 3 実施形態 〕

次に、第 3 実施形態の信号生成装置について、説明する。本実施形態は、第 1 実施形態の信号生成装置を含んで信号生成装置を構成したものである。図 5 は、第 3 実施形態の信号生成装置を説明するためのブロック図である。第 1 実施形態の信号生成装置と同様な構成に対しては、同じ参照番号を付すことにより、その詳細な説明を省略することとする。

【 0 0 4 1 】

図 5 の信号生成装置は、デルタシグマ変調部 1 0、スイッチング増幅器 1 1、及び周波数フィルタ 1 2 を含む。図 5 の信号生成装置のデルタシグマ変調部 1 0 は、第 1 実施形態として説明した図 2 の信号生成装置と同じ構成を採用したものである。なお、前述の通り、第 2 実施形態として説明した図 4 の信号生成装置は第 1 実施形態の信号生成装置と等価な出力信号を得られるので、図 5 の信号生成装置のデルタシグマ変調部 1 0 として、図 4 の信号生成装置を用いてもよい。

20

【 0 0 4 2 】

図 5 の信号生成装置の入力信号としてのアナログ入力信号は、デルタシグマ変調部 1 0 によりデジタル信号に変換される。得られたデジタル信号は、スイッチング増幅器 1 1 に入力され、増幅される。スイッチング増幅器 1 1 からの出力は、周波数フィルタ 1 2 に入力される。周波数フィルタ 1 2 によって所望周波数帯域のみが切り出され、出力信号として出力される。

30

〔 効果の説明 〕

スイッチング増幅器の電力損失の大部分は、出力値の変化の際に生じるスイッチングロスによって生じる。スイッチングロスは、スイッチング増幅器の単位時間あたりのスイッチング回数に比例する。

【 0 0 4 3 】

本実施形態の信号生成装置では、第 1 実施形態の信号生成装置を用いて入力信号をデルタシグマ変換することにより、信号対雑音比を保ったまま、スイッチング回数を低減させたデジタル信号を得ることができる。このデジタル信号をスイッチング増幅器の入力として用いることで、スイッチング増幅器のスイッチングロスを低減することができ、電力効率を改善することができる。

40

【 0 0 4 4 】

〔 第 4 実施形態 〕

次に、第 4 実施形態の信号生成装置について、説明する。本実施形態は、第 3 実施形態の信号生成装置の変形例であり、第 3 実施形態の信号生成装置と同様に、第 1 実施形態の信号生成装置を含んで信号生成装置を構成したものである。図 6 は、第 4 実施形態の信号生成装置を説明するためのブロック図である。第 1 実施形態の信号生成装置や第 3 実施形態の信号生成装置と同様な構成に対しては、同じ参照番号を付すことにより、その詳細な説明を省略することとする。

50

【 0 0 4 5 】

図 6 の信号生成装置は、第 3 実施形態の信号生成装置と同様に、デルタシグマ変調部 10、スイッチング増幅器 11、及び周波数フィルタ 12 を含む。さらに図 6 の信号生成装置は、入力信号を増幅して出力する増幅器 13 を含む。

【 0 0 4 6 】

図 6 の信号生成装置では、入力信号が増幅器 13 により増幅され、出力信号として出力される。また、デルタシグマ変調部 10 への入力は、入力信号の包絡線信号となっている。周波数フィルタからの出力は増幅器 13 へ変調電源として入力される。図 6 の信号生成装置では、包絡線信号がデルタシグマ変調部 10 に入力され、デルタシグマ変調部 10 によりデジタル信号に変換される。さらに、第 3 実施形態と同様に、得られたデジタル信号はスイッチング増幅器 11 に入力され、増幅される。スイッチング増幅器 11 からの出力は、周波数フィルタ 12 に入力される。周波数フィルタ 12 によって所望周波数帯域のみが切り出され、出力信号として出力される。そして本実施形態では、周波数フィルタ 12 の出力が増幅器 13 の電源として用いられる。

【 0 0 4 7 】

〔効果の説明〕

本実施形態の信号生成装置では、第 3 実施形態の信号生成装置と同様に、第 1 実施形態の信号生成装置を用いて入力信号をデルタシグマ変換することにより、信号対雑音比を保ったまま、スイッチング回数を低減させたデジタル信号を得ることができる。このデジタル信号をスイッチング増幅器の入力として用いることで、スイッチング増幅器のスイッチングロス低減ことができ、電力効率を改善することができる。

【 0 0 4 8 】

さらに本実施形態の信号生成装置では、第 3 実施形態の信号生成装置を増幅器 13 の電源変調器として用いることで、電力効率の高い増幅器を提供することができる。

【 0 0 4 9 】

〔第 5 実施形態〕

上述した第 1 実施形態や第 2 実施形態などのさらなる変形例として、第 5 実施形態の信号生成装置を説明する。図 7 は第 5 実施形態の信号生成装置を説明するためのブロック図である。第 1 実施形態の信号生成装置と同様な構成に対しては、同じ参照番号を付すことにより、その詳細な説明を省略することとする。

【 0 0 5 0 】

図 7 の信号生成装置は、第 1 実施形態の信号生成装置と同様に、差分器 1、積分器 3、及び遅延回路 5 を含む。図 7 の信号生成装置では、第 1 実施形態の信号生成装置と比較すると、増幅器 6 と遅延回路 7 がなくなっている。また、比較器 4 が幅 R のヒステリシスを持つ比較器 9 に置き換えられている。

【 0 0 5 1 】

図 8 は、図 7 の信号生成装置の信号を示す波形図である。図 8 は、信号生成装置へのアナログ入力信号として定数を入力している状態で、比較器 9 の出力レベルが -1 と 1 の 2 値の場合の、積分器 3 の出力 A、及び比較器 9 の出力と比較器 9 の基準値を示したものである。

【 0 0 5 2 】

積分器 3 からの出力が比較器 9 の基準値をまたぐと、比較器 9 のヒステリシス効果により比較器 9 の基準値は幅 R だけ比較器 9 の入力値から離れる方向に変化する。これは、比較器 9 の基準値を固定して考えた場合に、積分器 3 の出力値が幅 R だけ比較器 9 の基準値から離れる方向に変化することを意味する。したがって、比較器 9 からの出力は、第 1 実施形態の比較器 4 からの出力と同じものとなる。

【 0 0 5 3 】

また、ヒステリシスの幅 R を比較器 9 の出力レベルの差よりも大きく取ることによって、比較器の出力パルス幅の最小値をヒステリシスがない場合に比べてより大きくすることができる。

10

20

30

40

50

【0054】

〔効果の説明〕

本実施形態の信号生成装置では、第1実施形態の信号生成装置よりも簡易な構成としつつ、第1実施形態の信号生成装置と同等の電力効率の改善効果が期待される。

【0055】

〔その他の実施形態〕

上述した第1乃至第5実施形態の信号生成装置を含んで、無線送信機を構成することができる。図11は、その他の実施形態の無線送信機を示す概略図である。図11の無線送信機20は、無線信号を生成する信号生成装置21と、信号生成装置21で生成された無線信号を送信するアンテナ22と、を含む。

10

【0056】

第1乃至第5実施形態の信号生成装置を、このような無線送信機の最終段増幅器に用いて無線送信機を構成することができる。この無線送信機は、第1乃至第5実施形態の信号生成装置を用いたことにより、電力効率を向上させることができる。

【実施例】

【0057】

図9は、第1実施形態の信号生成装置と背景技術のデルタシグマ変調方式について、245.76Mbpsサンプリングの帯域20MHz LTE信号の包絡線信号を入力した際の、単位時間当たりのスイッチング回数に対する信号対雑音比（直流成分を除く）を数値計算した結果を示すグラフである。

20

【0058】

図9では、第1実施形態による出力信号（実施形態のデルタシグマ変調）、特許文献1の図5のような回路方式による出力信号（最小パルス幅制限デルタシグマ変調）、及び一般的なデルタシグマ変調（デルタシグマ変調）について、最小パルス幅が1、2、4、8の場合をプロットしている。なお、オーバーサンプリングレートは8とした。最小パルス幅が1の場合、どの方式も同じ信号を生成する。

【0059】

計算の結果、第1実施形態の方式では、得られる信号対雑音比を固定してみた場合、より少ないスイッチング回数の信号を生成できることがわかった。また、最小パルス幅を固定してみた場合でも、より少ないスイッチング回数でより信号対雑音比が高い信号を得ることができることがわかった。

30

【0060】

図10は、第1実施形態による出力信号（実施形態のデルタシグマ変調）と、特許文献1の図5のような回路方式による出力信号（最小パルス幅制限デルタシグマ変調）とについて、パルス幅の出現回数の分布を数値計算した結果を示している。パルス幅の最小値は、共に8とした。

【0061】

計算の結果、第1実施形態の方式は特許文献1の図5のような回路方式による出力信号（最小パルス幅制限デルタシグマ変調）に比べ、より幅の広いパルスが多く分布していることがわかった。背景技術の方式に比べパルス幅の広い信号をより多く出力するので、時間応答性の悪いデバイスを用いた場合であっても性能劣化を起こしにくいことがわかった。

40

【0062】

以上、本発明の好ましい実施形態や実施例を説明したが、本発明はこれに限定されるものではない。特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本発明の範囲に含まれることはいうまでもない。

【0063】

上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

（付記1）出力信号を遅延させる遅延手段と、入力信号と前記遅延手段からの信号との差

50

分を取る差分手段と、加算手段と、前記加算手段からの出力を積分する積分手段と、前記積分手段からの出力を離散化して前記出力信号を生成する比較手段と、前記比較手段からの前記出力信号の変化状態を示す信号を前記加算手段に供給して、前記加算手段で前記差分手段からの信号と前記加算手段で加算させる帰還手段と、を含む信号生成装置。

(付記2) 前記比較手段の出力値が変化した際に、前記積分手段の積分値と比較手段の比較基準値の差が一定値分だけ大きくなるよう、前記積分手段の積分値又は前記比較手段の比較基準値の値を変更する、付記1に記載の信号生成装置。

(付記3) 前記比較手段の出力値が変化した際に、前記積分手段の積分値と前記比較手段の比較基準値の差が一定値分だけ大きくなるよう値を加算する、付記1に記載の信号生成装置。

(付記4) 前記帰還手段は、前記比較手段からの前記出力信号の変化状態を示す信号を増幅する増幅器を含む、付記1乃至3のいずれか一つに記載の信号生成装置。

(付記5) 前記帰還手段は、前記比較手段の前記出力信号を元に、前記比較手段からの前記出力信号の変化状態を示す信号を生成するフィルタと、前記フィルタの出力を増幅して前記加算手段に供給する増幅器を含む、付記1乃至3のいずれか一つに記載の信号生成装置。

(付記6) 前記比較手段の出力信号を増幅するスイッチング増幅器をさらに含む、付記1乃至5のいずれか一つに記載の信号生成装置。

(付記7) 前記スイッチング増幅器の出力を入力して、特定周波数信号を出力する周波数フィルタをさらに含む、付記6に記載の信号生成装置。

(付記8) 前記スイッチング増幅器の出力を入力して、特定周波数信号を出力する周波数フィルタをさらに含む、付記6に記載の信号生成装置。

(付記9) 前記周波数フィルタからの出力が電源に供給される別の増幅器をさらに含む、付記8に記載の信号生成装置。

(付記10) 無線信号を生成する、付記1乃至9のいずれか一つに記載の信号生成装置と、

前記信号生成装置が生成した前記無線信号を送信するアンテナと、を有する無線送信機。

(付記11) 遅延手段、差分手段、加算手段、積分手段、比較手段、及び帰還手段を含む信号生成装置の信号生成方法であって、

前記遅延手段が、出力信号を遅延させ、

前記差分手段が、入力信号と前記遅延手段からの信号との差分を取り、

前記積分手段が、前記加算手段からの出力を積分し、

前記比較手段が、前記積分手段からの出力を離散化して前記出力信号を生成し、

前記帰還手段が、前記比較手段からの前記出力信号の変化状態を示す信号を前記加算手段に供給して、前記差分手段からの信号と前記加算手段で加算させる、信号生成方法。

【産業上の利用可能性】

【0064】

本発明は、無線基地局及び端末の最終段増幅器といった用途に適用できる。

【符号の説明】

【0065】

- 1 差分器
- 2 加算器
- 3 積分器
- 4 比較器
- 5 遅延回路
- 6 増幅器
- 7 遅延回路
- 8 デジタルフィルタ
- 9 比較器
- 10 デルタシグマ変調部

10

20

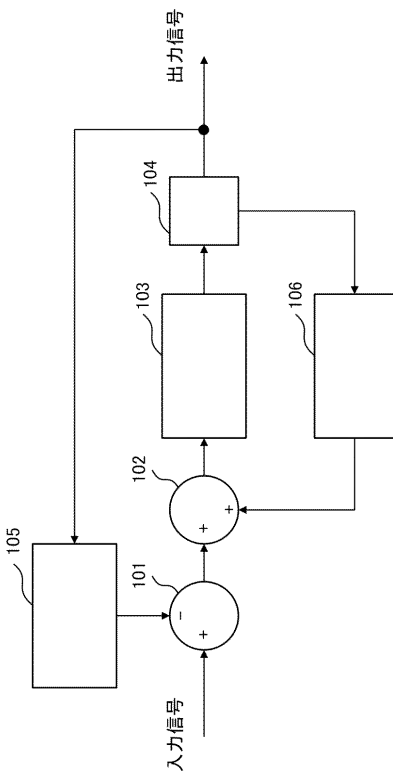
30

40

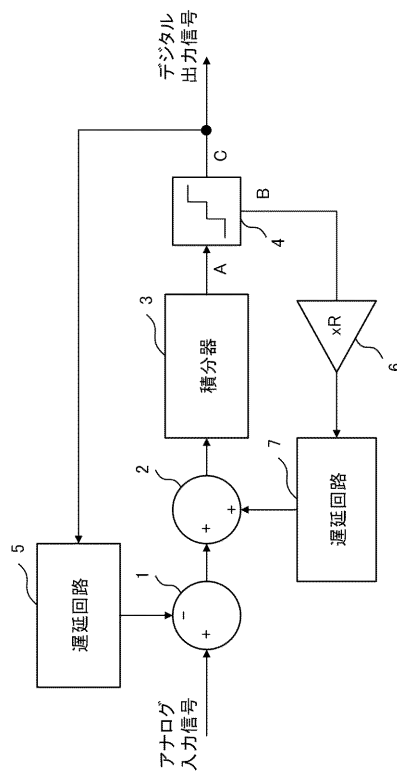
50

- 1 1 スイッチング増幅器
- 1 2 周波数フィルタ
- 1 3 増幅器

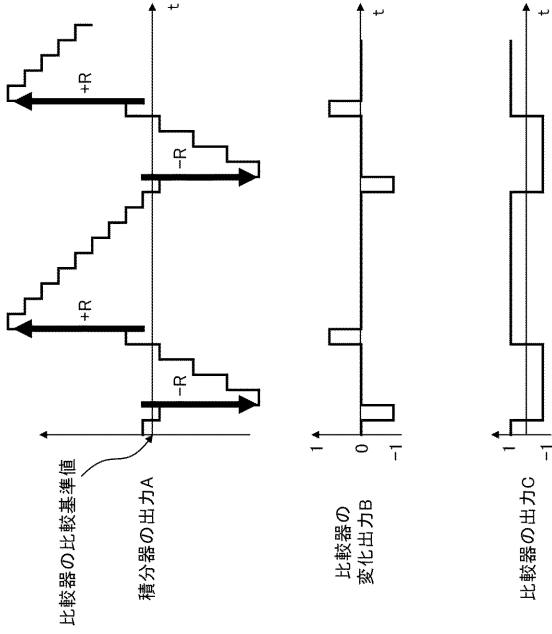
【 図 1 】



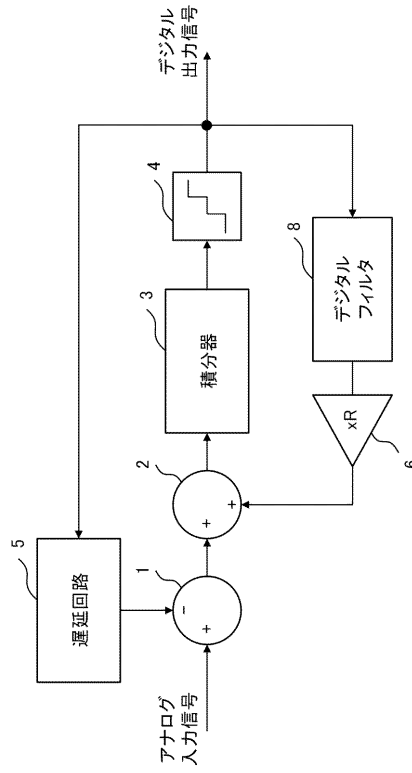
【 図 2 】



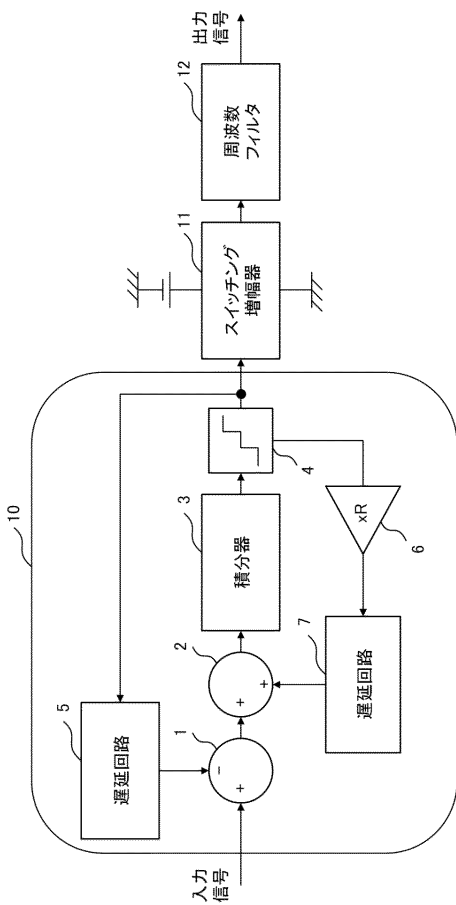
【図3】



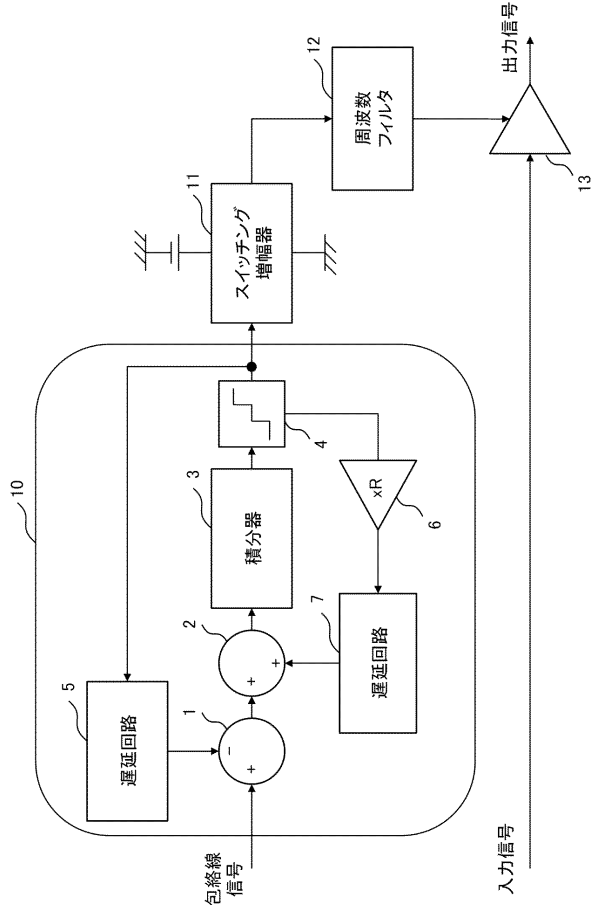
【図4】



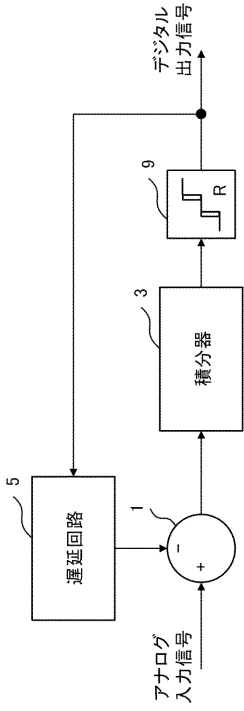
【図5】



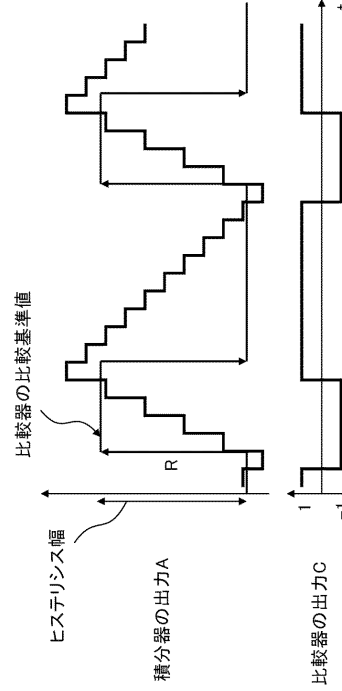
【図6】



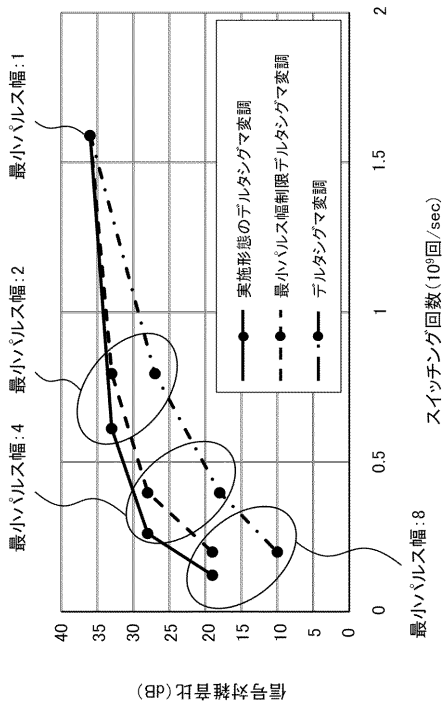
【 図 7 】



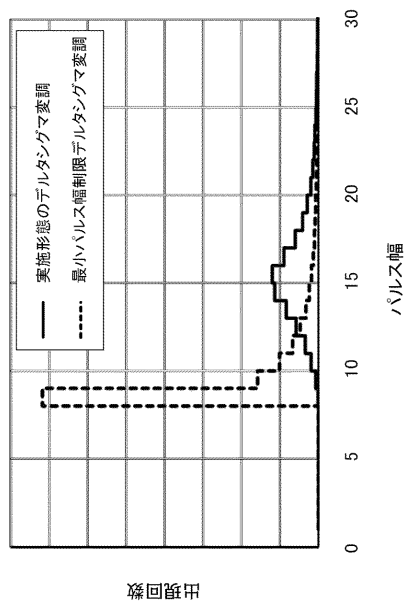
【 図 8 】



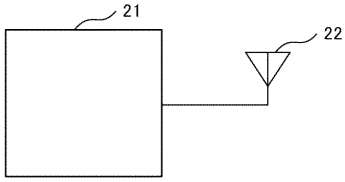
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(72)発明者 國弘 和明

東京都港区芝五丁目7番1号

日本電気株式会社内

Fターム(参考) 5J064 AA01 BB07 BC08 BC10 BC14 BC16

5J500 AA01 AA41 AA66 AC36 AC41 AF17 AH39 AK15 AK17 AK26

AK31 AK41 AK49 AM13 AS14 AT01 WU04