



(19) **RU** <sup>(11)</sup> **2 201 617** <sup>(13)</sup> **C2**  
 (51) МПК<sup>7</sup> **G 06 F 13/00**

РОССИЙСКОЕ АГЕНТСТВО  
 ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

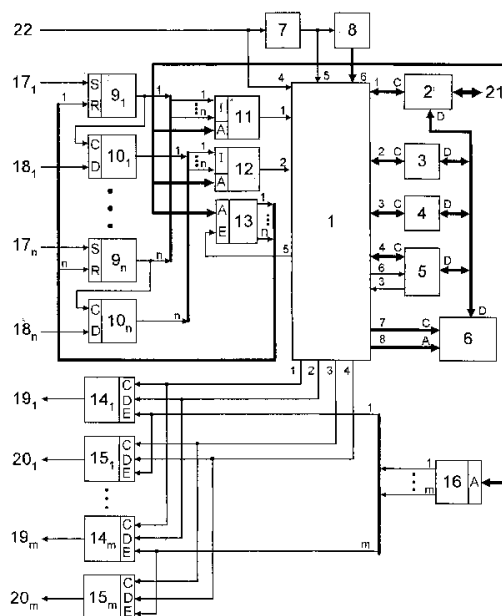
(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 2000117015/09 , 26.06.2000  
 (24) Дата начала действия патента: 26.06.2000  
 (46) Дата публикации: 27.03.2003  
 (56) Ссылки: RU 95100258 A1, 10.11.1996. RU 2018942 C1, 30.08.1994. RU 2020571 C1, 27.12.1998. US 5533201 A, 02.07.1996. US 5233698 A, 03.08.1993.  
 (98) Адрес для переписки:  
 191014, Санкт-Петербург, ул.Госпитальная, 3,  
 ООО "Интеринтеллект-сервис", пат.пов.  
 В.В.Туренко, рег.№ 82

(71) Заявитель:  
 Общество с ограниченной ответственностью  
 "Авионика-Вист"  
 (72) Изобретатель: Елманов О.М.  
 (73) Патентообладатель:  
 Общество с ограниченной ответственностью  
 "Авионика-Вист"

(54) МНОГОКАНАЛЬНОЕ УСТРОЙСТВО СОПРЯЖЕНИЯ С ИНТЕРФЕЙСОМ ПОСЛЕДОВАТЕЛЬНОГО КОДА

(57) Изобретение относится к вычислительной технике и может быть использовано в вычислительных системах различного назначения для сопряжения с интерфейсом последовательного кода в распределенных вычислительных системах. Техническим результатом является создание многоканального устройства, обеспечение сопряжения с интерфейсом последовательного кода в распределенных вычислительных системах. Сущность изобретения заключается в том, что многоканальное устройство сопряжения с интерфейсом последовательного кода содержит блок управления, блок сопряжения с внешней интерфейсной магистралью, регистр данных, регистр статуса, сдвиговой регистр, запоминающее устройство, делитель частоты, счетчик номера канала, первый мультиплексор, второй мультиплексор, первый дешифратор, второй дешифратор. 1 ил.



RU 2 201 617 C2

RU 2 201 617 C2



(19) **RU** <sup>(11)</sup> **2 201 617** <sup>(13)</sup> **C2**  
 (51) Int. Cl.<sup>7</sup> **G 06 F 13/00**

RUSSIAN AGENCY  
 FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

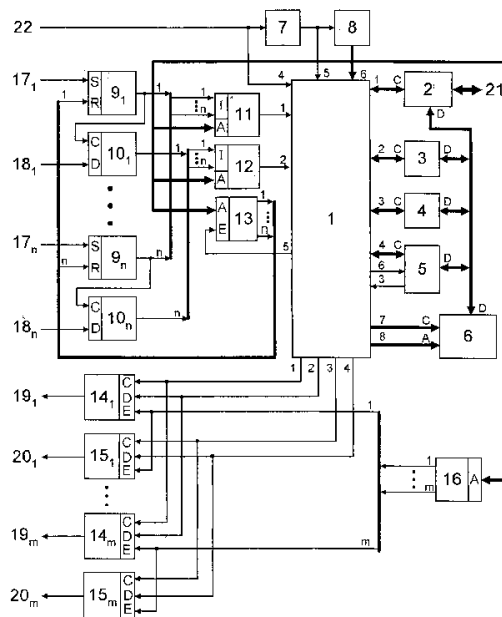
(21), (22) Application: 2000117015/09 , 26.06.2000  
 (24) Effective date for property rights: 26.06.2000  
 (46) Date of publication: 27.03.2003  
 (98) Mail address:  
 191014, Sankt-Peterburg, ul.Gospital'naja, 3,  
 OOO "Interintellekt-servis", pat.pov.  
 V.V.Turenko, reg.№ 82

(71) Applicant:  
 Obshchestvo s ogranichennoj otvetstvenost'ju  
 "Avionika-Vist"  
 (72) Inventor: Elmanov O.M.  
 (73) Proprietor:  
 Obshchestvo s ogranichennoj otvetstvenost'ju  
 "Avionika-Vist"

(54) **MULTIPLEX BRIDGE FOR SERIAL-CODE INTERFACE**

(57) Abstract:

FIELD: computer engineering. SUBSTANCE: device may be used for serial code interface in multipurpose distributed computer systems. Multiplex bridge for of serial code interface has control unit, interface unit for external main, data register, status register, shift register, memory device, frequency scaler, channel number counter, first and second multiplexers, and also first and second decoders. EFFECT: provision for matching multiplex bridge with serial code interface in distributed computer systems. 1 cl, 1 dwg



RU 2 201 617 C2

RU 2 201 617 C2

Изобретение относится к вычислительной технике и может быть использовано в вычислительных системах различного назначения для сопряжения с интерфейсом последовательного кода в распределенных вычислительных системах.

В результате проведенных патентно-информационных исследований аналогов предлагаемого изобретения не обнаружено.

Задачей изобретения является создание многоканального устройства, обеспечивающего сопряжение с интерфейсом последовательного кода в распределенных вычислительных системах.

Сущность изобретения заключается в том, что многоканальное устройство сопряжения с интерфейсом последовательного кода содержит блок управления, блок сопряжения с внешней интерфейсной магистралью, регистр данных, регистр статуса, сдвиговый регистр, запоминающее устройство, делитель частоты, счетчик номера канала, первый мультиплексор, второй мультиплексор, первый дешифратор, второй дешифратор, при этом каждый из  $n$  входных каналов содержит RS-триггер и D-триггер, каждый из  $m$  выходных каналов содержит первый D-триггер и второй D-триггер, S-вход RS-триггера каждого из  $n$  входных каналов является входом синхроимпульсов соответствующего входного канала, вход данных D-триггера каждого из  $n$  входных каналов является входом данных соответствующего входного канала, выход RS-триггера каждого из  $n$  входных каналов соединен с соответствующим информационным входом первого мультиплексора, а также соединен с входом синхронизации D-триггера своего входного канала, выход D-триггера каждого из  $n$  входных каналов соединен с соответствующим информационным входом второго мультиплексора, R-вход RS-триггера каждого из  $n$  входных каналов соединен с соответствующим выходом первого дешифратора, вход разрешения работы первого дешифратора соединен с пятым выходом блока управления, выход первого мультиплексора соединен с первым входом блока управления, выход второго мультиплексора соединен с вторым входом блока управления, адресные входы первого мультиплексора, второго мультиплексора, первого дешифратора, второго дешифратора и шестой вход блока управления соединены с выходом счетчика номера канала, входы синхронизации первых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с первым выходом блока управления, входы данных первых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с вторым выходом блока управления, входы синхронизации вторых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с третьим выходом блока управления, входы данных вторых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с четвертым выходом блока управления, вход разрешения работы первого D-триггера каждого из  $m$  выходных каналов и вход разрешения работы второго D-триггера данного выходного канала соединены между собой и с соответствующим выходом второго дешифратора, выход первого триггера каждого из  $m$  выходных каналов является

выходом синхроимпульсов соответствующего выходного канала, выход второго D-триггера каждого из  $m$  выходных каналов является выходом данных соответствующего выходного канала, первый вход-выход блока управления соединен с входом-выходом управления блока сопряжения с внешней интерфейсной магистралью, интерфейсный вход-выход которого является входом-выходом внешней интерфейсной магистрали, второй вход-выход блока управления соединен с входом-выходом управления регистра данных, третий вход-выход блока управления соединен с входом-выходом управления регистра статуса, четвертый вход-выход блока управления соединен с входом-выходом управления сдвигового регистра, пятый выход блока управления соединен с входом сдвигового регистра, третий вход блока управления соединен с выходом сдвигового регистра, входы-выходы данных блока сопряжения с внешней интерфейсной магистралью, регистра данных, регистра статуса, сдвигового регистра и запоминающего устройства соединены между собой, седьмой выход блока управления соединен с входом управления запоминающего устройства, восьмой выход блока управления соединен с входом адреса запоминающего устройства, выход делителя частоты соединен с входом счетчика номера канала и с пятым входом блока управления, вход делителя частоты и четвертый вход блока управления соединены между собой и образуют вход тактовой частоты.

Сущность изобретения поясняется чертежом, на котором обозначены:

- 1 - блок управления;
- 2 - блок сопряжения с внешней интерфейсной магистралью;
- 3 - регистр данных;
- 4 - регистр статуса;
- 5 - сдвиговый регистр;
- 6 - запоминающее устройство;
- 7 - делитель частоты;
- 8 - счетчик номеров каналов;
- 9<sub>1</sub> - RS-триггер 1-го входного канала;
- 9<sub>n</sub> - RS-триггер n-го входного канала;
- 10<sub>1</sub> - D-триггер 1-го входного канала;
- 10<sub>n</sub> - D-триггер n-го входного канала;
- 11 - первый мультиплексор;
- 12 - второй мультиплексор;
- 13 - первый дешифратор;
- 14<sub>1</sub> - первый D-триггер 1-го выходного канала;
- 14<sub>m</sub> - первый D-триггер m-го выходного канала;
- 15<sub>1</sub> - второй D-триггер 1-го выходного канала;
- 15<sub>m</sub> - второй D-триггер m-го выходного канала;
- 16 - второй дешифратор;
- 17<sub>1</sub> - вход синхроимпульсов 1-го входного канала;
- 17<sub>n</sub> - вход синхроимпульсов n-го входного канала;
- 18<sub>1</sub> - вход данных 1-го входного канала;
- 18<sub>n</sub> - вход данных n-го входного канала;
- 19<sub>1</sub> - выход синхроимпульсов 1-го выходного канала;
- 19<sub>m</sub> - выход синхроимпульсов m-го выходного канала;

20<sub>1</sub> - выход данных 1-го выходного канала;  
 20<sub>m</sub> - выход данных m-го выходного канала;  
 21 - вход-выход внешней интерфейсной магистрали;  
 22 - вход тактовой частоты.

Каждый из n входных каналов содержит RS-триггер и D-триггер. Каждый из m выходных каналов содержит первый D-триггер и второй D-триггер. S-вход RS-триггера 9<sub>1</sub>...9<sub>n</sub> каждого из n входных каналов является входом 17<sub>1</sub>...17<sub>n</sub> синхроимпульсов соответствующего входного канала. Вход данных (D) D-триггера 10<sub>1</sub>...10<sub>n</sub> каждого из n входных каналов является входом 18<sub>1</sub>...18<sub>n</sub> данных соответствующего входного канала. Выход RS-триггера 9<sub>1</sub>...9<sub>n</sub> каждого из n входных каналов соединен с соответствующим информационным (I) входом первого мультиплексора 11, а также соединен с входом синхронизации (C) D-триггера 10<sub>1</sub>...10<sub>n</sub> своего входного канала. Выход D-триггера 10<sub>1</sub>...10<sub>n</sub> каждого из n входных каналов соединен с соответствующим информационным (I) входом второго мультиплексора 12. R-вход RS-триггера 9<sub>1</sub>...9<sub>n</sub> каждого из n входных каналов соединен с соответствующим выходом первого дешифратора 13. Вход разрешения работы (E) первого дешифратора 13 соединен с пятым выходом блока 1 управления. Выход первого мультиплексора 11 соединен с первым входом блока 1 управления. Выход второго мультиплексора 12 соединен с вторым входом блока 1 управления. Адресные (A) входы первого мультиплексора 11, второго мультиплексора 12, первого дешифратора 13, второго дешифратора 16 и шестой вход блока 1 управления соединены с выходом счетчика 8 номера канала. Входы синхронизации (C) первых D-триггеров 14<sub>1</sub>...14<sub>m</sub> каждого из m выходных каналов соединены между собой и с первым выходом блока 1 управления. Входы данных (D) первых D-триггеров 14<sub>1</sub>...14<sub>m</sub> каждого из m выходных каналов соединены между собой и с вторым выходом блока 1 управления. Входы синхронизации (C) вторых D-триггеров 15<sub>1</sub>...15<sub>m</sub> каждого из m выходных каналов соединены между собой и с третьим выходом блока 1 управления. Входы данных (D) вторых D-триггеров 15<sub>1</sub>...15<sub>m</sub> каждого из m выходных каналов соединены между собой и с четвертым выходом блока 1 управления. Вход разрешения работы (E) первого D-триггера 14<sub>1</sub>...14<sub>m</sub> каждого из m выходных каналов и вход разрешения работы (E) второго D-триггера 15<sub>1</sub>...15<sub>m</sub> данного выходного канала соединены между собой и с соответствующим выходом второго дешифратора 16. Выход первого триггера 14<sub>1</sub>...14<sub>m</sub> каждого из m выходных каналов является выходом 19<sub>1</sub>...19<sub>m</sub> синхроимпульсов соответствующего выходного канала. Выход второго D-триггера 15<sub>1</sub>...15<sub>m</sub> каждого из m выходных каналов является выходом 20<sub>1</sub>...20<sub>m</sub> данных соответствующего выходного канала. Первый вход-выход блока 1 управления соединен с входом-выходом управления (C) блока 2 сопряжения с внешней интерфейсной магистралью,

5  
10  
15  
20  
25  
30  
35  
40  
45  
50  
55  
60

интерфейсный вход-выход которого является входом-выходом 21 внешней интерфейсной магистрали. Второй вход-выход блока 1 управления соединен с входом-выходом управления (C) регистра 3 данных. Третий вход-выход блока 1 управления соединен с входом-выходом управления (C) регистра 4 статуса. Четвертый вход-выход блока 1 управления соединен с входом-выходом управления (C) сдвигового регистра 5. Шестой выход блока 1 управления соединен с входом сдвигового регистра 5. Третий вход блока 1 управления соединен с выходом сдвигового регистра 5. Входы-выходы данных блока 2 сопряжения с внешней интерфейсной магистралью, регистра 3 данных, регистра 4 статуса, сдвигового регистра 5 и запоминающего устройства 6 соединены между собой. Седьмой выход блока 1 управления соединен с входом управления (C) запоминающего устройства 6. Восьмой выход блока 1 управления соединен с входом адреса (A) запоминающего устройства 6. Выход делителя 7 частоты соединен с входом счетчика 8 номера канала и с пятым входом блока 1 управления. Вход делителя 7 частоты и четвертый вход блока 1 управления соединены между собой и образуют вход 22 тактовой частоты.

Все входящие в устройство элементы и блоки широко известны или могут быть построены по известным правилам.

Многоканальное устройство сопряжения с интерфейсом последовательного кода осуществляет прием последовательных кодов по n входным каналам интерфейса последовательного кода и передачу данных по m выходным каналам интерфейса последовательного кода в соответствии с ГОСТ 18977.79.

Для каждого из n входных каналов интерфейса последовательного кода и для каждого из m выходных каналов интерфейса последовательного кода в запоминающем устройстве 6 отведены три ячейки, предназначенные для хранения значений регистра 3 данных, регистра 4 статуса и сдвигового регистра 5, соответствующих данному каналу. При приеме данных по одному из входных или передаче данных по одному из выходных каналов, значения из ячеек запоминающего устройства 6, соответствующих регистру 3 данных, регистру 4 статуса и сдвиговому регистру 5 данного канала переписываются непосредственно в регистр 3 данных, регистр 4 статуса и сдвиговый регистр 5. По окончании приема или передачи бита данных значения из регистра 3 данных, регистра 4 статуса и сдвигового регистра 5 переписываются обратно в соответствующие ячейки запоминающего устройства 6.

Данные могут быть прочитаны из запоминающего устройства 6 или записаны в запоминающее устройство 6 устройствами, подключенными к внешней интерфейсной магистрали (к входу-выходу 21 внешней интерфейсной магистрали). Доступ к запоминающему устройству 6 осуществляется при помощи блока 2 сопряжения с внешней интерфейсной магистралью.

За время

$$T_a = \frac{1}{F_a}$$

(минимальное время между поступлением двух последовательных битов данных по интерфейсу последовательного кода), где  $F_a$  - максимальная рабочая частота каналов интерфейса последовательного кода, блок 1 управления осуществляет опрос всех входных каналов (проверяет состояние RS-триггеров  $9_1...9_n$  всех входных каналов и D-триггеров  $10_1...10_n$  всех входных каналов) и запись битов данных на все выходные каналы (установку первых и вторых D-триггеров  $14_1...14_m$  и  $15_1...15_m$  всех выходных каналов).

Это позволяет использовать только один регистр данных, один регистр статуса и один сдвиговый регистр для всех  $n$  входных и  $m$  выходных каналов.

На вход делителя 7 частоты через вход 22 тактовой частоты поступают сигнал тактовой частоты. Тактовая частота делителем 7 частоты делится до частоты  $f = 2 \cdot F_a \cdot (n+m)$ , где  $F_a$  - максимальная рабочая частота каналов интерфейса последовательного кода,  $n$  - количество входных каналов,  $m$  - количество выходных каналов.

За время

$$T = \frac{1}{f} = \frac{1}{2 \cdot F_a \cdot (n+m)}$$

(время, через которое изменяется код канала на выходе счетчика 8 номера канала) блок 1 управления производит опрос одного из  $n$  входных каналов интерфейса последовательного кода (проверку состояния RS-триггера  $9_1...9_n$  этого входного канала и D-триггера  $10_1...10_n$  этого входного канала), производит запись очередного бита данных в один из  $m$  выходных каналов (производит установку первого D-триггера  $14_1...14_m$  и второго D-триггера  $15_1...15_m$  этого выходного канала), а также под управлением блока 1 управления и при помощи блока 2 сопряжения с внешней интерфейсной магистралью осуществляется обмен данными по внешней интерфейсной магистрали через вход-выход 21 внешней интерфейсной магистрали.

Многоканальное устройство сопряжения с интерфейсом последовательного кода работает следующим образом.

Прием битов данных по входным каналам интерфейса последовательного кода производится при помощи RS-триггеров  $9_1...9_n$  входных каналов и D-триггеров  $10_1...10_n$  входных каналов независимо от блока 1 управления.

По каждому из входных каналов последовательного кода в многоканальное устройство сопряжения поступают два сигнала: синхриимпульсы (через входы  $17_1...17_n$  синхриимпульсов каждого из  $n$  входных каналов) и коды данных (через входы  $18_1...18_n$  данных каждого из  $n$  входных каналов).

В исходном состоянии все RS-триггеры  $9_1...9_n$  всех  $n$  входных каналов находятся в сброшенном состоянии. Следовательно, на вход синхриимпульсов (С) всех D-триггеров  $10_1...10_n$  всех входных каналов подан сигнал логического нуля, и прием данных с входов  $18_1...18_n$  данных входных каналов в D-триггеры  $10_1...10_n$  входных каналов не производится.

При поступлении синхриимпульса на один из входов  $17_1...17_n$  одного из  $n$  входных

каналов, этот синхриимпульс поступает на S-вход RS-триггера  $9_1...9_n$  данного входного канала и переводит этот триггер во взведенное состояние. На выходе RS-триггера  $9_1...9_n$  этого входного канала возникает сигнал логической единицы, который поступает на вход синхриимпульсов D-триггера  $10_1...10_n$  этого входного канала, что разрешает прием данных с соответствующего входа  $18_1...18_n$  данных данного входного канала, и бит данных записывается в D-триггер  $10_1...10_n$  этого входного канала.

В исходном состоянии на выходе счетчика 8 номера канала находится код первого канала.

Этот код канала поступает на адресные входы первого мультиплексора 11, второго мультиплексора 12, первого дешифратора 13, второго дешифратора 16 и на шестой вход блока 1 управления. Первый мультиплексор 11 подключает к первому входу блока 1 выход RS-триггера  $9_1$  первого входного канала.

Второй мультиплексор 12 подключает ко второму входу блока 1 управления выход D-триггера  $10_1$  первого входного канала. Блок 1 управления выдает последовательность сигналов управления через свои второй, третий, четвертый входы-выходы, седьмой выход и сигналы адреса через свой восьмой выход на регистр 3 данных, регистр 4 статуса, сдвиговый регистр 5 и запоминающее устройство 6, которая обеспечивает чтение значений регистра 3 данных, регистра 4 статуса, сдвигового регистра 5 из ячеек запоминающего устройства 6, соответствующих первому входному каналу.

Затем, если на первый вход блока 1 управления подан сигнал логической единицы, что означает, что по первому каналу принят бит данных (получен синхриимпульс, который перевел RS-триггер  $9_1$  первого входного канала во взведенное состояние и бит данных был записан в D-триггер  $10_1$  первого выходного канала), то блок 1 управления передает принятый бит в сдвиговый регистр 5 (этот бит данных передается в сдвиговый регистр 5 с выхода D-триггера  $10_1$  первого входного канала через второй мультиплексор 12, второй вход блока 1 управления, шестой выход блока 1 управления), а также осуществляет изменение данных, хранящихся в регистре 4 статуса, и, в случае окончания приема правильного слова данных, переписывает принятое слово из сдвигового регистра 5 в регистр 3 данных и устанавливает в регистре 4 статуса признак приема правильного слова, а также при этом блок 1 управления через свой первый вход-выход передает сигнал о приеме правильного слова данных на блок 2 сопряжения с внешней интерфейсной магистралью, который формирует на внешней интерфейсной магистрали сигнал запроса прерывания. После этого блок 1 управления выдает последовательность сигналов управления через свои второй, третий, четвертый входы-выходы, седьмой выход и сигналы адреса через свой восьмой выход на регистр 3 данных, регистр 4 статуса, сдвиговый регистр 5 и запоминающее устройство 6, которая обеспечивает запись значений регистра 3 данных, регистра 4 статуса, сдвигового регистра 5 обратно в

соответствующие первому входному каналу ячейки запоминающего устройства 6.

Затем блок 1 управления через свой пятый выход выдает сигнал, который разрешает работу первого дешифратора 13. Первый дешифратор 13 выдает на свой первый выход сигнал логической единицы, который поступает на R-вход RS-триггера 9<sub>1</sub> первого входного канала и переводит этот триггер в сброшенное состояние. Таким образом, первый входной канал вновь готов к приему следующего бита данных.

Затем под управлением блока 1 управления происходит запись данных в регистр 3 данных, регистр 4 статуса, сдвиговый регистр 5 из ячеек запоминающего устройства 6, соответствующих первому выходному каналу. Блок 1 управления проверяет состояние первого выходного канала по данным регистра 4 статуса, и, если первый выходной канал не находится в состоянии формирования временной паузы, то очередной бит данных из сдвигового регистра 5 поступает на третий вход блока 1 управления и производится сдвиг данных в сдвиговом регистре 5. Блок 1 управления в соответствии с битом данных, подлежащим передаче, осуществляет установку первого и второго D-триггеров 14<sub>1</sub> и 15<sub>1</sub> первого выходного канала при помощи сигналов, выдаваемых через первый, второй и четвертый выходы блока 1 управления. Так как на адресный вход второго дешифратора 16 подан код первого канала, то второй дешифратор 16 выдает на свой первый выход сигнал, который разрешает работу первого и второго D-триггеров 14<sub>1</sub> и 15<sub>1</sub> первого выходного канала. На выходе первого и второго D-триггеров 14<sub>1</sub> и 15<sub>1</sub> первого выходного канала формируются сигналы интерфейса последовательного кода (синхроимпульс и сигнал данных). Использование первого и второго D-триггеров 14<sub>1</sub> и 15<sub>1</sub> первого выходного канала позволяет формировать сигналы интерфейса последовательного кода независимо от блока 1 управления, в то время, когда блок 1 управления занят обработкой данных входных каналов, других выходных каналов или обеспечением обмена по внешней интерфейсной магистрали.

По окончании передачи слова данных в регистре 4 статуса устанавливаются соответствующие признаки, из регистра 3 данных в сдвиговый регистр 5 переписывается следующее слово данных для передачи, а также при этом блок 1 управления через свой первый вход-выход передает сигнал об окончании передачи слова данных на блок 2 сопряжения с внешней интерфейсной магистралью, который формирует на внешней интерфейсной магистрали сигнал запроса прерывания.

По истечении времени T счетчик 8 номера канала увеличивает код канала на своем выходе. Аналогичным образом производится обработка принятого по второму входному каналу интерфейса последовательного кода бита данных (в случае, если после последнего обращения к этому каналу по нему был принят бит данных) и запись следующего бита данных для передачи по второму выходному каналу интерфейса последовательного кода (в случае готовности канала к передаче следующего бита данных).

Далее аналогичная процедура повторяется для всех остальных входных и выходных каналов.

Обмен данными между многоканальным устройством сопряжения с интерфейсом последовательного кода и устройствами, подключенными к внешней интерфейсной магистрали (к входу-выходу 21 внешней интерфейсной магистрали) происходит следующим образом. Устройство, подключенное к внешней интерфейсной магистрали по внешней интерфейсной магистрали обращается к блоку 2 сопряжения с внешней интерфейсной магистралью, который выдает соответствующие сигналы управления на первый вход-выход блока 1 управления. Во время, когда не производится чтение принятого по одному из входных каналов бита или запись бита данных, предназначенного для передачи по одному из выходных каналов, блок 1 управления в зависимости от полученных сигналов управления, посредством выдачи на свой первый вход-выход и седьмой выход сигналов управления блоком 2 сопряжения с внешней интерфейсной магистралью и запоминающем устройством 6, а также посредством выдачи через свой восьмой выход сигналов адреса в запоминающее устройство 6, обеспечивает передачу данных из запоминающего устройства 6 на внешнюю интерфейсную магистраль или с внешней интерфейсной магистрали в запоминающее устройство 6 (через вход-выход 21 внешней интерфейсной магистрали). Для оповещения устройств, подключенных к внешней интерфейсной магистрали (к входу-выходу 21 внешней интерфейсной магистрали) об окончании приема или передачи слова данных и необходимости чтения принятого слова данных или записи нового слова данных для передачи, блок 2 сопряжения с внешней интерфейсной магистралью по командам блока 1 управления формирует на внешней интерфейсной магистрали сигналы запроса прерывания.

Таким образом, предлагаемое многоканальное устройство обеспечивает сопряжение с интерфейсом последовательного в распределенных вычислительных системах.

Представленные чертежи и описание устройства сопряжения внутрисистемной параллельной магистрали с внешним магистральным параллельным интерфейсом позволяют, используя существующую элементную базу, изготовить его промышленным способом и использовать в вычислительных устройствах различного назначения, что характеризует предлагаемое изобретение как промышленно применимое.

#### Формула изобретения:

Многоканальное устройство сопряжения с интерфейсом последовательного кода, характеризующееся тем, что оно содержит блок управления, блок сопряжения с внешней интерфейсной магистралью, регистр данных, регистр статуса, сдвиговый регистр, запоминающее устройство, делитель частоты, счетчик номера канала, первый мультиплексор, второй мультиплексор, первый дешифратор, второй дешифратор, при этом каждый из n входных каналов содержит RS-триггер и D-триггер, каждый из m выходных каналов содержит первый D-триггер

и второй D-триггер, S-вход RS-триггера каждого из  $n$  входных каналов является входом синхриомпульсов соответствующего входного канала, вход данных D-триггера каждого из  $n$  входных каналов является входом данных соответствующего входного канала, выход RS-триггера каждого из  $n$  входных каналов соединен с соответствующим информационным входом первого мультиплексора, а также соединен с входом синхронизации D-триггера своего входного канала, выход D-триггера каждого из  $n$  входных каналов соединен с соответствующим информационным входом второго мультиплексора, R-вход RS-триггера каждого из  $n$  входных каналов соединен с соответствующим выходом первого дешифратора, вход разрешения работы первого дешифратора соединен с пятым выходом блока управления, выход первого мультиплексора соединен с первым входом блока управления, выход второго мультиплексора соединен со вторым входом блока управления, адресные входы первого мультиплексора, второго мультиплексора, первого дешифратора, второго дешифратора и шестой вход блока управления соединены с выходом счетчика номера канала, входы синхронизации первых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с первым выходом блока управления, входы данных первых D-триггеров каждого из  $m$  выходных каналов соединены между собой и со вторым выходом блока управления, входы синхронизации вторых D-триггеров каждого из  $m$  выходных каналов соединены между собой и с третьим выходом блока управления, входы данных вторых D-триггеров каждого из  $m$  выходных каналов соединены между собой

5

10

15

20

25

30

35

40

45

50

55

60

и с четвертым выходом блока управления, вход разрешения работы первого D-триггера каждого из  $m$  выходных каналов и вход разрешения работы второго D-триггера данного выходного канала соединены между собой и с соответствующим выходом второго дешифратора, выход первого триггера каждого из  $m$  выходных каналов является выходом синхриомпульсов соответствующего выходного канала, выход второго D-триггера каждого из  $m$  выходных каналов является выходом данных соответствующего выходного канала, первый вход-выход блока управления соединен со входом-выходом управления блока сопряжения с внешней интерфейсной магистралью, интерфейсный вход-выход которого является входом-выходом внешней интерфейсной магистрали, блок управления выдает последовательность сигналов управления на регистр данных, регистр статуса и сдвиговый регистр, шестой выход блока управления соединен со входом сдвигового регистра, третий вход блока управления соединен с выходом сдвигового регистра, входы-выходы данных блока сопряжения с внешней интерфейсной магистралью, регистра данных, регистра статуса, сдвигового регистра и запоминающего устройства соединены между собой, седьмой выход блока управления соединен со входом управления запоминающего устройства, восьмой выход блока управления соединен со входом адреса запоминающего устройства, выход делителя частоты соединен со входом счетчика номера канала и с пятым входом блока управления, вход делителя частоты и четвертый вход блока управления соединены между собой и образуют вход тактовой частоты.