

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-517160
(P2011-517160A)

(43) 公表日 平成23年5月26日(2011.5.26)

(51) Int.Cl.

HO3K 5/26 (2006.01)

F 1

HO3K 5/26

P

テーマコード(参考)

5 J O 3 9

審査請求 有 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2010-549822 (P2010-549822)
 (86) (22) 出願日 平成21年3月3日 (2009.3.3)
 (85) 翻訳文提出日 平成22年10月21日 (2010.10.21)
 (86) 國際出願番号 PCT/US2009/035908
 (87) 國際公開番号 WO2009/111491
 (87) 國際公開日 平成21年9月11日 (2009.9.11)
 (31) 優先権主張番号 12/041,403
 (32) 優先日 平成20年3月3日 (2008.3.3)
 (33) 優先権主張國 米国(US)

(71) 出願人 595020643
 クアアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】高速時間ディジタル・コンバータ

(57) 【要約】

【解決手段】 時間ディジタル・コンバータ(TDC)がサブ・インバータ遅延分解能でサンプリングすることを可能にするための手法が開示されている。一実施形態では、TDC中の差動型D-Qフリップフロップへの入力は、シングルエンド型信号、およびこの信号の遅延された形態および反転された形態に接続されてこの信号の時間補間を可能にする。さらに、TDC中の第1遅延ラインおよび相補な遅延ラインの負荷の平衡を保つための手法が開示されている。

【選択図】 図3

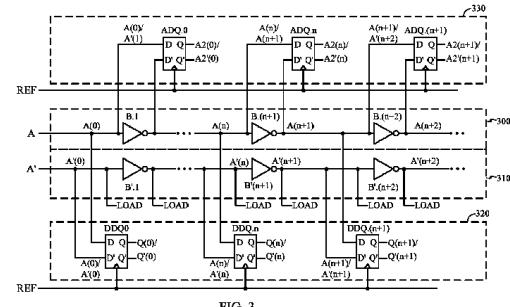


FIG. 3

【特許請求の範囲】**【請求項 1】**

信号 A の少なくとも 1 つの遅延された形態 A (m) を生成するための遅延ラインであって、 A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、遅延ラインと、

A (m) と信号 B [A (m)]との間の時刻の差分をサンプリングするためのサンプリング機構であって、 B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリング機構と、

を具備する時間ディジタル・コンバータ (TDC) 。

【請求項 2】

信号 B [A (m)] が信号 A (m + 1) であり、 A (m + 1) が A に対して m + 1 遅延単位だけ遅延されている、10

請求項 1 の TDC 。

【請求項 3】

各遅延単位が 1 つの単位バッファの遅延に対応する、

請求項 2 の TDC 。

【請求項 4】

前記単位バッファが 1 つのインバータである、

請求項 3 の TDC 。

【請求項 5】

前記サンプリング機構が差動型 D - Q フリップフロップであり、前記信号 A (n) が前記 D - Q フリップフロップの D 入力に接続されており、前記信号 B が前記 D - Q フリップフロップの D' 入力に接続されている、20

請求項 1 の TDC 。

【請求項 6】

前記フリップフロップが、前記差動入力 D / D' の電圧極性をサンプリングする、

請求項 5 の TDC 。

【請求項 7】

前記遅延ラインが信号 A の複数の遅延された形態 A (n) をさらに生成し、前記サンプリング機構が各信号 A (n) と対応する信号 B [A (n)] との間の差分をさらにサンプリングし、各 B [A (n)] が前記対応する A (n) に対して少なくとも 1 遅延単位だけ遅延されている、30

請求項 5 の TDC 。

【請求項 8】

信号 A に相補な信号 A' 複数の遅延された形態 A' (n) を生成するための相補的遅延ラインをさらに具備し、前記 TDC が各信号 A (n) と対応する信号 A' (n) との間の差分をサンプリングのための複数の差動型の D - Q フリップフロップをさらに具備する、40

請求項 7 の TDC 。

【請求項 9】

前記相補的遅延ラインが、前記遅延ラインの負荷を前記相補的遅延ラインの負荷と平衡させるための少なくとも 1 つの負荷に接続されている、

請求項 8 の TDC 。

【請求項 10】

信号 A の少なくとも 1 つの遅延された形態 A (m) を生成することであって、 A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、生成することと、

A (m) と信号 B [A (m)] との間の時刻の差分をサンプリングすることであって、 B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリングすることと、

を具備する、時間間隔をディジタル表現に変換するための方法。

【請求項 11】

信号 B [A (m)] が信号 A (m + 1) であり、 A (m + 1) が A に対して m + 1 遅延50

単位だけ遅延されている、

請求項 1 0 の方法。

【請求項 1 2】

各遅延単位が 1 つの単位バッファの遅延に対応する、

請求項 1 1 の方法。

【請求項 1 3】

前記単位バッファが 1 つのインバータである、

請求項 1 2 の方法。

【請求項 1 4】

前記サンプリングすることが差動型 D - Q フリップフロップによって実行され、前記信号 A (n) が前記 D - Q フリップフロップの D 入力に接続されており、前記信号 B が前記 D - Q フリップフロップの D ' 入力に接続されている、

10

請求項 1 0 の方法。

【請求項 1 5】

前記フリップフロップが、前記差動入力 D / D ' の電圧極性をサンプリングする、

請求項 1 4 の方法。

【請求項 1 6】

信号 A の複数の遅延された形態 A (n) を生成することをさらに具備し、前記サンプリング機構が各信号 A (n) と対応する信号 B [A (n)] との間の差分をさらにサンプリングし、各 B [A (n)] が前記対応する A (n) に対して少なくとも 1 遅延単位だけ遅延されている、

20

請求項 1 4 の方法。

【請求項 1 7】

信号 A に相補な信号 A ' 複数の遅延された形態 A ' (n) を生成することをさらに具備し、各信号 A (n) と対応する信号 A ' (n) との間の差分をサンプリングすることをさらに具備する、

請求項 1 6 の方法。

【請求項 1 8】

少なくとも 1 つの負荷を前記信号 A ' (n) を生成するための遅延ラインに接続して前記遅延ラインを複数の信号 A (n) を生成するための遅延ラインの負荷と平衡させることをさらに具備する、

30

請求項 1 7 の方法。

【請求項 1 9】

信号 A の少なくとも 1 つの遅延された形態 A (m) を生成するための手段であって、 A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、生成するための手段と、

A (m) と信号 B [A (m)] との間の時刻の差分をサンプリングするための手段であって、 B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリングするための手段と、

を具備する、時間ディジタル・コンバータ (TDC)。

【請求項 2 0】

信号 B [A (m)] が信号 A (m + 1) であり、 A (m + 1) が A に対して m + 1 遅延単位だけ遅延されている、

40

請求項 1 9 の TDC。

【請求項 2 1】

各遅延単位が 1 つの単位バッファの遅延に対応する、

請求項 2 0 の TDC。

【請求項 2 2】

前記単位バッファが 1 つのインバータである、

請求項 2 1 の TDC。

【請求項 2 3】

50

前記差分をサンプリングするための手段がD - Qフリップフロップを具備し、前記信号A (n)が前記D - QフリップフロップのD入力に接続されており、前記信号Bが前記D - QフリップフロップのD'入力に接続されている、

請求項19のTDC。

【請求項24】

コンピュータに、信号Aの少なくとも1つの遅延された形態A(m)を生成させるためのコードであって、A(m)はAに対してm遅延単位(unit)だけ遅延されている、生成させるためのコードと、

コンピュータに、A(m)と信号B[A(m)]との間の時刻の差分をサンプリングさせるためのコードであって、B[A(m)]はAに対して少なくとも1遅延単位だけ遅延されている、サンプリングさせるためのコードと、

を具備するコンピュータ可読媒体を具備する、時間間隔をデジタル表現に変換するためのコンピュータ・プログラム製品。

【請求項25】

信号B[A(m)]が信号A(m+1)であり、

前記コンピュータ可読媒体が、A(m+1)をAに対してm+1遅延単位だけ遅延させるためのコードをさらに具備する、

請求項24のコンピュータ・プログラム製品。

【請求項26】

各遅延単位が1つの単位バッファの遅延に対応する、

請求項25のコンピュータ・プログラム製品。

【請求項27】

前記コンピュータに差分をサンプリングさせるためのコードが、

前記サンプリングを差動型D - Qフリップフロップによって実行させ、

前記信号A(n)を前記D - QフリップフロップのD入力に接続し、

前記信号Bを前記D - QフリップフロップのD'入力に接続する、

ためのコードを具備する、

請求項24のコンピュータ・プログラム製品。

【請求項28】

前記コンピュータ可読媒体が、

コンピュータに、信号Aの複数の遅延された形態A(n)を生成させるためのコードであって、各B[A(n)]が前記対応するA(n)に対して少なくとも1遅延単位だけ遅延されている、生成させるためのコードをさらに具備する、

請求項27のコンピュータ・プログラム製品。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は時間デジタル(time-to-digital)・コンバータ(TDC)のデザインに関し、より具体的には、サブ単位(unit、ユニット)の遅延分解能を有するTDCのデザインに関する。

【背景技術】

【0002】

時間デジタル・コンバータは、2つの出来事の間の経過時間間隔をデジタル表現したものを生成するように設計されている。TDCは時間間隔を離散化する。ちょうどADC変換器(ADC)がアナログ信号振幅を離散化するのと同様である。実際の時間間隔との時間間隔の離散化された形態(version)との間の差は、量子化誤差として知られており、TDCの分解能によって決定される。

【0003】

TDC分解能は、典型的にTDCの遅延線路の単位セル(ユニット・セル、unit cell)の遅延によって制限されている。例えば、遅延はインバータのゲート遅延であり得、こ

10

20

30

40

50

れは使用された具体的な半導体処理技術の特徴である。ある高速 T D C 適用形態については、T D C 分解能を単位セルの遅延を越えるまでに改善するための設計技術を有することが望ましいだろう。

【発明の概要】

【0004】

本開示の一側面は、信号 A の少なくとも 1 つの遅延された形態 A (m) を生成するための遅延ラインであって、A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、遅延ラインと、A (m) と信号 B [A (m)]との間の時刻の差分をサンプリングするためのサンプリング機構であって、B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリング機構と、を具備する時間ディジタル・コンバータ (T D C) を提供する。10

【0005】

本開示の別の側面は、信号 A の少なくとも 1 つの遅延された形態 A (m) を生成することであって、A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、生成することと、A (m) と信号 B [A (m)]との間の時刻の差分をサンプリングすることであって、B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリングすることと、を具備する、時間間隔をデジタル表現に変換するための方法を提供する。。20

【0006】

本開示のさらに別の側面は、信号 A の少なくとも 1 つの遅延された形態 A (m) を生成するための手段であって、A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、生成するための手段と、A (m) と信号 B [A (m)]との間の時刻の差分をサンプリングするための手段であって、B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリングするための手段と、を具備する、時間ディジタル・コンバータ (T D C) を提供する。20

【0007】

本開示のさらに別の側面は、コンピュータに、信号 A の少なくとも 1 つの遅延された形態 A (m) を生成させるためのコードであって、A (m) は A に対して m 遅延単位 (unit) だけ遅延されている、生成させるためのコードと、コンピュータに、A (m) と信号 B [A (m)]との間の時刻の差分をサンプリングさせるためのコードであって、B [A (m)] は A に対して少なくとも 1 遅延単位だけ遅延されている、サンプリングさせるためのコードと、を具備するコンピュータ可読媒体を具備する、時間間隔をデジタル表現に変換するためのコンピュータ・プログラム製品を提供する。30

【図面の簡単な説明】

【0008】

【図 1】先行技術 T D C の一部の実現形態を図示している。

【図 2】図 1 に図示されている信号のタイミングの例を図示している。

【図 3】サブ・インバータ遅延分解を達成するための、本開示に従った実施形態を図示している。

【図 4】内挿フリップフロップ A D Q . m に接続されている差動入力信号のタイミングの例を、フリップフロップ D Q . m および D Q . (m + 1) に接続されている差動入力信号のタイミングと比較して図示している。40

【図 5】本開示の方法に従ったステップを図示している。

【発明を実施するための形態】

【0009】

図 1 は、先行技術 T D C の一部の実現形態を図示している。図 1 では、各々遅延 T_D を有する反転バッファ B . n は、遅延ライン 100 を形成する。遅延ライン 100 は、元のシングルエンド型信号 A の漸次遅延された形態 A (n) を生成する。ここで、n は遅延ライン 100 の 0 (遅延無し) から最大遅延までの間のインデックスである。

【0010】

10

20

30

40

50

また図1には、信号Aに相補な信号A'が示されている。信号AおよびA'は相互に論理的に反転されたものであり、TDCデータ経路における差動信号処理を可能にする。シングルエンド型処理に対する差動処理の利点は本技術分野においてよく知られており、例えば、フリップフロップの入力および出力でコモンモード雑音をより良く排斥することを含む。A'には自身の遅延ライン110が設けられている。遅延ライン110は、反転バッファB'.nを使用して、A'の漸次遅延されたバージョンA'(n)を生成する。

【0011】

図1は、複数の差動型D-Qフリップフロップ120をさらに図示している。各D-Qフリップフロップは、その差動入力D/D'での電圧(あるいは電流)の差分を信号REFの立ち上がりエッジにおいてサンプリングするように設計されている。この明細書および請求項において、用語X/Yは、シングルエンド型信号XおよびYからなる差動信号を表わすことに留意されたい。各フリップフロップは、その差動入力での電位差がサンプリングされたものの論理値を、後の時刻において差動フリップフロップ出力Q/Q'に提供する。例えば、実施形態において、シングルエンド型入力Dがシングルエンド型入力D'の電圧レベルより高い電圧レベルを有する場合、差動出力Q/Qは、後の時刻においてHIGHのレベルを生成し得、逆もまた同様である。この明細書では、HIGHの論理レベルは、記述をしやすくするために、正の差動入力信号D/D'と関連付けられる。当業者は、説明が逆の規則にも当てはまることを理解するだろう。

10

【0012】

当業者は、また、代替的なTDC実現形態はD-Qフリップフロップ以外の差動型のサンプリング機構を使用し得ることを理解するだろう。本開示の手法はそのような代替的な実現形態に容易に適用され得る。

20

【0013】

図1では、各フリップフロップDQ.nへの入力D/D'は、遅延ライン100および110から引き出された、対応する差動入力A(n)/A'(n)に接続されている。包括的には、フリップフロップDQ.nは差動信号A/A'の漸次遅延された形態A(n)/A'(n)をREFの立ち上がりエッジにおいて同時にサンプリングするものと理解される。複数のフリップフロップ出力Q/Q'を復号器(図示せず)に接続することによって、REFの立ち上がりエッジと信号のA/A'における論理の変化との間の相対的なタイミングが割り出され得る。TDCは、このように測定された相対的なタイミングを離散化された形で表現するもの(図示せず)を出力し得る。

30

【0014】

図2は、図1に図示されている信号のタイミングの例を図示している。図2では、プロット200は、時間t_sにおける信号のREFの立ち上がりエッジを示している。プロット210は、フリップフロップDQ.mの入力D/D'に接続されている差動信号A(m)/A'(m)を示している。ここで、mは説明されている複数の信号の具体的な例に対するインデックスである。プロット220は、フリップフロップDQ.(m+1)の入力D/D'に接続されている差動信号A(m+1)/A'(m+1)を示している。DQ.(m+1)は、図1のフリップフロップ120中のフリップフロップDQ.mの直後のフリップフロップである。バッファB.mおよびB'.mによって導入された反転によって、A(m)/A'(m)とA(m+1)/A'(m+1)とを比較することは、2つの差動信号の間の極性の違いの原因となっている(account for)はずである。代替的な実現形態においては、そのような信号の反転は、例えば遅延ライン100および110からの信号A(n)/A'(n)が、図1中の次のフリップフロップへの入力D/D'との間に反転される場合は、存在しないかもしれない。そのような実現形態は本開示の範囲内にあると企図される。

40

【0015】

図2で、フリップフロップDQ.mが時間t_sにおいてREFの立ち上がりエッジで論理LOWをサンプリングし、他方フリップフロップDQ.(m+1)もt_sにおいて論理LOWをサンプリングしていることが分かる。上記の信号の反転に起因して、フリップフ

50

ロップ D Q . m および D Q . (m + 1) によってサンプリングされた連続する 2 つの L O W は、信号 A 中の論理の変化が R E F の立ち上がりエッジに先立って m T D から (m + 1) T D までの時間間隔中に起こっていることを示している。図 1 中の先行技術 T D C の分解能が 1 つのインバータの遅延 T D に制限されているので、T D C は論理のタイミングを $\pm T_D / 2$ より高い精度へと割り出すことができないことに留意されたい。

【 0 0 1 6 】

または、図 1 中の T D C の分解能は、元の信号 A / A ' の連続する複数の遅延された形態のゼロ交差時刻の差を参照して理解され得る。ゼロ交差時刻は、論理 H I G H から論理 L O W まで、またはその逆に差動信号が変化する時刻を表わしている。図 2 では、時刻 t (m) および t (m + 1) は、差動信号 A (m) / A ' (m) および A (m + 1) / A ' (m + 1) についてのゼロ交差時刻をそれぞれ反映している。T D C の時間分解能は、t (m + 1) - t (m) として算出され得る。これは 1 つの遅延バッファの遅延 T D に相当する。T D C の分解能を改善するためには、T D C において利用可能な、連続するゼロ交差時刻の間の差を減少させることができることに留意されたい。

10

【 0 0 1 7 】

本開示によれば、サブ・インバータ遅延分解能が、図 3 に図示されているような代替的な T D C アーキテクチャを利用することによって達成され得る。

【 0 0 1 8 】

図 3 において、「内挿 (interpolating、挿入) 」フリップフロップ A D Q . n の組 3 3 0 が、D - Q フリップフロップ D Q . n の組 3 2 0 に加えて設けられている。各内挿フリップフロップ A D Q . n は、差動入力 D / D ' をサンプリングして差動出力 Q / Q ' を生成する。各 A D Q . n への D 入力は遅延ライン 3 0 0 によって生成された信号 A (n) に接続されており、他方、D ' 入力は遅延ライン 3 0 0 によって生成された信号 A (n + 1) に接続されている。A D Q . n への D 入力および D ' 入力は、1 単位 (unit、ユニット) 遅延 (例えば 1 つのインバータ遅延) だけ間隔を置いた、相互に反転された形態であるものとして観察される。図 3 に示されている実施形態では、ダミー負荷「 L O A D 」の例が遅延ライン 3 1 0 に設けられて遅延ライン 3 1 0 上の負荷を遅延ライン 3 0 0 上の負荷と平衡させる。

20

【 0 0 1 9 】

図 4 は、1 つのフリップフロップ A D Q . m に接続されている差動入力信号のタイミングの例を、D Q . m および D Q . (m + 1) に接続されている差動入力信号のタイミングと比較して、図示している。図 4 において、プロット 4 0 0 は図 2 に示されているのと同じ参考信号 R E F を示している。プロット 4 1 0 および 4 2 0 は、D Q . m および D Q . (m + 1) の入力にそれぞれ接続されている差動信号 A (m) / A ' (m) および A (m + 1) / A ' (m + 1) を示している。プロット 4 1 5 は、A D Q . m の入力に接続されている差動入力信号 A (m) / A (m + 1) を示している。

30

【 0 0 2 0 】

プロット 4 1 0 および 4 2 0 では、ゼロ交差時刻は、図 2 中のプロット 2 1 0 および 2 2 0 とそれ同様に、t (m) および t (m + 1) であることが示されている。しかしながら、プロット 4 1 5 では、A (m) / A (m + 1) についてのゼロ交差時刻は t ' (m) であることが示されている。t ' (m) は t (m) と t (m + 1) との間に位置している。図示されている方式は、A D Q . m に対して、m T D より大きく (m + 1) T D より小さな遅延を有する信号 A / A ' の「内挿された」形態を事実上もたらす。全ての信号について等しい立ち上がり時刻および立ち下がり時刻を仮定すると、そのような遅延は m T D と (m + 1) T D とのほぼ中間にあらう。図 3 に示されている複数のフリップフロップ A D Q . n 3 3 0 を設けることによって、相応して、信号 A は、単位遅延 (例えば 1 つのインバータの遅延 T D) 未満の時間軸分解能でサンプリングされ得る。

40

【 0 0 2 1 】

実施形態に応じて、元の信号に対する内挿信号の実際の遅延は、おおよそで m T D と (m + 1) T D の中間値であり得ることに留意されたい。当業者は、内挿信号の実際の遅延

50

に影響する要因は例えば素子相互の不一致および／またはプロセスのばらつきによりバッファの立ち上がり時刻および立ち下がり時刻における不均衡を含み得ることを理解するだろう。一実施形態では、立ち上がり時刻および立ち下がり時刻における不均衡に起因するTDCサンプリングのレベルのばらつきは、例えば立ち上がり時刻および立ち下がり時刻を監視するとともに最終的な測定値から予測される不正確さを相殺することによって、TDC測定値において考慮され得る。

【0022】

当業者は、本開示の手法を依然使用しながら、図3に示されている実施形態に様々な修正がなされ得ることを理解するだろう。一実施形態では、バッファB.nの反転特性を補うために、フリップフロップDQ.nへの差動入力の極性が続けて反転され得る。10

【0023】

当業者は、また、代替的な実施形態では、図1および図3に示されている反転バッファB.nに代えて非反転バッファが使用され得ることを理解するだろう。この場合、内挿D-QフリップフロップADQ.nへの入力D/D'は、信号A(n)/A'(n+1)に接続され得る。ここで、A(n)は、元の信号Aに対応する第1遅延ラインから引き出され、A'(n+1)は相補信号A'に対応する第2遅延ラインから引き出される。これらのおよび他の実施形態は本開示の範囲内にあることが企図されている。

【0024】

記述されているゼロ交差時刻が単にTDC量子化境界の近くのサンプリング機構の振る舞いを例証するために選択されていることに留意されたい。当業者は、ゼロ交差時刻が例証のみを目的として言及されていること、および典型的な差動入力信号Aが任意の期間にわたって、別のレベルに変化することなく概して一定であり得ることを理解するだろう。20

【0025】

図5は本開示の方法に従ったステップを図示している。図5において、信号Aの遅延された形態A(n)およびA'(n)がステップ500で生成される。ステップ510において、A(n)/A'(n)がREFの立ち上がりエッジにおいてサンプリングされる。ステップ520において、A(n)/A(n+1)もREFの立ち上がりエッジにおいてサンプリングされる。ステップ530において、サンプルはさらなる処理のために復号器に提供される。当業者は、図5に図示されているステップが例証のみを目的としていること、および本開示の範囲を示されているいかなる具体的なステップにも限定することを意図されていないことを理解するだろう。30

【0026】

1つ以上の例示的な実施形態において、記述されている機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらのあらゆる組合せにおいて実現され得る。ソフトウェアにおいて実現される場合、関数は1つまたは複数の指示またはコードとして、コンピュータ可読媒体上で格納または送信され得る。コンピュータ可読媒体は、コンピュータ記憶装置媒体、およびコンピュータ・プログラムのある位置から別の位置への移動を容易にするあらゆる媒体を含む通信媒体、の両方を含んでいる。記憶媒体は、コンピュータによってアクセスされることが可能なあらゆる利用可能な物理的媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光学ディスク記憶装置、磁気ディスク記憶装置または他の磁気記憶装置、または命令またはデータ構造の形態の所望のプログラムコードを運ぶか格納するために使用されることが可能で且つコンピュータによってアクセスされることが可能な他のあらゆる媒体を具備し得る。また、あらゆる接続も当然、コンピュータ可読媒体と称される。例えば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、撲線対、デジタル加入者線(DSL)、または赤外線、無線およびマイクロ波のような無線技術を使用して、ウェブサイト、サーバまたは他の遠隔ソースから送信される場合、この同軸ケーブル、光ファイバーケーブル、撲線対、DSL、または赤外線、無線およびマイクロ波のような無線技術は、媒体の定義に含まれている。本明細書において使用されているディスク(disk)とディスク(disc)は、コンパクトディスク(CD)、レザーディスク40

(登録商標)、光ディスク、ディジタル多用途ディスク(DVD)、フロッピー(登録商標)ディスクおよびブルーレイディスクを含んでいる。ここで、ディスク(disk)は通常磁気的にデータを再生し、他方、ディスク(disc)はレーザーでデータを光学的に再生する。上記のものの組合せもコンピュータ可読媒体の範囲に含まれるべきである。

【0027】

コンピュータ・プログラム製品のコンピュータ可読媒体と関連している命令またはコードは、例えば1つ以上のデジタル信号プロセッサ(DSP)、汎用マイクロプロセッサ、ASIC、FPGA、または他の等価な集積論理回路またはディスクリート型論理回路のような1つ以上のプロセッサによってコンピュータによって実行され得る。

【0028】

この明細書、および請求項では、要素が別の要素に「接続された(connect)」または「接続された(couple)」と称されている場合、それは、要素は、直接別の要素に接続されることが可能であり、または介在する要素が存在し得る。対照的に、要素が別の要素に「直接接続された(connect)」または「直接接続された(couple)」と称されている場合、介在する要素は存在しない。

【0029】

多くの側面および例が記述された。しかしながら、これらの例に対する様々な修正が可能であり、また、本明細書において示されている原理は、別の側面に対して同様に適用され得る。これらの側面および他の側面は次の請求項の範囲内にある。

【図1】

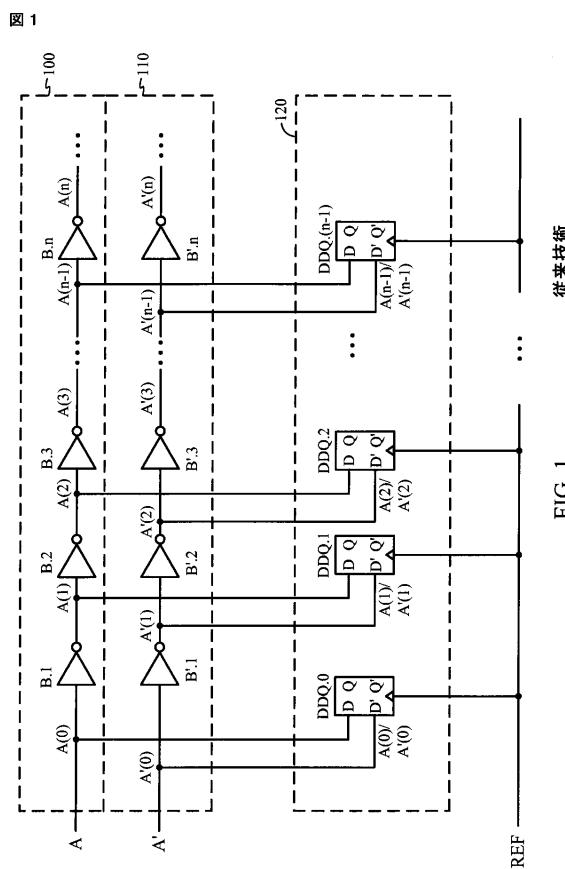


FIG. 1

【図2】

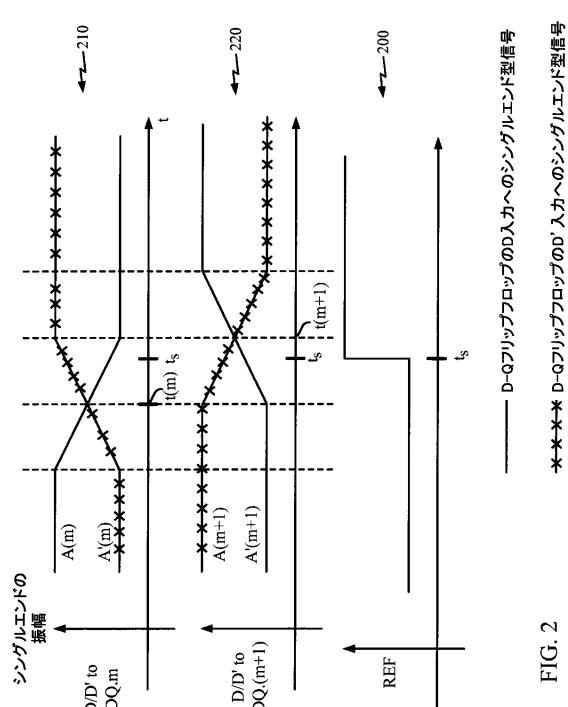
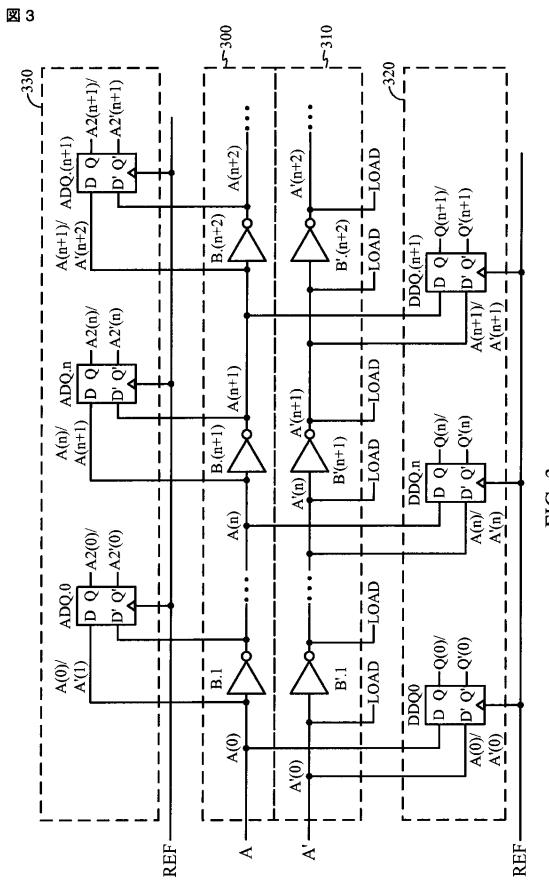


FIG. 2

【図3】



【図4】

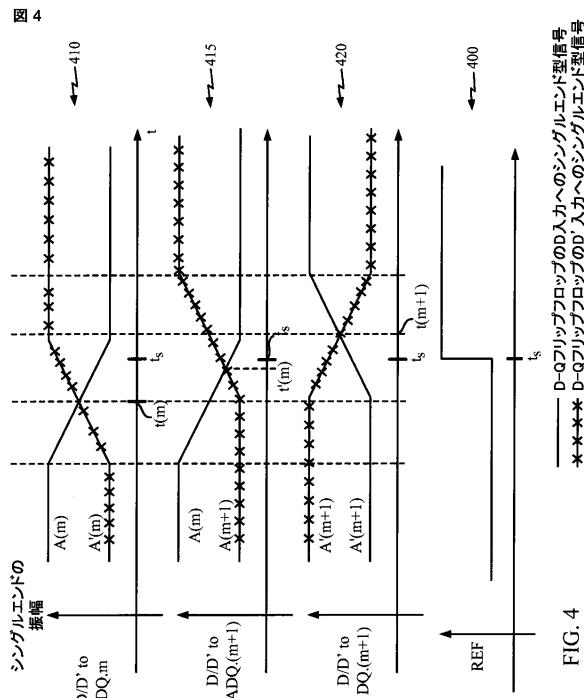


FIG. 4

【図5】

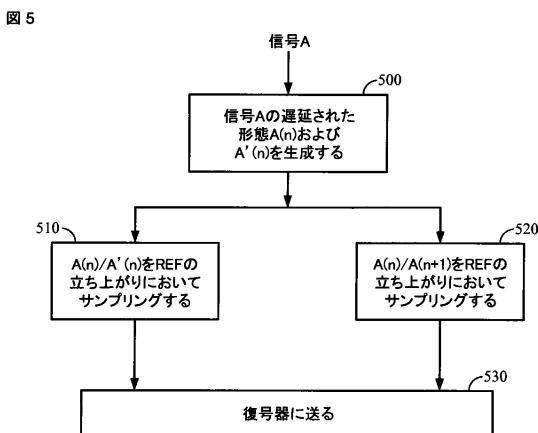


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/035908

A. CLASSIFICATION OF SUBJECT-MATTER INV. H03M1/50		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/103566 A1 (VEMULAPALLI SUDHEER K [US] ET AL) 18 May 2006 (2006-05-18) paragraph [0002] – paragraph [0067]; figures 2,11 -/-	1-5, 10-14, 19-26
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p> <p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search	Date of mailing of the International search report	
2 June 2009	08/06/2009	
Name and mailing address of the ISA/ European Patent Office, P.O. 5616 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040 Fax: (+31-70) 340-3016	Authorized officer Henderson, Richard	

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/035908

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LEVINE P M ET AL: "High-resolution flash time-to-digital conversion and calibration for system-on-chip testing Embedded microelectronic systems: status and trends (Part 2)" IEE PROCEEDINGS: COMPUTERS AND DIGITAL TECHNIQUES, IEE, GB, vol. 152, no. 3, 6 May 2005 (2005-05-06), pages 415-426, XP006024722 ISSN: 1350-2387 figures 4,5	1,10,19
A		2-9, 11-18, 20-28
X	WO 01/37428 A (NEOMICROS INC [KR]) 25 May 2001 (2001-05-25) page 8, line 33 – page 11, line 16; figures 9,11a,11b	1-5, 10-14, 19-26
X	US 2007/273569 A1 (LIN CHIA-LIANG [US]) 29 November 2007 (2007-11-29) figures 1,3a	1,10,19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2009/035908

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2006103566	A1	18-05-2006	NONE	
WO 0137428	A	25-05-2001	CN 1415137 A EP 1238461 A1 JP 2003514479 T KR 20000053958 A US 2003169086 A1 US 6731667 B1	30-04-2003 11-09-2002 15-04-2003 05-09-2000 11-09-2003 04-05-2004
US 2007273569	A1	29-11-2007	CN 101136632 A DE 102007024403 A1	05-03-2008 21-02-2008

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,S,K,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,K,E,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100101812

弁理士 勝村 紘

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(74)代理人 100127144

弁理士 市原 卓三

(74)代理人 100141933

弁理士 山下 元

(72)発明者 サン、ボ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ヤン、ジシャン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

F ターム(参考) 5J039 JJ07 JJ13 KK09 KK13 MM00