

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和1年8月22日(2019.8.22)

【公表番号】特表2018-529143(P2018-529143A)

【公表日】平成30年10月4日(2018.10.4)

【年通号数】公開・登録公報2018-038

【出願番号】特願2018-501204(P2018-501204)

【国際特許分類】

G 0 6 N 3/063 (2006.01)

G 0 6 G 7/12 (2006.01)

【F I】

G 0 6 N 3/063

G 0 6 G 7/12

【手続補正書】

【提出日】令和1年7月8日(2019.7.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一組の処理ノードおよび前記ノード間の接続を含む、データ処理デバイスであって、各接続は、前記一組の処理ノードのうちからエミッタノードとレシーバノードとを有し、前記レシーバノードに、前記エミッタノードによって送出されるイベントを送信するように構成され、

各ノードは、前記ノードによって受信されたイベントに従ってそれぞれの電位値(V)を変化させ、前記電位値が事前定義された閾値( $V_t$ )に達したときにイベントを送出するように配置構成され、

前記データ処理デバイスの少なくとも1つの入力値(x)は、少なくとも1つのノードによって受信された2つのイベントの間の時間間隔( $t$ )で表され、

前記データ処理デバイスの少なくとも1つの出力値は、少なくとも1つのノードによって送出された2つのイベントの間の時間間隔で表されるデータ処理デバイス。

【請求項2】

各処理ノードは、その電位値を、イベントを送出するときにリセットするように配置構成される請求項1に記載のデバイス。

【請求項3】

前記ノード間の前記接続は、各々がそれぞれの重みを有する電位変動接続を含み、

電位変動接続の前記レシーバノードは、その電位値(V)に、前記電位変動接続の前記重みを加えることによって前記電位変動接続で受信されたイベントに応答するように配置構成される請求項1または2に記載のデバイス。

【請求項4】

前記一組の処理ノードは、前記電位値に対する前記事前定義された閾値( $V_t$ )に少なくとも等しい第1の正の重みを有する第1の電位変動接続(22)の前記レシーバノードを形成する少なくとも1つの第1のノード(23)と、前記電位値に対する前記事前定義された閾値の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である重みを有する第2の電位変動接続(24)の前記レシーバノードを形成する少なくとも1つの第2のノード(25)とを含み、前記第1のノード(23)は、前記第1の正の重みと反対の値に等しい重み

を有する第3の電位変動接続(28)の前記エミッタノードおよび前記レシーバノードをさらに形成し、

前記第1のノード(23)は、第4の接続(26)の前記エミッタノードをさらに形成し、前記第2のノード(25)は、第5の接続(27)の前記エミッタノードをさらに形成し、

前記第1および第2の電位変動接続(22、24)は、各々入力値を表す第1の時間間隔( $t$ )によって隔てられた2つのイベントを受信するように構成され、それによって、前記第4および第5の接続(26、27)は前記第1の時間間隔( $t$ )に関する第2の時間間隔を間に有するそれぞれのイベントをトランスポートする請求項3に記載のデバイス。

【請求項5】

少なくとも1つの最小値計算回路(100)を備え、

前記最小値計算回路は、

第1および第2の入力ノード(101、102)と、

出力ノード(103)と、

第1および第2の選択ノード(104、105)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続(106~111)と、

各々前記第1の正の重みの値と反対の第2の重みを有する第7および第8の電位変動接続(112~113)と、

各々前記第2の重みの2倍の第3の重みを有する第9および第10の電位変動接続(114~115)とを備え、

前記第1の入力ノード(101)は、前記第1および第3の接続(106、108)の前記エミッタノードと前記第10の接続(115)の前記レシーバノードとを形成し、

前記第2の入力ノード(102)は、前記第2および第4の接続(107、109)の前記エミッタノードと前記第9の接続(114)の前記レシーバノードとを形成し、

前記第1の選択ノード(104)は、前記第5、第7、および第9の接続(110、112、114)の前記エミッタノードと前記第1および第8の接続(106、113)の前記レシーバノードとを形成し、

前記第2の選択ノード(105)は、前記第6、第8、および第10の接続(111、113、115)の前記エミッタノードと前記第2および第7の接続(107、112)の前記レシーバノードとを形成し、

、

前記出力ノード(103)は、前記第3、第4、第5、および第6の接続(108~111)の前記レシーバノードを形成する請求項3に記載のデバイス。

【請求項6】

少なくとも1つの最大値計算回路(120)を備え、

前記最大値計算回路は、

第1および第2の入力ノード(121、122)と、

出力ノード(123)と、

第1および第2の選択ノード(124、125)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である第1の正の重みを有する第1、第2、第3、および第4の電位変動接続(126~129)と、

各々前記第1の正の重みの値と反対の値の2倍に等しい第2の重みを有する第5および第6の電位変動接続(132~133)とを備え、

前記第1の入力ノード(121)は、前記第1および第3の接続(126、128)の前記エミッタノードを形成し、

前記第2の入力ノード(122)は、前記第2および第4の接続(127、129)の前記エミッタノードを形成し、

前記第1の選択ノード(104)は、前記第5の接続(132)の前記エミッタノードと前記第1および第6の接続(126、133)の前記レシーバノードとを形成し、

前記第2の選択ノード(105)は、前記第6の接続(133)の前記エミッタノードと前記第2お

よび第5の接続(127、132)の前記レシーバノードとを形成し、

前記出力ノード(123)は、前記第3および第4の接続(128、129)の前記レシーバノードを形成する請求項3に記載のデバイス。

【請求項7】

少なくとも1つの減算器回路(140、170)を備え、

前記減算器回路(140、170)は、

第1および第2の同期ノード(145、146)と、

第1および第2の抑制ノード(147、148)と、

第1および第2の出力ノード(143、144)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )に少なくとも等しい第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続(152~157)と、

各々前記第1の正の重みの1/2に等しい第2の重みを有する第7および第8の電位変動接続(160、161)と、

各々前記第1の正の重みの値と反対の第3の重みを有する第9および第10の電位変動接続(158、159)と、

各々前記第3の重みの2倍の第4の重み( $2w_i$ )を有する第11および第12の電位変動接続(162、163)とを備え、

前記第1の同期ノード(145)は、前記第1、第2、第3、および第9の接続(152、153、154、158)の前記エミッタノードを形成し、

前記第2の同期ノード(146)は、前記第4、第5、第6、および第10の接続(155、156、157、159)の前記エミッタノードを形成し、

前記第1の抑制ノード(147)は、前記第11の接続(162)の前記エミッタノードと前記第3、第8、および第10の接続(154、161、159)の前記レシーバノードとを形成し、

前記第2の抑制ノード(148)は、前記第12の接続(163)の前記エミッタノードと前記第6、第7、および第9の接続(157、160、158)の前記レシーバノードとを形成し、

前記第1の出力ノード(143)は、前記第7の接続(160)の前記エミッタノードと前記第1、第5、および第11の接続(152、156、162)の前記レシーバノードとを形成し、

前記第2の出力ノード(144)は、前記第8の接続(161)の前記エミッタノードと前記第2、第4、および第12の接続(153、155、163)の前記レシーバノードとを形成し、

前記第1の同期ノード(145)は、前記第2の重みを有する少なくとも1つの電位変動接続(150)上で、間に第1のオペランド( $x_1$ )を表す第1の時間間隔( $t_1$ )を有する第1の一对のイベントを受信するように構成され、前記第2の同期ノード(146)は、前記第2の重みを有する少なくとも1つの電位変動接続(151)上で、間に第2のオペランド( $x_2$ )を表す第2の時間間隔( $t_2$ )を有する第2の一对のイベントを受信するように構成され、それによって、間に第3の時間間隔( $t_{out}$ )を有する第3の一对のイベントは、前記第1の時間間隔( $t_1$ )が前記第2の時間間隔( $t_2$ )よりも長い場合には前記第1の出力ノード(143)によって、前記第1の時間間隔( $t_1$ )が前記第2の時間間隔( $t_2$ )よりも短い場合には前記第2の出力ノード(144)によって送出され、前記第3の時間間隔( $t_{out}$ )は前記第1のオペランド( $x_1$ )と前記第2のオペランド( $x_2$ )との間の差の絶対値を表す請求項3に記載のデバイス。

【請求項8】

前記減算器回路(170)は、前記第1および第2の同期ノード(145、146)、前記第1および第2の抑制ノード(147、148)のうちの一つ、ならびに前記第1および第2の出力ノード(143、144)のうちの一つとともに検出および抑制接続(172~178)に関連付けられている少なくとも1つの検出ノード(171)を含むゼロ検出論理回路をさらに備え、

前記検出および抑制接続(172~178)は、前記第1および第2の時間間隔( $t_1$ 、 $t_2$ )が等しいときに前記第1および第2の出力ノード(143、144)のうち的一方によってイベントの発生を抑制するために、前記第1、第2、第3、第4、第5、第6、第7、第8、第9、第10、第11、および第12の接続(152~163)よりも高速である請求項7に記載のデバイス。

【請求項9】

前記一組の処理ノードは、少なくとも1つの電流調整接続上で受信されたイベントに従

って電流値を変化させ、前記電流値に比例する速度で時間の経過とともにその電位値を変化させるように配置構成されている少なくとも1つのノードを備える請求項3から8のいずれか一項に記載のデバイス。

【請求項10】

電流値を変化させるように配置構成されている処理ノードは、イベントを送出するときに前記電流値をゼロにリセットするように配置構成される請求項9に記載のデバイス。

【請求項11】

少なくとも1つのノードにおける前記電流値は、それぞれの重みを有する少なくとも1つの定電流成分調整接続上で受信された2つのイベントの間で一定である成分( $g_e$ )を有し、定電流成分調整接続の前記レシーバノードは、前記接続の前記重みをその電流値の前記定数成分( $g_e$ )に加えることによって前記接続上で受信されたイベントに応答するように配置構成される請求項9または請求項10に記載のデバイス。

【請求項12】

少なくとも1つのインバータメモリ回路(18)を備え、前記インバータメモリ回路は、アキュムレータノード(30)と、第1、第2、および第3の定電流成分調整接続であって、前記第1および第3の接続(26、34)は同じ正の重み( $w_{acc}$ )を有し、前記第2の接続(27)は前記第1および第3の接続の前記重みの値と反対の重み( $-w_{acc}$ )を有する、第1、第2、および第3の定電流成分調整接続と、少なくとも1つの第4の接続(35)とを備え、前記アキュムレータノード(30)は、前記第1、第2、および第3の接続(26、27、34)の前記レシーバノードと前記第4の接続(35)の前記エミッタノードとを形成し、前記第1および第2の接続(26、27)は、それぞれ、アキュムレータノード(30)へ、間に覚えておくべき値を表す時間間隔に関係する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノード(30)は、次いで、前記第4の接続(35)上の第4のイベントの送出までその電位値を増加させることによって前記第3の接続(34)上で受信される第3のイベントに反応し、前記第3および第4のイベントは間に前記第1の時間間隔に関係する第2の時間間隔を有する請求項11に記載のデバイス。

【請求項13】

少なくとも1つのメモリ回路(40)を備え、前記メモリ回路は、第1および第2のアキュムレータノード(42、44)と、第1、第2、第3、および第4の定電流成分調整接続であって、前記第1、第2、および第4の接続(41、43、51)は各々第1の正の重み( $w_{acc}$ )を有し、前記第3の接続(45)は前記第1、第2、および第4の接続の前記重みの値と反対の重み( $-w_{acc}$ )を有する、第1、第2、第3、および第4の定電流成分調整接続と、少なくとも1つの第5の接続(52)とを備え、前記第1のアキュムレータノード(42)は、前記第1の接続(41)の前記レシーバノードと前記第3の接続(45)の前記エミッタノードとを形成し、前記第2のアキュムレータノード(44)は、前記第2、第3、および第4および第5の接続(43、45、51)の前記レシーバノードと前記第5の接続(52)の前記エミッタノードとを形成し、前記第1および第2の接続(41、43)は、前記第1および第2のアキュムレータノード(42、44)へ、それぞれ、間に覚えておくべき値を表す時間間隔に関係する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、前記第2のアキュムレータノード(44)は、次いで、前記第5の接続(52)上の第4のイベントの送出までその電位値を増加させることによって前記第4の接続(51)上で受信される第3のイベントに反応し、前記第3および第4のイベントは間に前記第1の時間間隔に関係する第2の時間間隔を有する請求項12に記載のデバイス。

【請求項14】

前記メモリ回路(40)は、前記第1のアクムレータノード(42)をエミッタノードとして有する第6の接続(46)を備え、前記第6の接続は前記メモリ回路を読み取りに利用可能であることを知らせるイベントを送出する請求項13に記載のデバイス。

【請求項15】

個数 $N > 1$ のメモリ回路( $40_1, \dots, 40_{N-1}$ )と同期ノード(95)とを含む、少なくとも1つの同期回路(90、98)を備え、

前記同期ノード(95)は、前記第1の正の重みを $N$ で割った値に等しい重みを有するそれぞれの電位変動接続( $46; 96_0, \dots, 96_{N-1}$ )を介して $N$ 個のメモリ回路( $40_1, \dots, 40_{N-1}$ )のうちの1つの前記第6の接続上で送される各イベントを感知し、

前記同期ノード(95)は、前記 $N$ 個のメモリ回路( $40_1, \dots, 40_{N-1}$ )の前記それぞれの第4の接続(51)を介して前記第3のイベントの同時受信をトリガするように配置構成される請求項14に記載のデバイス。

【請求項16】

少なくとも1つの累算回路(180)を備え、

前記累算回路は、

$N$ を1より大きい整数として、各々がそれぞれの重み付け係数( $w_{0, \dots, N-1}$ )を有する $N$ 個の入力( $181_0, \dots, 181_{N-1}$ )と、

アクムレータノード(184)と、

同期ノード(185)と、

前記累算回路(180)の前記 $N$ 個の入力の各々について、

前記入力の前記それぞれの重み付け係数に比例する第1の正の重み( $w_{0, \dots, N-1, w_{acc}}$ )を有する第1の定電流成分調整接続( $182_0, \dots, 182_{N-1}$ )と、

前記第1の正の重みの値と反対の第2の重み( $-w_{0, \dots, N-1, w_{acc}}$ )を有する第2の定電流成分調整接続( $183_0, \dots, 183_{N-1}$ )と、

第3の正の重み( $w_{acc}$ )を有する第3の定電流成分調整接続(186)とを備え、

前記アクムレータノード(184)は、前記第1、第2、および第3の接続( $181_0, \dots, 181_{N-1}, 182_0, \dots, 182_{N-1}, 186$ )の前記レシーバノードを形成し、

前記同期ノード(185)は、前記第3の接続(186)の前記エミッタノードを形成し、

前記 $N$ 個の入力の各々について、前記第1および第2の接続( $181_0, \dots, 181_{N-1}, 182_0, \dots, 182_{N-1}$ )は、それぞれ、前記アクムレータノード(184)へ、間に前記入力上で与えられるそれぞれのオペランドを表す第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、

前記同期ノード(185)は、前記第1および第2のイベントが前記 $N$ 個の入力の各々についてアドレス指定された後に第3のイベントを送出するように構成され、それによって、前記アクムレータノード(184)は、第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記 $N$ 個の入力上で与えられた前記オペランドの加重和を表す時間間隔に係する第2の時間間隔を有する請求項11に記載のデバイス。

【請求項17】

前記累算回路(180)は、

第2のアクムレータノード(188)と、

前記第3の正の重み( $w_{acc}$ )を有する第4の定電流成分調整接続(191)と、

第5および第6の接続(193、192)とをさらに備える重み付き加算回路(190)の一部であり、

前記累算回路の前記同期ノード(185)は、前記第4の接続(191)の前記エミッタノードを形成し、

前記累算回路の前記アクムレータノード(184)は、前記第5の接続(193)の前記エミッタノードを形成し、

前記第2のアクムレータノード(188)は、前記第4の接続(191)の前記レシーバノードと前記第6の接続(192)の前記エミッタノードとを形成し、

前記同期ノード(185)による前記第3のイベントの送出に回答して、前記累算回路の前記

アキュムレータノード(184)は、前記第5の接続(193)上の第4のイベントの送出までその電位値を増加させ、前記第2のアキュムレータノード(188)は、前記第6の接続(192)上の第5のイベントの送出までその電位値を増加させ、前記第4および第5のイベントは間に前記累算回路(180)の前記N個の入力上で与えられた前記オペアンドの加重和を表す時間間隔に関する第3の時間間隔を有する請求項16に記載のデバイス。

【請求項18】

一次結合回路(200)内に組み立てられた2つの累算回路(180A、180B)を備え、前記2つの累算回路(180A、180B)は、同期ノード(184)を共有し、前記一次結合回路は、前記共有された同期ノード(185)によって送出される前記第3のイベントに反応し、間に前記2つの累算回路のうち的一方に対する前記加重和と前記2つの累算回路のうち他方に対する前記加重和との差を表す第3の時間間隔を有する一対のイベントを送出することによって前記2つの累算回路(180A、180B)の前記アキュムレータノード(184)によってそれぞれ送出される前記第4のイベントに反応するように構成されている減算器回路(170)をさらに備える請求項16に記載のデバイス。

【請求項19】

少なくとも1つのノードにおける前記電流値は、それぞれの重みを有する少なくとも1つの指数関数的減少電流成分調整接続上で受信された2つのイベントの間で指数関数的に減少する成分( $g_f$ )を有し、

指数関数的減少電流成分調整接続の前記レシーバノードは、前記接続の前記重みをその電流値の前記指数関数的減少成分( $g_f$ )に加えることによって前記接続上で受信されたイベントに応答するように配置構成される請求項11~18のいずれか一項に記載のデバイス。

【請求項20】

少なくとも1つの対数計算回路(210)を備え、

前記対数計算回路は、

アキュムレータノード(216)と、

第1および第2の定電流成分調整接続であって、前記第1の接続(212)は正の重み(

【数1】

$$\bar{w}_{acc}$$

)を有し、前記第2の接続(214)は前記第1の接続の前記重みの値と反対の重み(

【数2】

$$-\bar{w}_{acc}$$

)を有する、第1および第2の定電流成分調整接続と、

第3の指数関数的減少電流成分調整接続(217)と、

少なくとも1つの第4の接続(222)とを備え、

前記アキュムレータノード(216)は、前記第1、第2、および第3の接続(212、214、217)の前記レシーバノードと前記第4の接続(222)の前記エミッタノードとを形成し、

前記第1および第2の接続(212、214)は、前記アキュムレータノード(216)へ、間に前記対数計算回路(210)の入力値(x)を表す時間間隔( $t$ )に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され、

前記第3の接続(217)は、前記アキュムレータノード(216)へ、前記第2のイベントと同時にまたはその後の第3のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノードは、前記第4の接続(222)上の第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記入力値の対数を表す時間間隔( $t_{ou}$ )に関する第2の時間間隔を有する請求項19に記載のデバイス。

【請求項21】

指数関数的減少電流成分( $g_f$ )を考慮する少なくとも1つのノード(238;268)は、前記指数

関数的減少成分のデアクティベーションに対するイベントを受信するためのデアクティベーション接続(236;271)の前記レシーバノードである請求項19に記載のデバイス。

【請求項22】

少なくとも1つの累乗回路(230)を備え、

前記累乗回路は、

アキュムレータノード(238)と、

第1の指数関数的減少電流成分調整接続(232)と、

第2のデアクティベーション接続(236)と、

第3の定電流成分調整接続(237)と、

少なくとも1つの第4の接続(242)とを備え、

前記アキュムレータノード(238)は、前記第1、第2、および第3の接続(232、236、237)の前記レシーバノードと前記第4の接続(242)の前記エミッタノードとを形成し、

前記第1および第2の接続(232、236)は、前記アキュムレータノード(238)へ、間に前記累乗回路(230)の入力値(x)を表す時間間隔( $t$ )に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され、

前記第3の接続(237)は、前記アキュムレータノード(238)へ、前記第2のイベントと同時にまたはその後の第3のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノードは、前記第4の接続(242)上の第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記入力値の累乗を表す時間間隔( $t_{ou}$ )に関する第2の時間間隔を有する請求項21に記載のデバイス。

【請求項23】

少なくとも1つの乗算器回路(250)を備え、

前記乗算器回路は、

第1、第2、および第3のアキュムレータノード( $256_1$ 、 $256_2$ 、268)と、

同期ノード(260)と、

第1、第2、第3、第4および第5の定電流成分調整接続であって、前記第1、第3、および第5の接続( $252_1$ 、 $252_2$ 、272)は第1の正の重み(

【数3】

$$\bar{w}_{acc}$$

)を有し、前記第2および第4の接続( $254_1$ 、 $254_2$ )は前記第1の正の重みの値と反対の第2の重み(

【数4】

$$-\bar{w}_{acc}$$

)を有する、第1、第2、第3、第4、および第5の定電流成分調整接続と、

第6、第7、および第8の指数関数的減少電流成分調整接続(262、265、279)と、

第9のデアクティベーション接続(271)と、

少なくとも1つの第10の接続(276)とを備え、

前記第1のアキュムレータノード( $256_1$ )は、前記第1、第2、および第6の接続( $252_1$ 、 $254_1$ 、262)の前記レシーバノードと前記第7の接続(265)の前記エミッタノードとを形成し、

前記第2のアキュムレータノード( $256_2$ )は、前記第3、第4、および第7の接続( $252_2$ 、 $254_2$ 、265)の前記レシーバノードと前記第5および第9の接続(272、271)の前記エミッタノードとを形成し、

前記第3のアキュムレータノード(268)は、前記第5、第8、および第9の接続(272、269、271)の前記レシーバノードと前記第10の接続(276)の前記エミッタノードとを形成し、

前記同期ノード(260)は、前記第6および第8の接続(272、271)の前記エミッタノードを

形成し、

前記第1および第2の接続(252<sub>1</sub>、254<sub>1</sub>)は、前記第1のアクムレータノード(256<sub>1</sub>)へ、間に前記乗算器回路(250)の第1のオペランド(x<sub>1</sub>)を表す時間間隔(t<sub>1</sub>)に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され、

前記第3および第4の接続(252<sub>2</sub>、254<sub>2</sub>)は、前記第2のアクムレータノード(256<sub>2</sub>)へ、間に前記乗算器回路(250)の第2のオペランド(x<sub>2</sub>)を表す時間間隔(t<sub>2</sub>)に関する第2の時間間隔を有するそれぞれの第3および第4のイベントをアドレス指定するように構成され、

前記同期ノード(260)は、前記第1、第2、第3、および第4のイベントが受信された後に前記第6および第8の接続上で第5のイベントを送出するように構成され、それによって、前記第1のアクムレータノード(256<sub>1</sub>)は、前記第7の接続(265)上の第6のイベントの送出手までその電位値を増加させ、

前記第6のイベントに回答して、前記第2のアクムレータノード(256<sub>2</sub>)は、前記第5の接続および第9の接続(272、271)上の第7のイベントの送出手までその電位値を増加させ、

前記第7のイベントに回答して、前記第3のアクムレータノード(268)は、前記第10の接続(276)上の第8のイベントの送出手までその電位値を増加させ、前記第7および第8のイベントは間に前記第1のオペランド(x<sub>1</sub>)と前記第2のオペランド(x<sub>2</sub>)との積を表す時間間隔(t<sub>out</sub>)に関する第3の時間間隔を有する請求項21に記載のデバイス。

【請求項 24】

前記第1および第2のオペランド(x<sub>1</sub>、x<sub>2</sub>)のそれぞれの符号を検出し、前記検出された符号に従って、間に前記第1のオペランドと前記第2のオペランドとの積を表す時間間隔(t<sub>out</sub>)を有する2つのイベントを前記乗算器回路(250)の2つの出力のうち的一方または他方で送出手させるために前記乗算器回路(250)に関連付けられている符号検出論理回路(300~303)をさらに備える請求項23に記載のデバイス。

【請求項 25】

各接続は、遅延パラメータに関連付けられ、前記接続の前記レシーバノードに、前記遅延パラメータによって指示される、前記接続上でイベントを受信することに関して、遅延とともに状態の変化を実行することを知らせる請求項1から24のいずれか一項に記載のデバイス。

【請求項 26】

絶対値xを有する値を表す2つのイベントの間の前記時間間隔 tは、 $t = T_{min} + x \cdot T_{cod}$ の形式をとり、ここで、T<sub>min</sub>およびT<sub>cod</sub>は、事前定義された時間パラメータである請求項1から25のいずれか一項に記載のデバイス。

【請求項 27】

時間間隔によって表される前記値は、0から1の間の絶対値xを有する請求項26に記載のデバイス。

【請求項 28】

入力値(x)について、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の入力であって、間に前記入力値(x)の正の値を表す時間間隔(t)を有する2つのイベントを受信するように配置構成されている、第1の入力と、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の入力であって、間に前記入力値(x)の負の値を表す時間間隔(t)を有する2つのイベントを受信するように配置構成されている、第2の入力とを備える請求項1から27のいずれか一項に記載のデバイス。

【請求項 29】

出力値(x)について、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の出力であって、間に前記出力値(x)の正の値を表す時間間隔(t)を有する2つのイベントを送出す

るように配置構成されている、第1の出力と、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の出力であって、間に前記出力値(x)の負の値を表す時間間隔( $t$ )を有する2つのイベントを送出するように配置構成されている、第2の出力とを備える請求項1から28のいずれか一項に記載のデバイス。

【請求項30】

前記一組の処理ノードは、少なくとも1つのプログラム可能なアレイ(400)の形態をとり、前記アレイの前記ノードは受信された前記イベントによる共有挙動モデルを有し、前記デバイスは計算プログラムに従って前記アレイの前記ノードの間の前記接続の重みおよび遅延パラメータを調整するためのプログラミング論理回路(420)と、入力値を前記アレイに供給し、前記プログラムに従って計算された出力値を復元するための制御ユニット(410)とをさらに備える請求項1から29のいずれか一項に記載のデバイス。