

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

to the output end (OUTPUT); and a pull-up node control circuit (16), wherein a first end thereof is connected to a first power supply voltage end (VSS1), a second end thereof is connected to a third power supply voltage end (VSS2), a third end thereof is connected to the pull-up node (PU), and the pull-up node control circuit (16) is configured to, under the control of the first power supply voltage end (VSS1), discharge the pull-up node (PU) via the third power supply voltage end (VSS2).

(57) 摘要: 一种移位寄存器单元 (100) 及其驱动方法、栅极驱动装置和显示装置。该移位寄存器单元 (100) 包含: 输入电路 (11), 其第一端接收该移位寄存器单元 (100) 的输入信号 (INPUT), 第二端与上拉节点 (PU) 连接, 并且输入电路 (11) 被配置为将输入信号 (INPUT) 输出至上拉节点 (PU); 输出电路 (12), 其第一端与时钟信号端 (CLK) 连接, 第二端与上拉节点 (PU) 连接, 第三端与该移位寄存器单元 (100) 的输出端 (OUTPUT) 连接, 并且输出电路 (12) 被配置为在上拉节点 (PU) 的控制下将时钟信号端 (CLK) 的信号输出至输出端 (OUTPUT); 上拉节点控制电路 (16), 其第一端与第一电源电压端 (VSS1) 连接, 第二端与第三电源电压端 (VSS2) 连接, 第三端与上拉节点 (PU) 连接, 其被配置为: 在第一电源电压端 (VSS1) 的控制下, 通过第三电源电压端 (VSS2) 对上拉节点 (PU) 进行放电。

移位寄存器单元及其驱动方法、栅极驱动装置和显示装置

本申请要求 2017 年 01 月 04 日提交的申请号为 201710004514.8 且发明
名称为“移位寄存器单元及其驱动方法、栅极驱动装置和显示装置”的中国
5 优先申请的优先权，通过引用将其全部内容并入于此。

技术领域

本公开涉及一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装
置。

10

背景技术

薄膜晶体管液晶显示器（TFT-LCD）广泛应用于生产生活的各个领域，
其采用 M*N 点排列的逐行扫描矩阵显示。在进行显示时，TFT-LCD 通过驱
动电路来驱动显示面板中的各个像素进行显示。TFT-LCD 的驱动电路主要包
15 含栅极驱动电路和数据驱动电路。其中，数据驱动电路用于依据时钟信号定
时将输入的数据顺序锁存并将锁存的数据输入到显示面板的数据线。栅极驱
动电路通常用移位寄存器单元来实现，所述移位寄存器单元将时钟信号转换
成开启/断开电压，分别输出到显示面板的各条栅线上。显示面板上的一条栅
线通常与一个移位寄存器单元（即移位寄存器单元的一级）对接。通过使得
20 各个移位寄存器单元依序轮流输出开启电压，实现对显示面板中像素的逐行
扫描。

另一方面，随着平板显示的发展，高分辨率、窄边框成为发展的趋势。
针对这一趋势，出现了阵列基板栅极驱动（Gate Driver on Array, GOA）技术。
GOA 技术直接将 TFT-LCD 的栅极驱动电路集成制作在阵列基板上，由此来
25 代替在面板外沿粘接的、由硅芯片制作的驱动芯片。由于该技术可以将驱动
电路直接做在阵列基板上，面板周围无需再粘接 IC 和布线，减少了面板的
制作程序，降低了产品成本，同时提高了 TFT-LCD 面板的集成度，使面板
实现窄边框和高分辨率。

目前，随着终端客户对美观的高要求、产品的市场价格的不断走低，且
30 对 TFT-LCD 面板画面高品质的需求越来越高，各个 TFT-LCD 面板正在逐渐
使用 GOA 技术取代传统的 COG/COF 技术，一方面是降低生产成本，另一方

面使得产品更加美观。

发明内容

本公开提供了一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。通过上拉节点控制电路实现了对移位寄存器单元的充分放电，使得移位寄存器单元内上拉节点的电位能完全被释放，避免由于异常关机导致移位寄存器单元不能正常工作，进而保证产品的品质，延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

根据本公开的一方面，公开了一种移位寄存器单元，包括：输入电路，其第一端接收该移位寄存器单元的输入信号，第二端与上拉节点连接，并且所述输入电路被配置为将所述输入信号输出至所述上拉节点；输出电路，其第一端与时钟信号端连接，第二端与上拉节点连接，第三端与该移位寄存器单元的输出端连接，并且所述输出电路被配置为在所述上拉节点的控制下将所述时钟信号端的信号输出至所述输出端；上拉节点控制电路，其第一端与第一电源电压端连接，第二端与第三电源电压端连接，第三端与上拉节点连接，其被配置为：在所述第一电源电压端的控制下，通过所述第三电源电压端对所述上拉节点进行放电。

在一个实施例中，在所述第一电源电压端从第一电平跳变至第二电平时，所述上拉节点控制电路在所述第二电平的控制下，通过所述第三电源电压端对所述上拉节点进行放电；在所述第一电源电压端再从第二电平跳变零电压时，所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电，直至所述上拉节点处于零电压。

在一个实施例中，所述上拉节点控制电路包括：第一晶体管，其栅极和第一极与第一电源电压端连接；第一电容，其第一端与第一晶体管的第二极连接，第二端与第三电源电压端连接；以及第二晶体管，其栅极与第一电容的第一端连接，第一极与上拉节点连接，第二极与第三电源电压端连接。

在一个实施例中，第一电源电压端的第一电平为低电平，第一电源电压端的第二电平为高电平，在所述第一电源电压端处于第一电平时第三电源电压端也处于第一电平，在所述第一电源电压端处于第二电平时所述第三电源电压端仍处于第一电平或处于零电压。

根据本公开的又一方面，公开了一种移位寄存器单元的驱动方法，该移

位寄存器单元包含输入电路、输出电路和上拉节点控制电路，该方法包含：在所述第一电源电压端从第一电平跳变至第二电平时，所述上拉节点控制电路在所述第二电平的控制下，通过所述第三电源电压端对所述上拉节点进行放电。

- 5 在一个实施例中，所述方法还包含：在所述第一电源电压端再从第二电平跳变至零电压时，所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电，直至所述上拉节点处于零电压。

10 在一个实施例中，在所述第一电源电压端从第一电平跳变至第二电平之前还包括：第一操作阶段，接收所述移位寄存器单元的输入信号并将所述输入信号输出至所述上拉节点，所述输出电路在所述上拉节点的控制下将所述时钟信号端的信号输出至所述输出端；第二操作阶段，所述输出电路保持所述上拉节点的电平并继续将所述时钟信号端的信号输出至所述输出端。

15 根据本公开的再一方面，公开了一种栅极驱动装置，包括多个串联的移位寄存器单元，每个所述移位寄存器单元是上述移位寄存器单元，其中除最后一个移位寄存器单元外，其余每个移位寄存器单元的输出端均和与其相邻的下一个移位寄存器单元的输入端相连；所述第一个移位寄存器单元的输入端输入帧起始信号。

根据本公开的另一方面，公开了一种包含上述栅极驱动装置的显示装置。

20 附图说明

通过结合附图对本发明的优选实施例进行详细描述，本发明的上述和其他目的、特性和优点将会变得更加清楚，其中相同的标号指定相同结构的单元，并且在其中：

- 图 1 示出了一种移位寄存器单元的电路图；
25 图 2 示出了图 1 的移位寄存器单元的操作时序图；
图 3 示出了根据本公开实施例的移位寄存器单元的框图；
图 4 示出了根据本发明实施例的移位寄存器单元的示意性电路图；
图 5 示出了根据本发明实施例的移位寄存器单元的操作方法；
图 6 示出了根据本公开另一实施例的移位寄存器单元的框图；
30 图 7 示出了根据本公开另一实施例的移位寄存器单元的一种示例电路结构图；

图 8 示出了图 7 中的移位寄存器单元的示例电路的操作时序图；

图 9 示出了由根据本公开实施例的多个移位寄存器单元级联形成的栅极驱动装置的示意图。

5 具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

10 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中，每个晶体管的漏极和源极的连接方式可以互换，因此，本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里，为了描述方便，将晶体管的漏极和源极之一称作晶体管的第一极，而将另一个称作晶体管的第二极。

15 图 1 示出了一种移位寄存器单元的电路图，图 2 示出了图 1 的移位寄存器单元的操作时序图。

在图 1 中，时钟信号端 CLK 输入的时钟信号的占空比为 50%，第一电源电压端 VSS1 是低电源电压端，第二电源电压端 VDD 是高电源电压端，并为该移位寄存器单元输入降噪信号。

20 下面，参考图 1 和图 2 描述如图 1 所示的移位寄存器单元的操作。

在第一阶段 1，该移位寄存器单元的输入端 INPUT 的输入信号处于低电平，输入晶体管 M1 截止，虽然时钟信号端 CLK 处的时钟信号处于高电平，但是由于上拉节点 PU 处的上拉信号处于低电平，输出晶体管 M2 截止，输出端 OUTPUT 输出低电平。

25 在第二阶段 2，该移位寄存器单元的输入端 INPUT 的输入信号处于高电平，时钟信号端 CLK 处的时钟信号处于低电平，此时输入晶体管 M1 导通，将输入端 INPUT 的高电平传递到上拉节点 PU，此时上拉节点 PU 升到高电平，使得输出晶体管 M2 导通，由于时钟信号端 CLK 的时钟信号处于低电平，输出端 OUTPUT 仍输出低电平。

30 在第三阶段 3，该移位寄存器单元的输入端 INPUT 的输入信号处于低电平，时钟信号端 CLK 处的时钟信号处于高电平，此时输入晶体管 M1 截止，

上拉节点 PU 的电位由于第二电容 C1 的存在会持续保持在高电平，从而继续使得输出晶体管 M2 导通，由于时钟信号端 CLK 的时钟信号处于高电平，输出端 OUTPUT 输出高电平，进一步由于第二电容 C1 的自举作用，此时上拉节点 PU 的电位继续升高。同时，由于上拉节点 PU 的电位处于高电平，晶体管 M7 导通，使得下拉节点 PD 被下拉至第一电源电压端 VSS1 的低电平。

若此时异常关机，如图 2 中的第四阶段 4 所示，第一电源电压端 VSS1 的信号被拉高至高电平并且第二电源电压端 VDD 同时保持为高电平，然后第一电源电压端 VSS1、第二电源电压端 VDD 的信号同时迅速地降到低电平。

应了解，所述第一电源电压端 VSS1 的电压拉高是为了解决关机时残影的问题而专门设计的，在正常操作情况下，在关机时将所述第一电源电压端 VSS1 的电压拉高至能够实现各条栅线同时输出高电平，从而使得各像素放电以消除残影。然而，由于异常关机，所述第一电源电压端 VSS1 的电压拉高也导致下拉节点 PD 的电位无法被拉高至高电平，使得晶体管 M5 无法导通，进而使得上拉节点 PU 的电位无法释放。长时间、多次的异常关机，会导致上述移位寄存器单元（即，GOA 电路）的相关 TFT 特性发生变化，从而会使得移位寄存器单元输出异常。

为了解决上述问题，本公开提供了一种移位寄存器单元，其通过上拉节点控制电路实现对移位寄存器单元的充分放电，使得移位寄存器单元内上拉节点的电位能完全被释放，避免由于异常关机导致移位寄存器单元不能正常工作，进而保证产品的品质，延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

具体地，根据本发明实施例，增加了第三电源电压端 VSS2，并且在关机时第三电源电压端 VSS2 不会像第一电源电压端 VSS1 那样从低电平跳变至高电平，而是变为 0V。

根据本发明实施例，在关机时，上拉节点控制电路 16 在第一电源电压端 VSS1 和第二电源电压端 VSS2 的控制下，将上拉节点 PU 下拉到第二电源电压端 VSS2 的 0V，从而实现对上拉节点 PU 的可靠放电。

图 3 示出了根据本公开实施例的移位寄存器单元的框图。如图 3 所示，在一个实施例中，该移位寄存器单元 100 包含输入电路 11、输出电路 12 和上拉节点控制电路 16。

所述输入电路 11 的第一端接收该移位寄存器单元的输入信号 INPUT，第

二端与上拉节点 PU 连接，并且所述输入电路 11 被配置为将所述输入信号 INPUT 输出至所述上拉节点 PU。

所述输出电路 12 的第一端与时钟信号端 CLK 连接，第二端与上拉节点 PU 连接，第三端与该移位寄存器单元的输出端 OUTPUT 连接，并且所述输出电路 12 被配置为在所述上拉节点 PU 的控制下将所述时钟信号端 CLK 的信号输出至所述输出端 OUTPUT。

所述上拉节点控制电路 16 的第一端与第一电源电压端 VSS1 连接，第二端与第三电源电压端 VSS2 连接，第三端与上拉节点 PU 连接，并且所述上拉节点控制电路 16 被配置为：在所述第一电源电压端 VSS1 的控制下，通过所述第三电源电压端 VSS2 对所述上拉节点 PU 进行放电。

根据本发明实施例，在所述第一电源电压端从第一电平跳变至第二电平时，所述上拉节点控制电路在所述第二电平的控制下，通过所述第三电源电压端对所述上拉节点进行放电。

更进一步，根据本发明实施例，在所述第一电源电压端再从第二电平跳变至零电压时，所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电，直至所述上拉节点处于零电压。

可选地，该上拉节点控制电路还包括第四端，该第四端与该移位寄存器单元的输入端 INPUT 连接，并且该上拉节点控制电路 16 还被配置为在所述输入端的输入信号处于有效电平时，保证上拉节点 PU 不被错误地下拉。

图 4 示出了根据本公开实施例的移位寄存器单元的一种示意性电路图。

如图 4 所示，在一个实施例中，例如，输入电路 11 包括输入晶体管 M1。输入晶体管 M1 的栅极和第一极与输入端 INPUT 连接，第二极与上拉节点 PU 连接。在输入端 INPUT 的输入信号处于高电平时，输入晶体管 M1 导通，将输入端 INPUT 的输入信号传递到上拉节点 PU。

在一个实施例中，例如，输出电路 12 包括输出晶体管 M2 和第二电容 C1。输出晶体管 M2 的栅极与上拉节点 PU 连接，第一极与时钟信号端 CLK 连接，第二极与输出端 OUTPUT 连接。第二电容 C1 的第一端与上拉节点 PU 连接，第二端与输出端 OUTPUT 连接。在上拉节点 PU 处的上拉信号处于高电平时，输出晶体管 M2 导通，将时钟信号端 CLK 的时钟信号输出到输出端 OUTPUT。

在一个实施例中，例如，上拉节点控制电路 16 包括第一晶体管 M8、第

一电容 C2 和第二晶体管 M9。第一晶体管 M8 的栅极和第一极与第一电源电压端 VSS1 连接,第二极与第一电容 C2 的第一端连接。第一电容 C2 的第二端与第三电源电压端 VSS2 连接。第二晶体管 M9 的栅极与第一电容 C2 的第一端连接,第一极与上拉节点 PU 连接,第二极与第三电源电压端 VSS2 连接。

5 在一个实施例中,上拉节点控制电路 16 还包括第三晶体管 M10,其栅极与该移位寄存器单元的输入端 INPUT 连接,第一极与第一电容 C2 的第一端连接,第二极与第一电源电压端 VSS1 连接,从而在所述输入端 INPUT 的输入信号的控制下,通过所述第一电源电压端 VSS1 对所述第二晶体管 M9 的栅极进行放电。

10 图 5 示出了根据本发明实施例的移位寄存器单元的驱动方法。根据本发明实施例的移位寄存器单元的驱动方法适用于显示装置关机时的操作。

在步骤 501,接收到关机信号。

在步骤 502,第一电源电压端从第一电平跳变至第二电平,所述上拉节点控制电路在所述第二电平的 control 下,通过所述第三电源电压端对所述上拉节点进行放电。

可选地,在步骤 503,在所述第一电源电压端再从第二电平跳变至零电压时,所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电,直至所述上拉节点处于零电压。

图 6 示出了根据本公开实施例的移位寄存器单元的另一示意性框图。如图 6 所示,在一个实施例中,该移位寄存器单元 100 包含输入电路 11、输出电路 12、下拉电路 14、下拉控制电路 15 和上拉节点控制电路 16。

输入电路 11 的第一端与该移位寄存器单元的输入端 INPUT 连接用于从该输入端 INPUT 接收输入信号,第二端与上拉节点 PU 连接。该输入电路 11 被配置为在输入端 INPUT 的输入信号处于有效输入电平时,将所接收的输入信号传递到上拉节点 PU。

输出电路 12 的第一端与时钟信号端 CLK 连接,第二端与上拉节点 PU 连接,第三端与该移位寄存器单元的输出端 OUTPUT 连接。该输出电路 12 被配置来在上拉节点 PU 处的上拉信号处于有效上拉电平时将时钟信号端 CLK 的时钟信号输出到输出端 OUTPUT。

30 下拉控制电路 15 的第一端与第二电源电压端 VDD 连接,第二端与下拉节点 PD 连接,第三端与第一电源电压端 VSS1 连接,第四端与上拉节点 PU

连接。该下拉控制电路 15 被配置为根据上拉节点 PU 处的电平控制下拉节点 PD 处的电平，从而控制下拉电路 14 是否进行操作。例如，下拉控制电路 15 在第一电源电压端和第二电源电压端的电平相反时，使得所述下拉节点的电平与所述上拉节点的电平相反，具体地在上拉节点 PU 处的上拉信号处于有效上拉电平时，在下拉节点 PD 处产生处于非有效下拉电平的下拉信号，而在上拉节点 PU 处的上拉信号处于非有效上拉电平时，在下拉节点 PD 处产生处于有效下拉电平的下拉信号。

下拉电路 14 的第一端与下拉节点 PD 连接，第二端与上拉节点 PU 连接，第三端与第一电源电压端 VSS1 连接。该下拉电路 14 被配置来在所述下拉节点 PD 的控制下，通过所述第一电源电压端对所述上拉节点进行下拉，例如，在下拉节点 PD 处的下拉信号处于有效下拉电平时将所述上拉节点 PU 处的电平下拉至所述第一电源电压端 VSS1 的电源电压。

上拉节点控制电路 16 的第一端与第一电源电压端 VSS1 连接，第二端与第三电源电压端 VSS2 连接，第三端与上拉节点 PU 连接。该上拉节点控制电路 16 被配置为在所述第一电源电压端 VSS1 的控制下，通过所述第三电源电压端 VSS2 对所述上拉节点进行放电。例如，在所述第一电源电压端 VSS1 从第一电平跳变至第二电平时，所述上拉节点控制电路 16 在所述第二电平的控制下，通过所述第三电源电压端 VSS2 对所述上拉节点进行放电。在一个实施例中，在异常关机的情况下，该上拉节点控制电路 16 被配置为在第一电源电压端 VSS1 突然跳变至高电平时，对上拉节点 PU 放电。在另一实施例中，在所述第一电源电压端再从第二电平跳变零电压时，所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电，直至所述上拉节点处于零电压。

可选地，在另一实施例中，如图 6 所示，该移位寄存器单元 100 的上拉节点控制电路 16 进一步包含第四端，该第四端与该移位寄存器单元的输入端 INPUT 连接。该上拉节点控制电路 16 被配置为根据第一电源电压端 VSS1、第三电源电压端 VSS2 和输入端 INPUT 控制上拉节点 PU 处的电平。该上拉节点控制电路 16 被配置为在所述第一电源电压端 VSS1 的控制下，通过所述第三电源电压端 VSS2 对所述上拉节点进行放电。该上拉节点控制电路 16 还被配置为在所述输入端的输入信号的控制下，保证在输入端 INPUT 处于有效电平时，上拉节点 PU 不被错误地下拉。

在该实施例中,第一电源电压端 VSS1 和第三电源电压端 VSS2 是低电源电压端,第二电源电压端 VDD 是高电源电压端。

可选地,在另一实施例中,该移位寄存器单元 100 还包含复位电路 13。

复位电路 13 的第一端与复位信号端 RESET 连接,第二端与上拉节点 PU 连接,第三端与第一电源电压端 VSS1 连接,第四端与该移位寄存器单元的
5 输出端 OUTPUT 连接。该复位电路 13 被配置来在复位信号端 RESET 的复位信号处于有效控制电平时将上拉节点 PU 处的上拉信号复位至第一电源电压端 VSS1 的电源电压以及将输出端 OUTPUT 的输出信号复位至第一电源电压端 VSS1 的电源电压。

10 本公开还提供了一种上述移位寄存器单元的驱动方法。下面结合图 6-图 8 对该方法进行说明。在一个实施例中,例如,如图 6 所示,该移位寄存器单元 100 包含输入电路 11、输出电路 12、下拉电路 14、下拉控制电路 15 和上拉节点控制电路 16。该方法包含:

由输入电路 11 将所接收的输入信号传递到上拉节点 PU。

15 由输出电路 12 将时钟信号端 CLK 的时钟信号输出到该移位寄存器单元的输出端 OUTPUT。

接收关机信号,并且第一电源电压端 VSS1 从低电平跳变至高电平。由上拉节点控制电路 16 在第一电源电压端 VSS1 从低电平跳变至高电平时,对上拉节点 PU 放电。

20 第一电源电压端 VSS1 从高电平跳变至零电压。由上拉节点控制电路 16 在第一电源电压端 VSS1 从高电平跳变至零电压时,继续对上拉节点 PU 放电,直至上拉节点 PU 达到零电压。

在一个实施例中,例如,如图 6 所示,该移位寄存器单元 100 还包含复位电路 13,该移位寄存器单元的驱动方法还包含由复位电路 13 将上拉节点
25 PU 处的上拉信号复位至第一电源电压端 VSS1 的电源电压以及将该移位寄存器单元的输出端 OUTPUT 的输出信号复位至第一电源电压端 VSS1 的电源电压。

图 7 示出了根据本公开实施例的移位寄存器单元的一种示例电路结构图。下面以图 7 中的晶体管均为 N 型晶体管为例进行说明。如本领域技术人员所熟知的,N 型晶体管在栅极输入高电平时导通。
30

如图 7 所示,在一个实施例中,例如,输入电路 11 包括输入晶体管 M1。

输入晶体管 M1 的栅极和第一极与输入端 INPUT 连接,第二极与上拉节点 PU 连接。在输入端 INPUT 的输入信号处于高电平时,输入晶体管 M1 导通,将输入端 INPUT 的输入信号传递到上拉节点 PU。

在一个实施例中,例如,输出电路 12 包括输出晶体管 M2 和第二电容 C1。输出晶体管 M2 的栅极与上拉节点 PU 连接,第一极与时钟信号端 CLK 连接,第二极与输出端 OUTPUT 连接。第二电容 C1 的第一端与上拉节点 PU 连接,第二端与输出端 OUTPUT 连接。在上拉节点 PU 处的上拉信号处于高电平时,输出晶体管 M2 导通,将时钟信号端 CLK 的时钟信号输出到输出端 OUTPUT。

10 在一个实施例中,例如,下拉控制电路 15 包括第一下拉控制晶体管 M6 和第二下拉控制晶体管 M7。第一下拉控制晶体管 M6 的栅极和第一极与第二电源电压端 VDD 连接,第二极与下拉节点 PD 连接。第二下拉控制晶体管 M7 的栅极与上拉节点 PU 连接,第一极与下拉节点 PD 连接,第二极与第一电源电压端 VSS1 连接。例如,在上拉节点 PU 处的上拉信号处于低电平时,15 第二电源电压端 VDD 输出的高电平信号使得第一下拉控制晶体管 M6 导通,在下拉节点 PD 处产生处于高电平的下拉信号,使得下拉晶体管 M5 导通;而在上拉节点 PU 处的上拉信号 PU 处于高电平时,第二下拉控制晶体管 M7 导通,通过合理选择第一下拉控制晶体管 M6 和第二下拉控制晶体管 M7 的沟道参数(例如沟道宽长比),从而在下拉节点 PD 处产生处于低电平的下拉信20 号,使得下拉晶体管 M5 不导通。

在一个实施例中,例如,下拉电路 14 包括下拉晶体管 M5。下拉晶体管 M5 的栅极与下拉节点 PD 连接,第一极与上拉节点 PU 连接,第二极与第一电源电压端 VSS1 连接。在下拉节点 PD 处的下拉信号处于高电平时,下拉晶体管 M5 导通,将所述上拉节点 PU 处的上拉信号下拉至所述第一电源电压端25 VSS1 的电源电压。

在一个实施例中,例如,上拉节点控制电路 16 包括第一晶体管 M8、第一电容 C2 和第二晶体管 M9。第一晶体管 M8 的栅极和第一极与第一电源电压端 VSS1 连接,第二极与第一电容 C2 的第一端连接。第一电容 C2 的第二端与第三电源电压端 VSS2 连接。第二晶体管 M9 的栅极与第一电容 C2 的第一端连接,第一极与上拉节点 PU 连接,第二极与第三电源电压端 VSS2 连接。30

可选地,在一个实施例中,例如,上拉节点控制电路 16 还包括第三晶体

管 M10, 其栅极与该移位寄存器单元的输入端 INPUT 连接, 第一极与第一电容 C2 的第一端连接, 第二极与第一电源电压端 VSS1 连接。

可选地, 在另一实施例中, 该移位寄存器单元 100 还包含复位电路 13。例如, 复位电路 13 包括节点复位晶体管 M3 和输出复位晶体管 M4。节点复位晶体管 M3 的栅极与复位信号端 RESET 连接, 第一极与上拉节点 PU 连接, 第二极与第一电源电压端 VSS1 连接。输出复位晶体管 M4 的栅极与所述复位信号端 RESET 连接, 第一极与所述输出端 OUTPUT 连接, 第二极与所述第一电源电压端 VSS1 连接。在复位信号端 RESET 处的复位信号处于高电平时, 节点复位晶体管 M3 导通, 将上拉节点 PU 处的上拉信号复位至第一电源电压端 VSS1 的电源电压, 并且输出复位晶体管 M4 导通, 将输出端 OUTPUT 的输出信号复位至第一电源电压端 VSS1 的电源电压。

在该实施例中, 第一电源电压端 VSS1 和第三电源电压端 VSS2 是低电源电压端, 第二电源电压端 VDD 是高电源电压端。

在本公开实施例的移位寄存器单元中, 通过上拉节点控制电路 16 实现对异常关机时移位寄存器单元内上拉节点 PU 的电位的完全释放, 避免由于异常关机使得移位寄存器单元损伤, 进而保证产品的品质, 从而可以延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

图 8 示出了图 7 中的移位寄存器单元的示例电路的操作时序图。下面结合图 7 和图 8 对图 7 中的移位寄存器单元的驱动方法进行说明。

在第一阶段 1 (初始阶段), 输入端 INPUT 的输入信号处于低电平。输入晶体管 M1 截止, 虽然时钟信号端 CLK 处的时钟信号处于高电平, 但是由于上拉节点 PU 处的上拉信号处于低电平, 输出晶体管 M2 截止, 输出端 OUTPUT 输出低电平。

在第二阶段 2 (输入阶段), 输入端 INPUT 的输入信号处于高电平, 时钟信号端 CLK 处的时钟信号处于低电平。输入晶体管 M1 导通, 将输入端 INPUT 的高电平传递到上拉节点 PU, 此时上拉节点 PU 处于第一高电压, 使得输出晶体管 M2 导通, 由于时钟信号端 CLK 的时钟信号处于低电平, 输出端 OUTPUT 输出低电平。并且, 由于上拉节点 PU 处于第一高电压, 使得第二下拉控制晶体管 M7 导通, 从而在下拉节点 PD 处产生处于低电平的下拉信号。

在第三阶段 3 (输出阶段), 输入端 INPUT 的输入信号处于低电平, 输入晶体管 M1 截止。由于第二电容 C1 的电压保持作用, 上拉节点 PU 继续使得

输出晶体管 M2 导通，并且由于时钟信号端 CLK 的时钟信号处于高电平，输出端 OUTPUT 输出高电平，进而由于第二电容 C1 的电压耦合作用，此时上拉节点 PU 被从第一高电压抬升到第二高电压。此外，在该阶段中，由于上拉节点 PU 处于高电平，第二下拉控制晶体管 M7 保持导通，下拉节点 PD 仍处于低电平。

若在上述第三阶段 3（输出阶段）出现异常关机，如前所述，第一电源电压端 VSS1 的信号同时被拉高至高电平并且第二电源电压端 VDD 同时保持为高电平，然后第一电源电压端 VSS1、第二电源电压端 VDD 的信号迅速地同时降至低电平（参见图 8 第四阶段 4 所示的 VSS1 和 VDD）。

在本公开实施例中引入了第三电源电压端 VSS2，该第三电源电压端 VSS2 的信号基本与第一电源电压端 VSS1 的信号一致，但在关机时不会被拉高至上述高电平（该部分 PCBA 可实现），而是被拉至 0V。

下面将参照图 7 的电路图以及图 8 的第四阶段 4 具体描述在异常关机情况下根据本发明实施例的上拉节点控制电路 16 的操作。

在该第四阶段 4，第一电源电压端 VSS1 从低电平跳变至高电平，第三电源电压端 VSS2 为 0V，此时第一晶体管 M8 导通，给第一电容 C2 充电，并使得第二晶体管 M9 导通。接下来，当第一电源电压端 VSS1 的电压信号降低至 0V 后，由于第一电容 C2 的电压保持功能，使得第二晶体管 M9 继续导通，从而使得上拉节点 PU 的电位被拉低至 0V，实现上拉节点 PU 的放电。

进一步地，上拉节点控制电路还可以包括第三晶体管 M10。对于每一帧，在每一行扫描开始的时候，第三晶体管 M10 导通，使得第一电容 C2 放电，从而不影响正常的上拉节点 PU 的充电功能。

在该实施例中，第一电源电压端 VSS1 和第三电源电压端 VSS2 是低电源电压端，第二电源电压端 VDD 是高电源电压端。

在本公开实施例的移位寄存器单元中，通过上拉节点控制电路 16 实现对异常关机时移位寄存器单元内上拉节点 PU 的电位的完全释放，避免由于异常关机使得移位寄存器单元损伤，进而保证产品的品质，从而可以延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

在本公开实施例的移位寄存器单元及其驱动方法中，通过上拉节点控制电路实现对移位寄存器单元的充分放电，使得移位寄存器单元内上拉节点的电位能完全被释放，避免由于异常开关机导致移位寄存器单元不能正常工作，

进而保证产品的品质,从而可以延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

图 9 示出了由根据本公开实施例的多个移位寄存器单元级联形成的栅极驱动装置的示意图。

5 如图 9 所示,在该栅极驱动装置中,多个图 4 中的上述移位寄存器单元串联连接,其中除最后一个移位寄存器单元 R_m 外,其余每个移位寄存器单元 R_i ($1 \leq i < m$) 的输出端 OUTPUT 均和与其相邻的下一个移位寄存器单元 R_{i+1} 的输入端 INPUT 相连。或者,多个图 7 中的上述移位寄存器单元串联连接。其中除最后一个移位寄存器单元 R_m 外,其余每个移位寄存器单元 R_i ($1 \leq i < m$) 的输出端 OUTPUT 均和与其相邻的下一个移位寄存器单元 R_{i+1} 的输入端 INPUT 相连;除第一个移位寄存器单元 R_1 外,其余每个移位寄存器单元 R_i ($1 < i \leq m$) 的输出端 OUTPUT 均和与其相邻的上一个移位寄存器单元 R_{i-1} 的复位信号端 RESET 相连。所述第一个移位寄存器单元 R_1 的输入端 INPUT 输入帧起始信号 STV。

15 如图 6 所示,在该栅极驱动装置中,相邻两级移位寄存器单元的时钟信号端输入的时钟信号相反。例如第一个移位寄存器单元 R_1 输入时钟信号 CLK,则第二个移位寄存器单元 R_2 输入时钟信号 CLKB,其中 CLK 信号和 CLKB 信号互为反相。

值得注意的是,上述栅极驱动装置中移位寄存器单元的布置和连接不限于上述方式。例如,可以每 6 个移位寄存器单元为一组进行设置。在这种情况下,需要一组时钟信号 CLK1 至 CLK6。即,每 6 个移位寄存器单元为一组,第一移位寄存器单元的时钟信号端输入第一时钟信号 CLK1,第二移位寄存器单元的时钟信号端输入时钟信号 CLK2,第三移位寄存器单元的时钟信号端输入时钟信号 CLK3,等等,依此类推。第四移位寄存器单元的输出信号作为第一移位寄存器单元的复位信号,第五移位寄存器单元的输出信号作为第二移位寄存器单元的复位信号,等等,依此类推。

根据本公开实施例的栅极驱动装置在扫描时各移位寄存器单元的具体工作过程与参照图 7 和图 8 描述的工作过程相似,在此不再赘述。

30 根据本公开实施例的栅极驱动装置可以采用 GOA 技术,用作显示装置的栅极驱动电路,以提供逐行扫描功能,将扫描信号传送至显示区域。

根据本公开实施例的栅极驱动装置可以避免由于异常关机导致移位寄存

器单元不能正常工作，进而保证产品的品质，从而可以延长应用该移位寄存器单元的 TFT-LCD 的使用寿命。

本公开还提供了一种包含上述栅极驱动装置的显示装置。

这里的显示装置可以为：电子纸、手机、平板电脑、电视机、显示器、

5 笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

根据本公开实施例的显示装置可以避免由于异常开关机导致移位寄存器单元不能正常工作，进而保证产品的品质，从而可以延长 TFT-LCD 的使用寿命。

10 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种移位寄存器单元, 包含:

5 输入电路, 其第一端接收该移位寄存器单元的输入信号, 第二端与上拉节点连接, 并且所述输入电路被配置为将所述输入信号输出至所述上拉节点;

输出电路, 其第一端与时钟信号端连接, 第二端与上拉节点连接, 第三端与该移位寄存器单元的输出端连接, 并且所述输出电路被配置为在所述上拉节点的控制下将所述时钟信号端的信号输出至所述输出端;

10 上拉节点控制电路, 其第一端与第一电源电压端连接, 第二端与第三电源电压端连接, 第三端与上拉节点连接, 其被配置为: 在所述第一电源电压端的控制下, 通过所述第三电源电压端对所述上拉节点进行放电。

2. 根据权利要求 1 所述的移位寄存器单元, 其中, 在所述第一电源电压端从第一电平跳变至第二电平时, 所述上拉节点控制电路在所述第二电平的控制下, 通过所述第三电源电压端对所述上拉节点进行放电。

15 3. 根据权利要求 2 所述的移位寄存器单元, 其中, 在所述第一电源电压端再从第二电平跳变至零电压时, 所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电, 直至所述上拉节点处于零电压。

4. 根据权利要求 3 所述的移位寄存器单元, 其中该上拉节点控制电路的第四端与该移位寄存器单元的输入端连接, 并且该上拉节点控制电路 16 还被
20 配置为在所述输入端的输入信号处于有效电平时, 保证上拉节点 PU 不被下拉。

5. 根据权利要求 3 所述的移位寄存器单元, 其中, 上拉节点控制电路包括:

第一晶体管, 其栅极和第一极与第一电源电压端连接;

25 第一电容, 其第一端与第一晶体管的第二极连接, 第二端与第三电源电压端连接; 以及

第二晶体管, 其栅极与第一电容的第一端连接, 第一极与上拉节点连接, 第二极与第三电源电压端连接。

30 6. 根据权利要求 4 所述的移位寄存器单元, 其中, 上拉节点控制电路包括:

第一晶体管, 其栅极和第一极与第一电源电压端连接;

第一电容，其第一端与第一晶体管的第二极连接，第二端与第三电源电压端连接；

第二晶体管，其栅极与第一电容的第一端连接，第一极与上拉节点连接，第二极与第三电源电压端连接；以及

- 5 第三晶体管，其栅极与该移位寄存器单元的输入端连接，第一极与第一电容的第一端连接，第二极与第一电源电压端连接。

7.根据权利要求 1 所述的移位寄存器单元，还包括：

- 下拉电路，其第一端与下拉节点连接，第二端与上拉节点连接，第三端与第一电源电压端连接，并且被配置为在所述下拉节点的控制下，通过所述
10 第一电源电压端对所述上拉节点进行下拉；

下拉控制电路，其第一端与第二电源电压端连接，第二端与下拉节点连接，第三端与第一电源电压端连接，第四端与上拉节点连接，并且被配置为：在第一电源电压端和第二电源电压端的电平相反时，使得所述下拉节点的电平与所述上拉节点的电平相反。

- 15 8.根据权利要求 1 所述的移位寄存器单元，还包括：

复位电路，其第一端与复位信号端连接，第二端与上拉节点连接，第三端与第一电源电压端连接，第四端与该移位寄存器单元的输出端连接，并且被配置为：在所述复位信号端的控制下，通过所述第一电源电压端对所述上拉节点和所述输出端进行下拉。

- 20 9.根据权利要求 1 所述的移位寄存器单元，其中，输入电路包括：

输入晶体管，其栅极和第一极与该移位寄存器单元的输入端连接，第二极与上拉节点连接。

10.根据权利要求 1 所述的移位寄存器单元，其中，输出电路包括：

- 25 输出晶体管，其栅极与上拉节点连接，第一极与时钟信号端连接，第二极与输出端连接；以及

第二电容，其第一端与上拉节点连接，第二端与输出端连接。

11.根据权利要求 7 所述的移位寄存器单元，其中，所述下拉电路包括：

下拉晶体管，其栅极与下拉节点连接，第一极与上拉节点连接，第二极与第一电源电压端连接。

- 30 12.根据权利要求 7 所述的移位寄存器单元，其中，所述下拉控制电路包括：

第一下拉控制晶体管，其栅极和第一极与第二电源电压端连接，第二极与下拉节点连接；

第二下拉控制晶体管，其栅极与上拉节点连接，第一极与下拉节点连接，第二极与第一电源电压端连接。

5 13. 根据权利要求 2 或 3 所述的移位寄存器单元，其中，第一电源电压端的第一电平为低电平，第一电源电压端的第二电平为高电平，在所述第一电源电压端处于第一电平时第三电源电压端也处于第一电平，在所述第一电源电压端处于第二电平时所述第三电源电压端仍处于第一电平或处于零电压。

10 14. 一种如权利要求 1 所述的移位寄存器单元的驱动方法，包含：

在所述第一电源电压端从第一电平跳变至第二电平时，所述上拉节点控制电路在所述第二电平的控制下，通过所述第三电源电压端对所述上拉节点进行放电。

15. 如权利要求 14 所述的移位寄存器单元的驱动方法，还包含：

15 在所述第一电源电压端再从第二电平跳变至零电压时，所述上拉节点控制电路继续通过第三电源电压端对所述上拉节点放电，直至所述上拉节点处于零电压。

16. 根据权利要求 15 所述的驱动方法，其中，上拉节点控制电路包括：

第一晶体管，其栅极和第一极与第一电源电压端连接；

20 第一电容，其第一端与第一晶体管的第二极连接，第二端与第三电源电压端连接；以及

第二晶体管，其栅极与第一电容的第一端连接，第一极与上拉节点连接，第二极与第三电源电压端连接，

25 其中，在所述第一电源电压端从第一电平跳变至第二电平时，所述第一晶体管导通对第一电容充电，并且使第二晶体管导通以通过第三电源电压端对所述上拉节点放电；以及

在所述第一电源电压端再从第二电平跳变零电压时，所述第一电容使得第二晶体管保持导通并继续通过第三电源电压端对所述上拉节点放电。

30 17. 根据权利要求 14 所述的驱动方法，在所述第一电源电压端从第一电平跳变至第二电平之前还包括：

第一操作阶段，接收所述移位寄存器单元的输入信号并将所述输入信号

输出至所述上拉节点，所述输出电路在所述上拉节点的控制下将所述时钟信号端的信号输出至所述输出端；

第二操作阶段，所述输出电路保持所述上拉节点的电平并继续将所述时钟信号端的信号输出至所述输出端。

5 18. 根据权利要求 14-17 中任一项所述的驱动方法，其中，第一电源电压端的第一电平为低电平，第一电源电压端的第二电平为高电平，在所述第一电源电压端处于第一电平时第三电源电压端也处于第一电平，在所述第一电源电压端处于第二电平时所述第三电源电压端仍处于第一电平或处于零电压。

10 19. 一种栅极驱动装置，包括多个串联的移位寄存器单元，每个所述移位寄存器单元是如权利要求 1-13 中任一项所述的移位寄存器单元，

其中除最后一个移位寄存器单元外，其余每个移位寄存器单元的输出端均和与其相邻的下一个移位寄存器单元的输入端相连；

所述第一个移位寄存器单元的输入端输入帧起始信号。

15 20. 一种包含根据权利要求 19 所述的栅极驱动装置的显示装置。

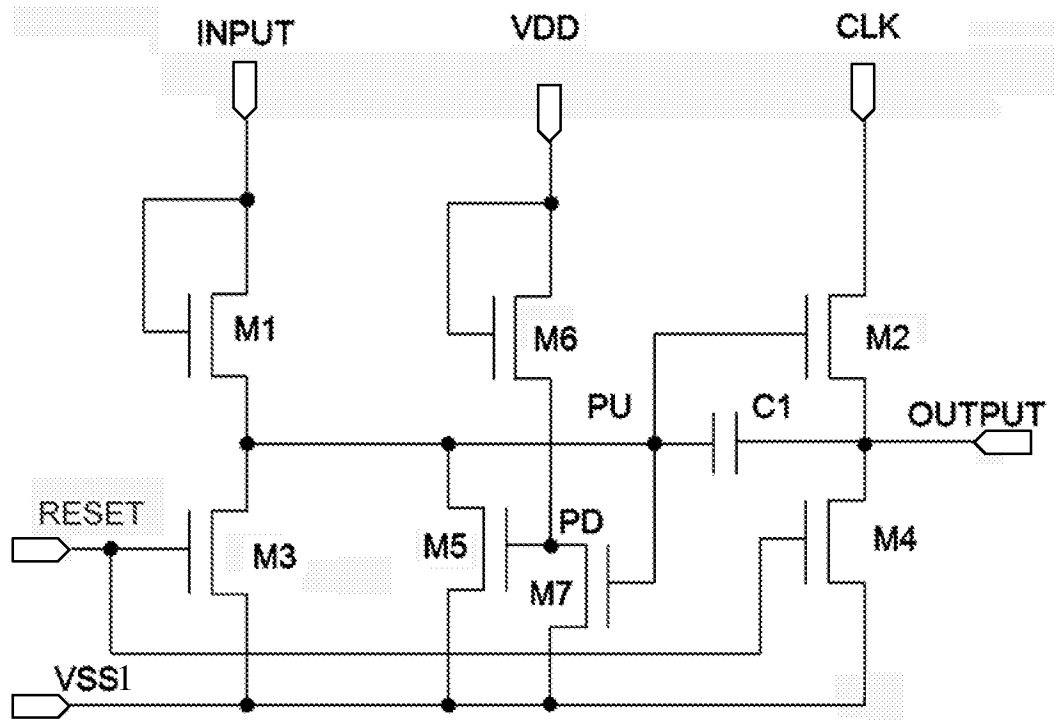


图 1

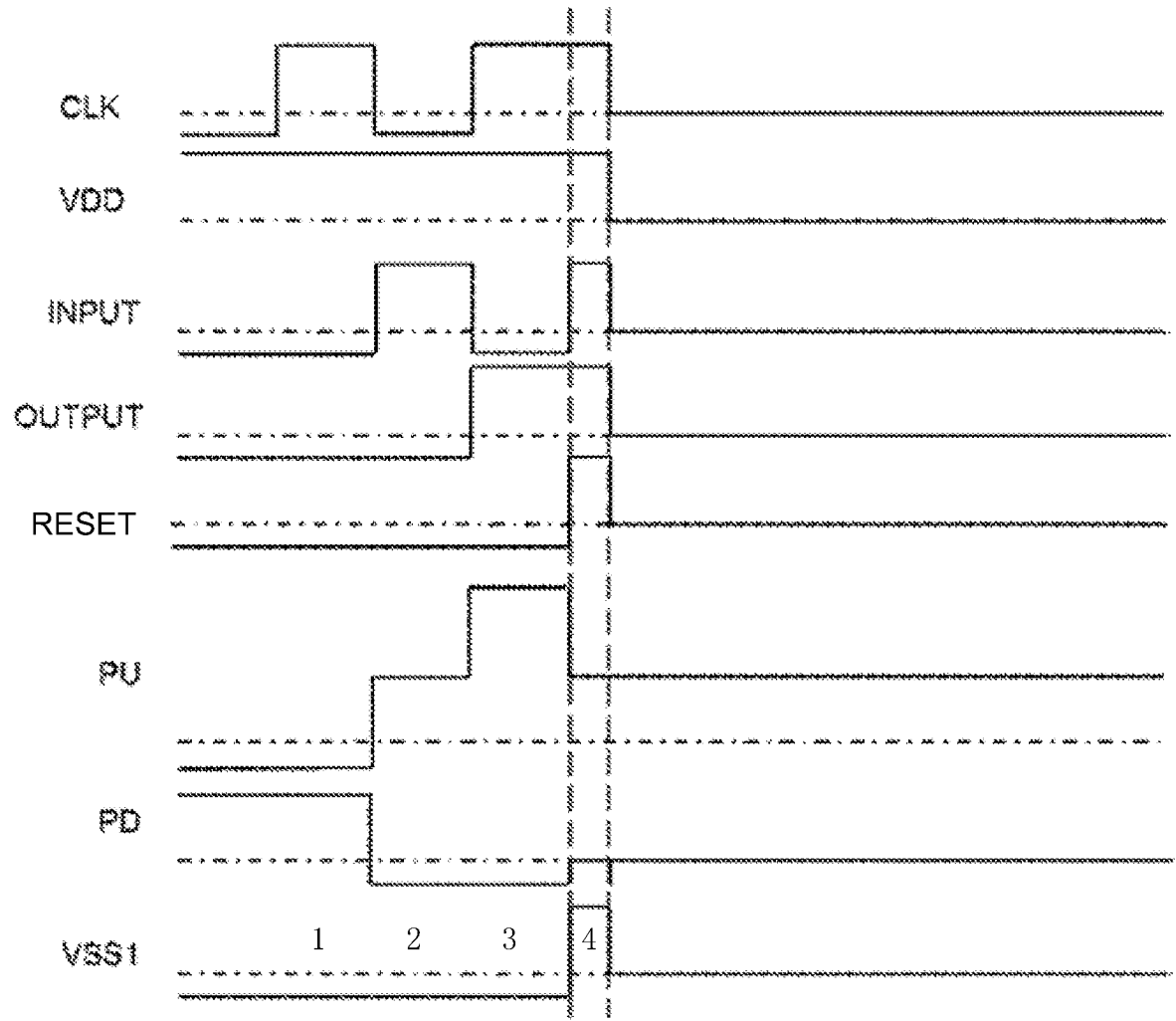


图 2

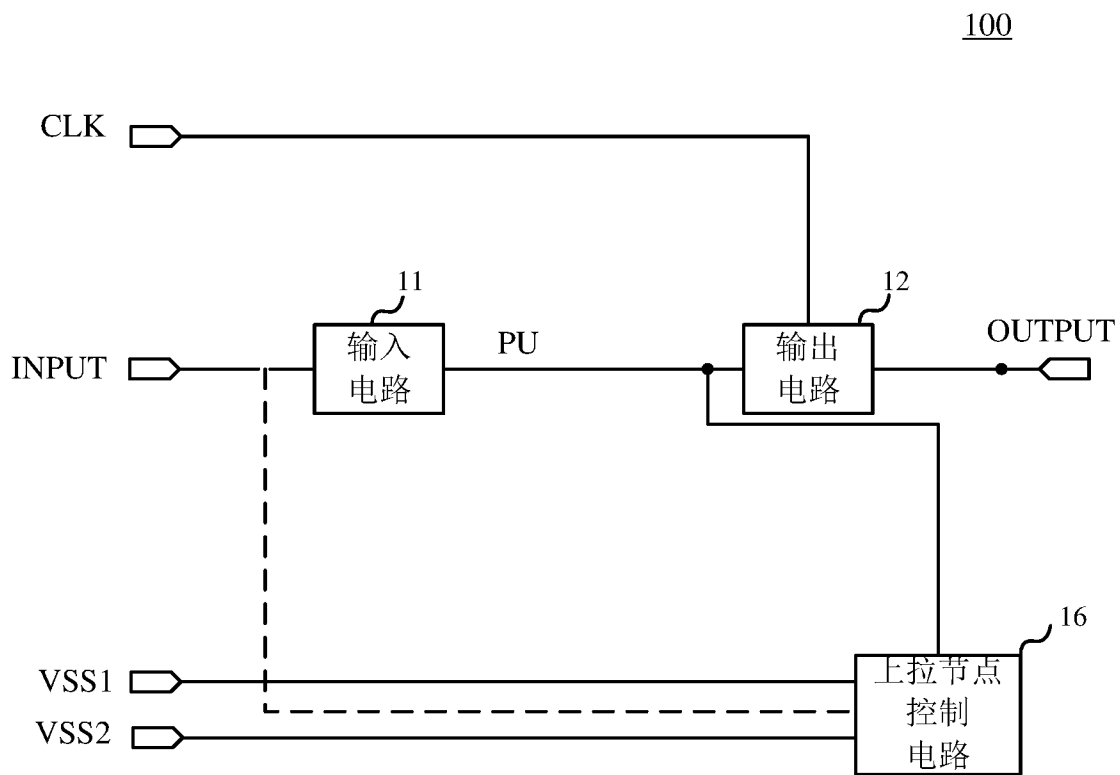


图 3

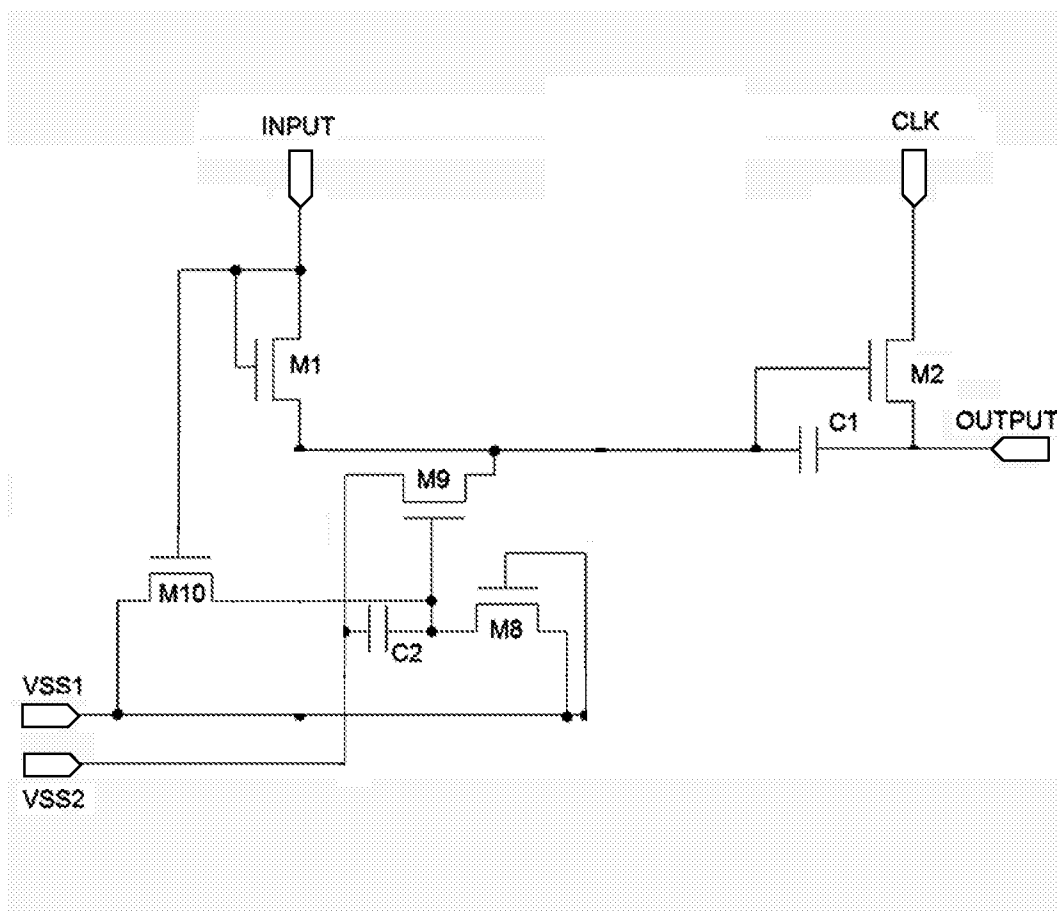


图 4

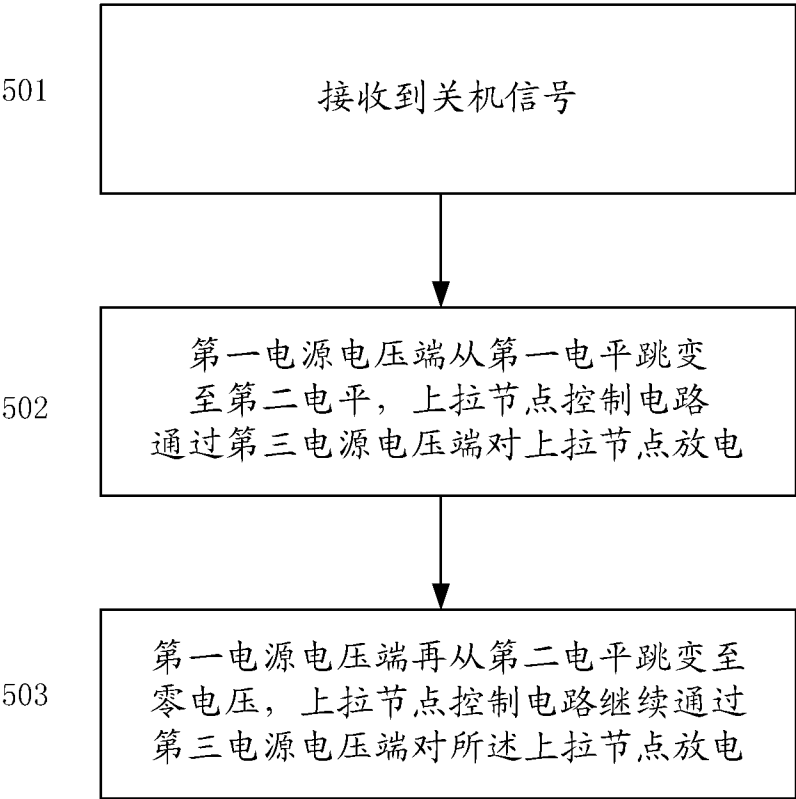


图 5

100

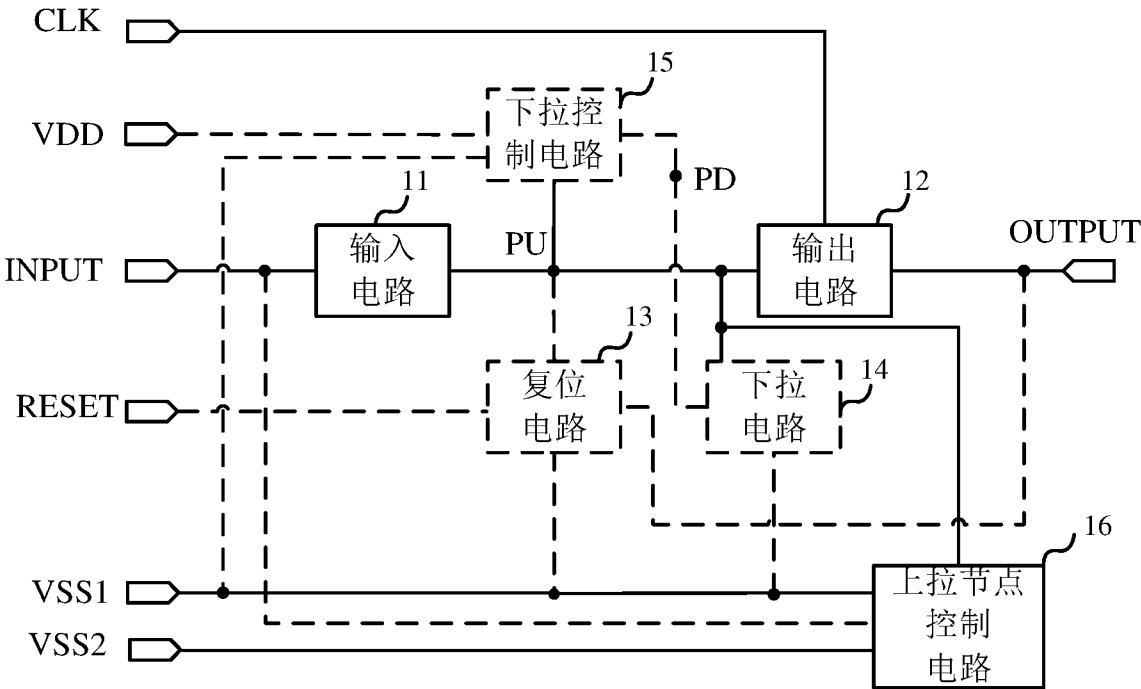


图 6

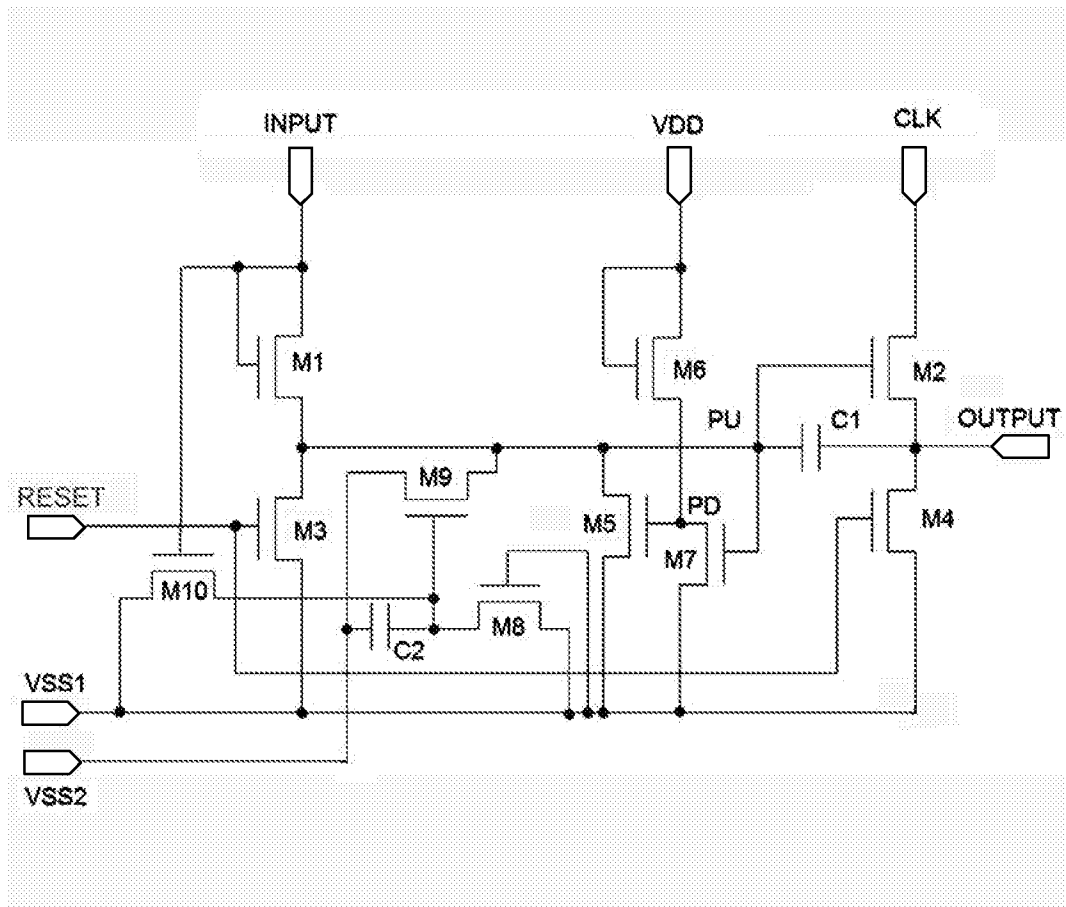


图 7

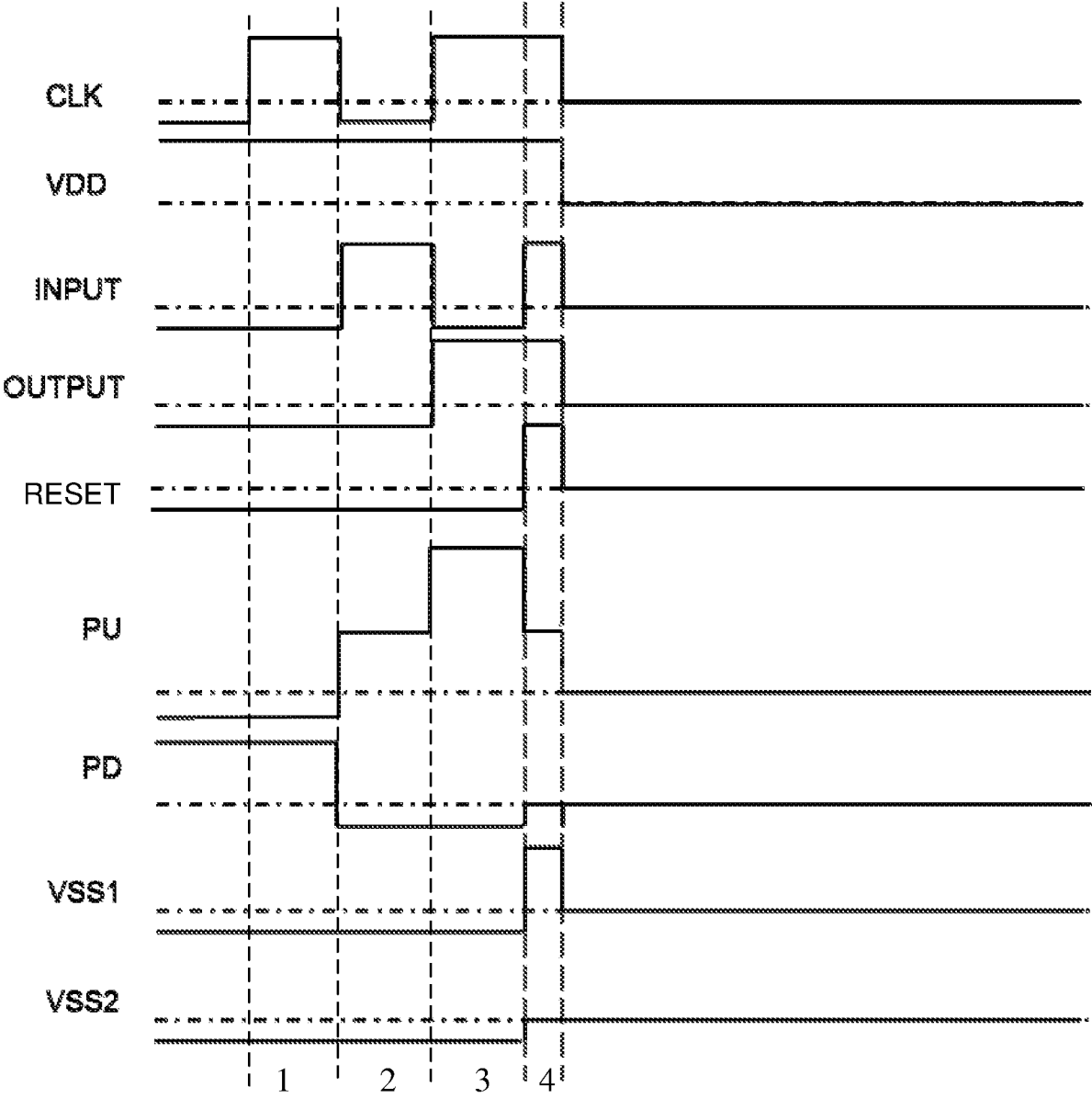


图 8

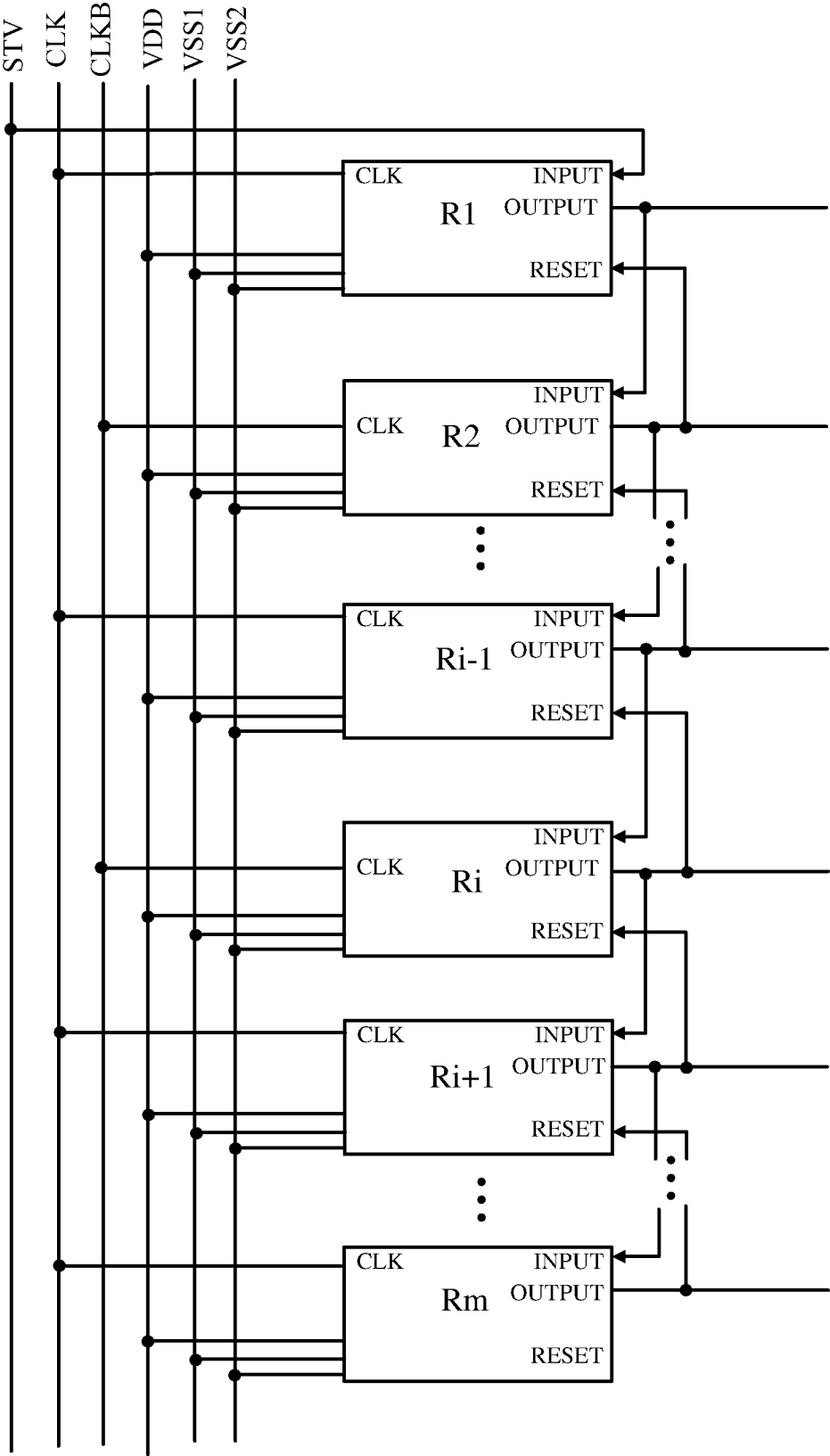


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099388

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; EPODOC; WPI; CNKI: 栅极, 移位寄存器, 移位暂存器, 上拉, 驱动, 节点, 放电, 释放, 关机, 异常, grid, driv+, shift+, register, pull, up, discharg+, releas+, shut, down, abnormal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106504720 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 15 March 2017 (15.03.2017), description, paragraphs [0034]-[0079], and figures 3-6	1-20
PX	CN 206349133 U (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 21 July 2017 (21.07.2017), description, paragraphs [0028]-[0064], and figures 3-6	1-20
A	CN 103093825 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 May 2013 (08.05.2013), description, paragraphs [0023]-[0058], and figures 2 and 3	1-20
A	CN 106128352 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 November 2016 (16.11.2016), entire document	1-20
A	CN 105976786 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 September 2016 (28.09.2016), entire document	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 November 2017	Date of mailing of the international search report 06 December 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHEN, Xijie Telephone No. (86-10) 62413923

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/099388

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104505048 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 April 2015 (08.04.2015), entire document	1-20
A	CN 105355235 A (AU OPTRONICS CORPORATION) 24 February 2016 (24.02.2016), entire document	1-20
A	US 2010182227 A1 (TSOU, YUAN-HSIN) 22 July 2010 (22.07.2010), entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/099388

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106504720 A	15 March 2017	None	
CN 206349133 U	21 July 2017	None	
CN 103093825 A	08 May 2013	CN 103093825 B	06 July 2016
CN 106128352 A	16 November 2016	None	
CN 105976786 A	28 September 2016	None	
CN 104505048 A	08 April 2015	US 2016343335 A1	24 November 2016
		WO 2016106830 A1	07 July 2016
		KR 20170091700 A	09 August 2017
		US 9633620 B2	25 April 2017
		GB 2548760 A	27 September 2017
CN 105355235 A	24 February 2016	US 2017102801 A1	13 April 2017
		TW 201714055 A	16 April 2017
		TW I588699 B	21 June 2017
US 2010182227 A1	22 July 2010	US 8049706 B2	01 November 2011
		TW 201028978 A	01 August 2010
		TW I402814 B	21 July 2013

国际检索报告

国际申请号

PCT/CN2017/099388

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-; G11C19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;EPDOC;WPI;CNKI:栅极, 移位寄存器, 移位暂存器, 上拉, 驱动, 节点, 放电, 释放, 关机, 异常, grid, driv+, shift+, register, pull, up, discharg+, releas+, shut, down, abnormal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106504720 A (合肥鑫晟光电科技有限公司 等) 2017年 3月 15日 (2017 - 03 - 15) 说明书第[0034]-[0079]段、附图3-6	1-20
PX	CN 206349133 U (合肥鑫晟光电科技有限公司 等) 2017年 7月 21日 (2017 - 07 - 21) 说明书第[0028]-[0064]段、附图3-6	1-20
A	CN 103093825 A (北京京东方光电科技有限公司) 2013年 5月 8日 (2013 - 05 - 08) 说明书第[0023]-[0058]段、附图2-3	1-20
A	CN 106128352 A (京东方科技集团股份有限公司) 2016年 11月 16日 (2016 - 11 - 16) 全文	1-20
A	CN 105976786 A (京东方科技集团股份有限公司 等) 2016年 9月 28日 (2016 - 09 - 28) 全文	1-20
A	CN 104505048 A (深圳市华星光电技术有限公司) 2015年 4月 8日 (2015 - 04 - 08) 全文	1-20
A	CN 105355235 A (友达光电股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-20

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 11月 8日

国际检索报告邮寄日期

2017年 12月 6日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

陈喜杰

电话号码 (86-10)62413923

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2010182227 A1 (TSOU, YUAN-HSIN) 2010年 7月 22日 (2010 - 07 - 22) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/099388

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106504720	A	2017年 3月 15日	无			
CN	206349133	U	2017年 7月 21日	无			
CN	103093825	A	2013年 5月 8日	CN	103093825	B	2016年 7月 6日
CN	106128352	A	2016年 11月 16日	无			
CN	105976786	A	2016年 9月 28日	无			
CN	104505048	A	2015年 4月 8日	US	2016343335	A1	2016年 11月 24日
				WO	2016106830	A1	2016年 7月 7日
				KR	20170091700	A	2017年 8月 9日
				US	9633620	B2	2017年 4月 25日
				GB	2548760	A	2017年 9月 27日
CN	105355235	A	2016年 2月 24日	US	2017102801	A1	2017年 4月 13日
				TW	201714055	A	2017年 4月 16日
				TW	I588699	B	2017年 6月 21日
US	2010182227	A1	2010年 7月 22日	US	8049706	B2	2011年 11月 1日
				TW	201028978	A	2010年 8月 1日
				TW	I402814	B	2013年 7月 21日

表 PCT/ISA/210 (同族专利附件) (2009年7月)