



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I555341 B

(45)公告日：中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：104109506

(22)申請日：中華民國 101 (2012) 年 02 月 06 日

(51)Int. Cl. : **H03M3/02 (2006.01)**

(30)優先權：2011/02/14 英國 1102562.4

(71)申請人：北歐半導體公司 (挪威) NORDIC SEMICONDUCTOR ASA (NO)
挪威(72)發明人：吳爾福 卡斯登 WULFF, CARSTEN (NO)；布魯瑟 奧拉 BRUSET, OLA (NO)；
路吉 維納 LUZI, WERNER (CH)

(74)代理人：吳冠賜；蘇建太

(56)參考文獻：

GB	2292028A	US	5319370A
US	7551109B1	US	7671774B2
US	2008/0272946A1		

審查人員：陳臆聰

申請專利範圍項數：18 項 圖式數：1 共 21 頁

(54)名稱

類比數位轉換器

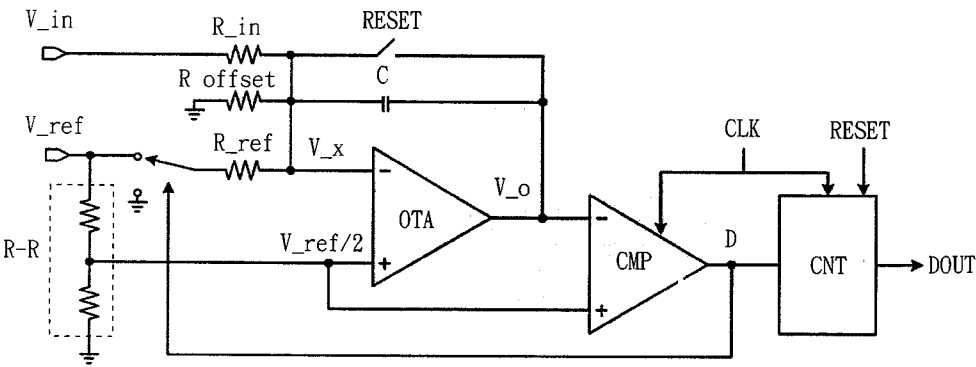
ANALOGUE-TO-DIGITAL CONVERTER

(57)摘要

本發明係有關於一種具有一單端類比輸入、一轉換器參考輸入、及一接地之積體電路化、連續時間、三角積分式的類比數位轉換器。轉換器包含一電阻電容積分器、一時脈比較器、及一線路。其中，電阻電容積分器接收單端類比輸入且具有一差動放大器。時脈比較器則接收積分器之輸出。而線路則設置為使得放大器參考輸入以及比較器參考輸入可維持在一共同電壓，而共同電壓係由轉換器參考輸入而取得。

An integrated-circuit, continuous-time, sigma-delta analogue-to-digital converter has a single-ended analogue input, a converter reference input, and a ground connection. The converter has a resistor-capacitor integrator arranged to receive the single-ended analogue input. The integrator comprises a differential amplifier. The converter also has a clocked comparator connected to an output from the integrator, and circuitry arranged so that reference inputs to the amplifier and to the comparator can be maintained at a common voltage derived from the converter reference input.

指定代表圖：



圖一

符號簡單說明：

- C . . . 電容
- CLK . . . 時脈
- CMP . . . 時脈比較器
- CNT . . . 計數器
- D . . . 輸出
- DOUT . . . 時脈週期
- OTA . . . 運算轉導放大器
- R-R . . . 分壓器
- R_in . . . 輸入電阻
- R_offset . . . 偏移電阻
- R_ref . . . 參考電阻
- RESET . . . 重置開關
- V_in . . . 單端類比輸入
- V_ref . . . 轉換器參考輸入
- V_ref/2 . . . 電壓
- V_o . . . 電壓
- V_x . . . 電壓

公告本

發明摘要

※ 申請案號：104109506 (由 101103816 分割)

※ 申請日：101.2.6

※IPC 分類：H03M 3/62 (2006.01)

【發明名稱】(中文/英文)

類比數位轉換器/Analogue-to-digital converter

【中文】

本發明係有關於一種具有一單端類比輸入、一轉換器參考輸入、及一接地之積體電路化、連續時間、三角積分式的類比數位轉換器。轉換器包含一電阻電容積分器、一時脈比較器、及一線路。其中，電阻電容積分器接收單端類比輸入且具有一差動放大器。時脈比較器則接收積分器之輸出。而線路則設置為使得放大器參考輸入以及比較器參考輸入可維持在一共同電壓，而共同電壓係由轉換器參考輸入而取得。

【英文】

An integrated-circuit, continuous-time, sigma-delta analogue-to-digital converter has a single-ended analogue input, a converter reference input, and a ground connection. The converter has a resistor-capacitor integrator arranged to receive the single-ended analogue input. The integrator comprises a differential amplifier. The converter also has a clocked comparator connected to an output from the integrator, and circuitry arranged so that reference inputs to the amplifier and to the comparator can be maintained at a common voltage derived from the converter reference input.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

C	電容	CLK	時脈
CMP	時脈比較器	CNT	計數器
D	輸出	DOUT	時脈週期
OTA	運算轉導放大器	R-R	分壓器
R_in	輸入電阻	R_offset	偏移電阻
R_ref	參考電阻	RESET	重置開關
V_in	單端類比輸入	V_ref	轉換器參考輸入
V_ref/2	電壓	V_o	電壓
V_x	電壓		

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

類比數位轉換器 / Analogue-to-digital converter

【技術領域】

【0001】 本發明係關於一種連續時間、增量、三角積分式 (sigma-delta, SD) 的類比數位轉換器 (analogue-to-digital converter, ADC)。

【先前技術】

【0002】 三角積分式 ADCs 係廣泛的被運用在數位化類比訊號。在回授迴路中，三角積分式 ADCs 係包含一積分器以及一比較器，並且將一可變的類比輸入轉換為數位輸出。一階的轉換器具有一回授迴路，而二階以及更高階的轉換器則具有多重迴路 (multiple loops)。

【0003】 三角積分式 ADCs 之輸出係為一脈寬調變 (pulse-density modulated, PDM) 位元流。一高瞬時輸入訊號係代表一二進制「1」之主要位元流 (夾雜一些二進制「0」)，而一低瞬時輸入訊號係代表一二進制「0」之主要位元流 (夾雜一些二進制「1」)。此 PDM 輸出流可被傳遞至一濾波器，如一計數器在一取樣視窗 (sample window) 上計算「1」之數量，並對取樣視窗產生一訊號數量輸出值。

【0004】 三角積分式 ADCs 係廣泛的被運用在數位化於

連續的類比訊號，如用於電信應用中之音頻訊號。而三角積分式 ADCs 也被運用從量測裝置數位化類比輸出，如環境感測器或一電壓表。而這些後面的應用通常需要高於音頻取樣之數位解析度，但卻因類比輸入無法快速改變而低於更新速率。在此種情況下，通常使用增量式類比數位轉換器。而這些係在每一取樣運作中有他們自己的電路架構(如積分器)重置，以產生更正確(但較慢)的讀數。

【0005】 三角積分式 ADCs 可被設計運作在離散時間(discrete-time, DT)或連續時間(continuous-time, CT)上。首先，一離散類比數位轉換器(ADC)在一時脈速率上取樣類比輸入，如利用一開關電容，以通過上述樣本至積分器數位化。而在一連續類比數位轉換器(ADC)中，類比輸入則直接通過積分器，且直至比較器階段才會發生取樣。CT-SDCs 可具有較 DT-ADCs 低的功率消耗，而且雜訊抑止的特性也比較好。

【0006】 一個增量、連續時間、一階三角積分類比數位轉換器係被描述於“A Continuous-Time Incremental Analog to Digital Converter”, Doldán et al., sbcci, pp.62, 15th Symposium on Integrated Circuits and Systems Design, 2002”之中。其係由一對電極來接收一差動類比輸入，而產生一數位輸出。而其係基於一全差動-電容式運算轉導放大器 (operational transconductance amplifier - capacitor, OTA-C)之積分器。

【0007】 上述的轉換器電路只使用一個電容器。藉此，在此積體電路設計中將具有一相對小的底面積(footprint)，而這在此電路中係為可取的。然而，上述的類比數位轉換器係

僅在一有限輸入範圍為線性的，特別是他不提供軌對軌線性 (rail-to-rail linearity)。在寬廣之輸入範圍上為線性需要的，以用來從大範圍的類比輸入中獲得一正確的數位輸入，而不需要而高成本地線性校正處理。

【0008】 而本發明的目的係為嘗試減輕上述缺點。

【發明內容】

【0009】 由一態樣可知，本發明提供一種具有一單端類比輸入、一轉換器參考輸入、及一接地之積體化電路、連續時間、三角積分式的類比數位轉換器，其中，轉換器包含一電阻電容積分器、一時脈比較器、及一線路。電阻電容積分器係接收單端類比輸入，其中積分器包含一具有一放大器參考輸入之差動放大器。時脈比較器則接收積分器之輸出，且具有一比較器參考輸入。而線路則為受到安排配置，使得放大器參考輸入以及比較器參考輸入可維持在一共同電壓，而共同電壓係由轉換器參考輸入而取得。

【0010】 本發明之轉換器將可受到所屬技術領域中具有通常知識者所理解。其中，本發明之轉換器可在一小晶片面積中提供近似一軌對軌線性，而此係藉由提供一單端輸入至一 RC 積分器，以及在 RC 積分器中，藉由維持在時脈比較器以及差動放大器之間的一共同參考電壓。

【0011】 在一較佳的實施例中，RC 積分器包含單一個電容，藉此將導致一特別小的晶片面積。

【0012】 所述的共同電壓較佳地係為轉換器參考輸入

電壓之一半。線路較佳地係包含一分壓器(voltage divider)，且分壓器係在轉換器參考輸入以及接地之間。分壓器之輸出係連接至放大器參考輸入以及比較器參考輸入。而分壓器較佳地係包含二相同電阻。放大器參考輸入較佳地係為一輸入至差動放大器之非反向輸入。

【0013】 本發明之接地係可被理解的，接地係不一定要連接至大地或維持在一大地電位，但仍可提供本發明之轉換器一參考或標準“0”電位。

【0014】 差動放大器可為或可包含一運算放大器，但較佳地係為一運算轉導放大器(operational transconductance amplifier, OTA)。

【0015】 類比數位轉換器包含，使得在使用時，流入放大器之一第二輸入之電流係取決於：(i)位於單端類比輸入之電壓、(ii)轉換器參考電壓、及(iii)時脈比較器之輸出狀態。傳送到差動放大器之第二輸入較佳地係為一反向輸入。類比數位轉換器可包含一時脈之輸入，其係經過比較器來設定一積分步驟。例如，時脈之輸入可接收由一外部振盪器產生所需的一時脈訊號。

【0016】 線路可包含將該線中之一位置的電壓切換於二數值之間的手段，該二數值係相依於該比較器之二進制輸出。其係可包含一位元數位類比轉換器或多工器(multiplexer)。上述二數值之一數值較佳地係為接地，且上述二數值之一另一數值較佳地係為轉換器參考輸入電壓。

【0017】 在一些實施例中，線路包含一第一(輸入)電阻、

一第二(偏移)電阻、及一第三(參考)電阻之一配置。其中，第一(輸入)電阻之一第一端係連接單端類比輸入，第二(偏移)電阻之一第一端係接地。而第三(參考)電阻之一第一端係可切換地，以連接轉換器參考輸入或接地。第一(輸入)電阻、第二(偏移)電阻、及第三(參考)電阻之第二端係各自連接至差動放大器之第二輸入。較佳地，透過受配置之線路，遂使得第三(參考)電阻之第一端上的電壓切換為根據時脈比較器之二進制輸出所控制。

【0018】或者，線路可包含一第一(輸入)電阻、一第二(偏移)電阻、一第三(接地參考)電阻、及一第四(輸入參考)電阻之一配置，其中，第一(輸入)電阻之一第一端係連接單端類比輸入，第二(偏移)電阻之一第一端係接地，第三(接地參考)電阻之第一端係接地，以及第四(輸入參考)電阻之第一端係連接轉換器參考輸入或接地。第三(接地參考)電阻以及第四(輸入參考)電阻之第二端係可切換地連接至差動放大器之第二輸入，使得每次係為連接第三(接地參考)電阻之第二端或第四(輸入參考)電阻之第二端(較佳地為非同時連接)，其中，第一(輸入)電阻以及第二(偏移)電阻之第二端亦連接至差動放大器之第二輸入。較佳地，透過受配置之線路，使得第三(接地參考)電阻以及第四(輸入參考)電阻之間的切換為根據時脈比較器之二進制輸出所控制。第三(接地參考)電阻及第四(參考輸入)電阻具有相同的標準值。

【0019】“電容”及“電阻”應被理解為，如分別包含任何適合的電荷儲存以及電流限制之配置或手段。且上述

“電容”及“電阻”不一定是分開的元件。

【0020】透過任何或所有的輸入，偏移電阻及參考電阻可為固定的或可變的。在一些實施例中，輸入電阻以及偏移電阻為可變的。且類比數位轉換器包含一手段，此手段係用以接收代表所需的增益或中間範圍(或兩者)之一輸入，以及用以調整輸入電阻及偏移電阻，使轉換器得以提供所需的增益或中間範圍。舉例來說，在一些實施例中，一微處理器(其可為外部或與轉換器整合在一晶片上)可控制輸入電阻值及/或偏移電阻，以實施不同的增益功能。

【0021】對於一理想的實施(即忽略可能會影響增益之處理誤差以及其他誤差)來說，轉換器之增益可表示為最低轉換器輸入電壓，(V_{max})，其在比較器之輸出總是維持高電位。同樣地，轉換器之中間範圍代表單端轉換器輸入電壓，($V_{midscale}$)，其在時脈比較器之輸出在高電位及低電位之間作同樣地輪流替換。

【0022】在一些實施例中，轉換器之增益或中間範圍(或兩者)係為一比例函數，(a)輸入電阻值與參考電阻值之比例；以及(b)偏移電阻值與參考電阻值之比例。舉例來說，於一些實施例中：

$$V_{max} = V_{ref} * [a + b + (b * a)] / [2 * b] ; \text{以及}$$

$$V_{midscale} = V_{ref} * [a + b] / [2 * b] ;$$

其中， V_{ref} 為轉換器參考輸入電壓。

【0023】對於轉換器之增益或中間範圍(或兩者)來說是有利的，即可透過電阻的比例來判定。因此，上述之比例

係相對於絕對電阻值來說可更強健的處理在積體電路製造期間所造成的不確定差異。大約 0.5%或更好的準確度皆可以使用此種比例為基礎之方法。

【0024】在這樣的配置下，所屬的權利係具有新穎性以及進步性。而進一步從另一態樣來說，本發明提供一種具有一單端類比輸入、一轉換器參考輸入、及一接地之積體電路化、連續時間、三角積分式的類比數位轉換器。其中，轉換器包括一輸入電阻以及一偏移電阻。輸入電阻之一第一端連接至單端類比輸入。而偏移電阻之一第一端係接地。其中，輸入電阻以及偏移電阻之第二端係連接至一位在一 RC 積體電路中之差動放大器之一輸入；且其中，差動放大器之輸入也透過一參考電阻，可切換地連接至轉換器參考輸入或接地其中之一；其中，轉換器之增益係為由輸入電阻值與參考電阻值之比例，以及偏移電阻值與參考電阻值之比例而決定的一函數。

【0025】參考電阻之一第一端係結合切換之手段，以維持參考電阻之第一端之電壓為接地或在轉換器參考輸入之電壓，而參考電阻之第二端則為連接至差動放大器之輸入。

【0026】此外，轉換器通常可包含具有相同標準電阻值之一第一參考電阻以及第二參考電阻，以維持第一參考電阻之一第一端為接地，並維持第二參考電阻之一第一端在轉換器參考輸入之電壓，而傳輸至差動放大器之輸入係結合切換之手段，以連接第一參考電阻之第二端或第二參考

電阻之第二端其中之一。

【0027】較佳地，轉換器之中間範圍係進一步由輸入電阻值與參考電阻值之比例函數，以及由偏移電阻與參考電阻值之比例函數來決定。

【0028】在上述態樣之實施例中，轉換器可包含一計數器，以接收時脈比較器之二進制輸出。計數器可接收一時脈，並在一段時間中，計算時脈比較器輸出之時脈週期為高電位(或低電位)的數量。較佳地，相同的時脈係被時脈比較器以及計數器所使用。而此段時間可由時脈週期數量來決定，例如 1024 週期。

【0029】轉換器較佳地係為一增量式轉換器，因而較佳地包含一用以重置積分器之重置機制(reset mechanism)。而此種方法，舉例來說，包含對 RC 積分器之電容放電之手段，如與電容平行放置之一開關。而轉換器亦可包含一用以重置積分器之重置結構。而此重置結構可藉由一處理器或數位控制邏輯來控制，而上述可以形成在轉換器之一部分或是由此分開。

【0030】轉換器可適用於量測儀器之數位化輸出。且轉換器也可適用於接收來自電池或電池組之一電壓訊號，以決定一電壓準位之數位表示。

【0031】以上的概述與接下來的詳細說明皆為示範性質，是為了進一步說明本發明的申請專利範圍。而有關本發明的其他目的與優點，將在後續的說明與圖示加以闡述。

【圖式簡單說明】**【0032】**

圖 1 係本發明一較佳實施例之類比數位轉換器電路圖。

【實施方式】

【0033】 圖 1 顯示一連續時間、增量、三角積分式的類比數位轉換器。上述類比數位轉換器具有單一個電容 C 且電連接在運算轉導放大器 OTA 之反向輸入端及單一輸出之間。而運算轉導放大器 OTA 之輸出係饋送至一時脈比較器 CMP 之反向輸入端。

【0034】 時脈比較器 CMP 之非反向輸入端係連接至運算轉導放大器 OTA 之非反向輸入端。而時脈比較器 CMP 之非反向輸入端以及運算轉導放大器 OTA 之非反向輸入端係連接至一分壓器 R-R 之中間點，其設於一轉換器參考輸入 V_{ref} 之電壓以及接地之間，以維持在轉換器參考輸入 V_{ref} 電壓的一半。

【0035】 一單端類比輸入 V_{in} 係透過一輸入電阻 R_{in} 連接至運算轉導放大器 OTA 之反向輸入端。

【0036】 一接地係藉由一偏移電阻 R_{offset} 連接至運算轉導放大器 OTA 之反向輸入端。

【0037】 一個一位元數位類比轉換器之輸出係透過一參考電阻 R_{ref} 連接至運算轉導放大器 OTA 之反向輸入端。數

位類比轉換器係以安排配置，所以，當時脈比較器 CMP 之輸出 D 為低電壓，則數位類比轉換器輸出到轉換器參考輸入 V_{ref} ；當時脈比較器 CMP 之輸出 D 為高電壓，則數位類比轉換器輸出為 0(即接地)。

【0038】 一重置開關(reset switch)係位於跨過該電容 C 之端點，當重置開關從一控制器(未繪出)接收到一重置命令時，重置開關係被關閉。

【0039】 比較器 CMP 之輸出 D 係饋送至一計數器 CNT，且此計數器 CNT 亦接收一時脈訊號 CLK。舉例來說，此時脈 CLK 可由一外部晶體振盪器而取得。在比較器 CMP 於計數期間為高電位時(如 1024 週期)，計數器 CNT 輸出一位元計數之時脈週期 DOUT。而計數器 CNT 輸出，可由控制邏輯(未繪出)之接收來作後續處理，例如，作用一無線傳輸器或一顯示螢幕之運行狀態。

【0040】 計數器 CNT 具有一重置輸入，以重置計數器 CNT 從 0 開始計數。

【0041】 在使用中，當單端類比輸入 V_{in} (電壓值介於 0 到一最大值 V_{max})被運用到訊號輸入，如同對當電容 C 充電或放電時，一電流係流經運算轉導放大器 OTA。而當運算轉導放大器 OTA 之輸出的電壓超過 $V_{ref}/2$ 時，時脈比較器 CMP 之輸出 D 將在下一個積分步驟反轉。這種比較器 CMP 輸出的改變，遂造成一位元的數位類比轉換器輸出作反轉，以反向流過運算轉導放大器 OTA。

【0042】 一增量類比數位轉換係藉由起始重置積分器

OTA 及計數器 CNT 而實行。接著，積分步驟中的一固定的數值 N 係如下所示。其中，數值 $N=2^n$ 位元以用於一 n 位元輸出結果。如，用於一 10 位元轉換，即顯示出 1024 積分步驟。

【0043】 經過數值 N 個積分步驟後，假設在運算轉導放大器 OTA 之反向輸入端之電壓 V_x 等於其非反向輸入端之電壓為轉換器參考輸入 $V_{ref} \times 0.5$ 。運算轉導放大器 OTA 輸出之電壓 V_o 的方程式如下：

$$V_o(N) = [N_c * V_{ref}] - [N * A_v * V_{in}] \cdots \cdots \cdots (1)$$

其中，

“ N_c ” 為於時脈比較器 CMP 輸出 D 為高電位時，積分步驟之次數；

“ V_{ref} ” 為參考電壓；

“ N ” 為積分步驟之次數；

“ A_v ” 為電壓增益(R_{ref}/R_{in})；以及

“ V_{in} ” 為單端類比輸入電壓。

而重新整理方程式(1)後，得到如下：

$$N_c = [N * A_v * V_{in} / V_{ref}] + [V_o(N) / V_{ref}]$$

而轉換器之增益以及中間範圍可被設置成任何所需的值，可根據如下運算式所述：

由運算轉導放大器 OTA 之反向輸入端(其電壓為 V_x)流至輸出端(其電壓為 V_o)之電流 I ，其方程式(2)所示：

$$I = [(V_{in} - V_x) / R_{in}] - [V_x / R_{offset}] + [(1 - D) *]$$

$$(V_{ref} - V_x) / R_{ref}] - [D * V_x / R_{ref}] \dots \dots \dots (2)$$

其中，當時脈比較器 CMP 之輸出 D 為高電位，D=1；而當時脈比較器 CMP 之輸出 D 為低電位，D=0。

對於一個理想的放大器來說，可假定如方程式(3)所示：

$$V_x = 0.5 * V_{ref} \dots \dots \dots (3)$$

並且，R_{in} 以及 R_{offset} 可被表示為參考電阻 R_{ref} 之比例，如方程式(4)及(5)：

$$R_{in} = a * R_{ref} \dots \dots \dots (4)$$

$$R_{offset} = b * R_{ref} \dots \dots \dots (5)$$

將方程式(3)、(4)、及(5)代入方程式(2)，可得：

$$I = [(V_{in} - 0.5 * V_{ref}) / (a * R_{ref})] - [V_{ref} / (2 * b * R_{ref})] + ((1 - D) - D) * V_{ref} / (2 * R_{ref}) \dots \dots \dots (6)$$

當單端類比輸入 V_{in} 之電壓為 V_{midscale}，類比數位轉換之中間點遂產生，使得電流 I 在任一方向的數值係為相同，即當：

$$I = ((1 - D) - D) * V_{ref} / (2 * R_{ref})$$

根據方程式(6)，其發生當：

$$(V_{midscale} - 0.5 * V_{ref}) / (a * R_{ref}) = V_{ref} / (2 * b * R_{ref})$$

經整理後，產生方程式(7)：

$$V_{\text{midscale}} / V_{\text{ref}} = (a + b) / (2 * b) \cdots \cdots \cdots (7)$$

當電流 I=0 以及電流 I=1 時，轉換器之輸出最大值遂產生。透過方程式(6)，此即表示最大輸入電壓 V_{max} 應為：

$$[(V_{\text{max}} - 0.5 * V_{\text{ref}}) / (a * R_{\text{ref}})] - [V_{\text{ref}} / (2 * b * R_{\text{ref}})] = V_{\text{ref}} / (2 * R_{\text{ref}})$$

而經整理後，產生：

$$V_{\text{max}} / V_{\text{ref}} = (a + b + ba) / (2 * b) \cdots \cdots \cdots (8)$$

因此，轉換器之增益以及中間範圍將藉由電阻比例 a 及 b 之選擇(符合方程式(7)及(8))，而可任意的被設定。

【0044】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【符號說明】

【0045】

C	電容	CLK	時脈
CMP	時脈比較器	CNT	計數器
D	輸出	DOUT	時脈週期
OTA	運算轉導放大器	R-R	分壓器

R_in	輸入電阻	R_offset	偏移電阻
R_ref	參考電阻	RESET	重置開關
V_in	單端類比輸入	V_ref	轉換器參考輸入
V_ref/2	電壓	V_o	電壓
V_x	電壓		

申請專利範圍

1. 一種具有一單端類比輸入、一轉換器參考輸入、及一接地之積體電路化、連續時間、三角積分式的類比數位轉換器，其中，該轉換器包括：

一電阻電容積分器，接收該單端類比輸入，其中該積分器包含一具有一放大器參考輸入之差動放大器；

一時脈比較器，接收該積分器之輸出，且具有一比較器參考輸入；

一線路，其配置為使得該放大器參考輸入以及該比較器參考輸入可維持在一共同電壓，而該共同電壓係由該轉換器參考輸入而取得；以及

一電阻配置包含：

(a)第一及第二電阻，其中該第一電阻之一第一端係連接該單端類比輸入，該第二電阻之一第一端係接地，以及該第一電阻和第二電阻之第二端係連接至該放大器之一第二輸入；以及

(b) (i)一第三電阻，其中而該第三電阻之一第一端係可切換地可連接至該轉換器參考輸入或接地，以及該第三電阻之一第二端係連接至該放大器之該第二輸入，或(ii)第三及第四電阻，其中該第三電阻之一第一端係接地且該第四電阻之一第一端係連接至該轉換器參考輸入，以及其中該第三和第四電阻之第

二端係可切換地可連接至該放大器之第二輸入，使得每次係為連接該等第二端之一或其他。

2. 如申請專利範圍第1項所述之類比數位轉換器，其中，該電阻電容積分器包含單一個電容。

3. 如申請專利範圍第1項或第2項所述之類比數位轉換器，其中，該共同電壓係為該轉換器參考輸入電壓之一半。

4. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該線路包含一分壓器，該分壓器係位於該轉換器參考輸入以及該接地之間，該分壓器之輸出係連接至該放大器參考輸入以及該比較器參考輸入。

5. 如申請專利範圍第4項所述之類比數位轉換器，其中，該分壓器包含二相同電阻。

6. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該放大參考輸入係為一輸入至該差動放大器之非反向輸入。

7. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該差動放大器係為一運算轉導放大器。

8. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該類比數位轉換器包含，使得在使用時，流入該放大器之一第二輸入之電流係取決於：(i)位於該單端類比輸入之電壓、(ii)該轉換器參考電壓、及(iii)該時脈比較器之輸出狀態。

9. 如申請專利範圍第8項所述之類比數位轉換器，其中，該放大器之該第二輸入係為一反向輸入。

10. 如申請專利範圍第1或2項所述之類比數位轉換器，其中更包含一時脈之輸入，其中，該比較器透過該時脈之輸入以設定一積分步驟。

11. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該線路包含將該線路中之一位置的電壓切換於二數值之間的手段，該二數值係相依於該比較器之二進制輸出。

12. 如申請專利範圍第11項所述之類比數位轉換器，其中，該二數值之一第一數值係為接地，以及該二數值之一第二數值係為該轉換器參考輸入電壓。

13. 如申請專利範圍第1或2項所述之類比數位轉換器，具有如選擇地主張之第三及第四電阻，其中，該第三及第四電阻具有相同的標準值。

14. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該第一電阻以及該第二電阻係為可變的，且該轉換器包含一手段，該手段係用以接收一代表所需的增益或中間範圍之輸入，以及用以調整該第一電阻及該第二電阻，使該轉換器得以提供所需的增益或中間範圍。

15. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該轉換器之增益或中間範圍係為一函數，而該函數為(i)該第一電阻值與該第一電阻連接或可

連接到該轉換器參考輸入或接地之值的比例；以及(ii)該第二電阻值與該第二電阻連接或可連接到該轉換器參考輸入或接地之值的比例。

16. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，包含一計數器，用以接收該比較器之二進制輸出。

17. 如申請專利範圍第16項所述之類比數位轉換器，其中，該計數器係用來接收一時脈訊號，並在一段時間中，計算該時脈比較器輸出之時脈週期為高電位的數量，或者計算該時脈比較器輸出之時脈週期為低電位的數量，其中，該時脈比較器係被配置，使得該計數器以及該比較器接收到相同的時脈訊號。

18. 如申請專利範圍第1或2項所述之類比數位轉換器，其中，該轉換器係為一增量式轉換器。

圖式

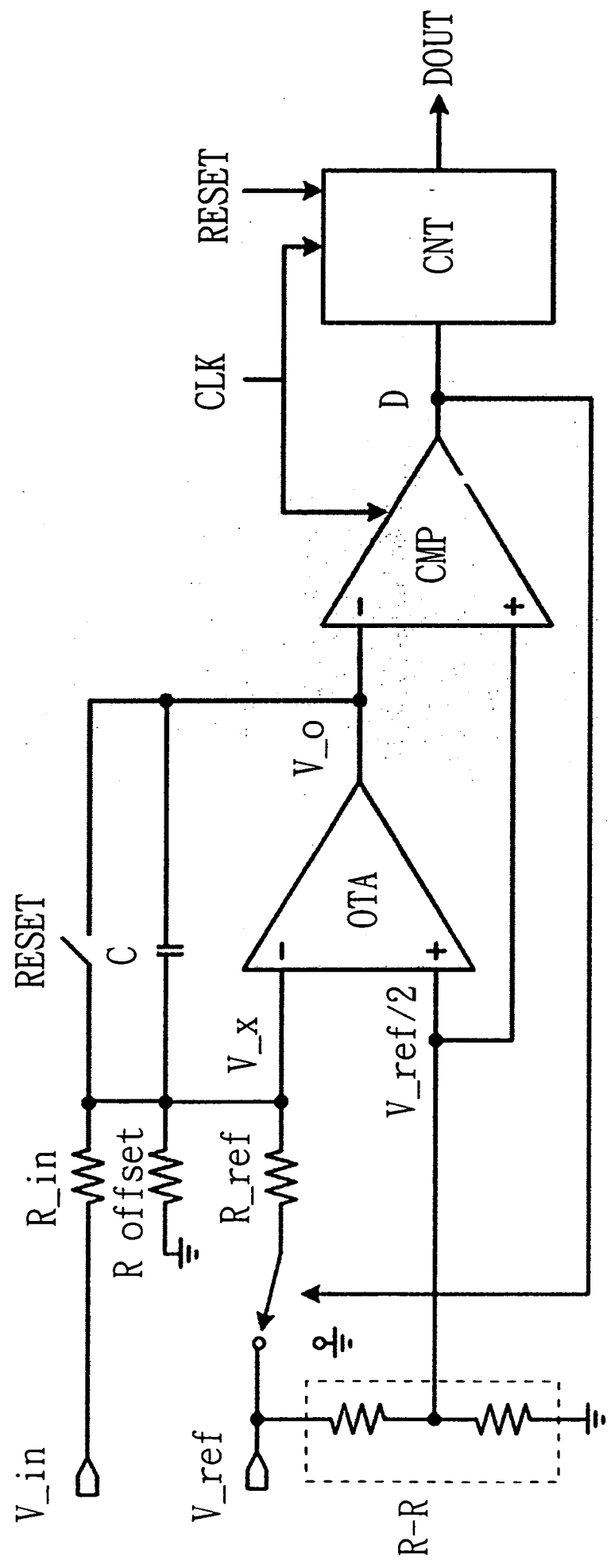


圖 1