



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **247 535 A1**

4(51) G 06 F 11/18

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 288 557 3

(22) 31.03.86

(44) 08.07.87

(71) VEB Werk für Signal- und Sicherungstechnik Berlin, 1193 Berlin, Elsenstraße 87/96, DD

(72) Kretzschmann, Udo, Dipl.-Ing.; Nikolaizik, Jürgen, Dipl.-Ing.; Hübner, Jörg, Dipl.-Ing.; Krekow, Uwe, Dipl.-Ing., DD

(54) **Schaltungsanordnung für die Steuerung sicherer Prozeßperipherie**

(57) Die Erfindung betrifft eine Peripherievergleichereinheit, die insbesondere über ein n-fach redundantes Ein-/Ausgabebussystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall dort einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen wie z. B. bei der Prozeßsteuerung in Kraftwerken, der Chemie und beim schienengebundenen Verkehr.

Erfindungsanspruch:

1. Schaltungsanordnung für ein hochverfügbares und sicheres Steuerungssystem mit einem Mehrrechnermodul, an welchen über ein n-fach redundantes Bussystem Peripheriestationen angeschlossen sind, die Peripheriebaugruppen zur Ansteuerung sicherheitsrelevanter Stromkreise und Einrichtungen zur Kopplung dieser Peripheriebaugruppen an das n-fach redundante Bussystem enthalten, **gekennzeichnet dadurch**, daß der sichere Rechnermodul über das n-fach redundante Bussystem (B 1, B 2, B 3) einen Verteilerstatus (VS 1, ..., VS 3) an Bustreiber- und verteilereinheiten (BTV) der Peripheriestationen (P) sendet, dort durch Auswertung der Information des Verteilerstatus (VS) in einer Steuer- und Fehlerlogik (SFL) k Ein-/Ausgabebusse des Bussystems (B 1, B 2, B 3) zur Durchschaltung zu den Peripheriebaugruppen und für einen (k von k)-Vergleich ausgewählt werden, der (k von k)-Vergleich gestaffelt nach Adressen, Steuerinformationen und Daten in drei selbständigen Vergleichen (ABV, SBV, ADBV) erfolgt, die Ausgabeinformationen k-kanalig (PBI, PBII) an die Peripheriebaugruppen gesendet werden und die k-kanaligen Eingabeinformationen von den Peripheriebaugruppen in einem Eingabedatenbusvervielfacher (EDBVF) (k von k) verglichen werden und auf n Kanäle vervielfacht werden.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß k kleiner als n ist.
3. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß k mindestens 2 ist.
4. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß mit dem Verteilerstatus in der Steuer- und Fehlerlogik (SFL) ein (m von n)-Vergleich erfolgt.
5. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß in einem Fehlerfall der Verteilerstatus vom Mehrrechnermodul geändert wird.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Peripherievergleichereinheit, die insbesondere über ein n-fach redundantes Ein-/Ausgabebussystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall dort einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen wie z. B. bei der Prozeßsteuerung in Kraftwerken, der Chemie und beim schienengebundenen Verkehr.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt, Steuerungssysteme mit Sicherheitsverantwortung als dreifach redundantes Rechnersystem aufzubauen. Die Verarbeitungsergebnisse der einzelnen Rechner werden in Vergleichersbaugruppen nach dem (2 von 3)-Prinzip verglichen, wodurch das Majoritätsprinzip gewährleistet wird. Zur Steuerung der Prozeßperipherie wird an jeden der drei Rechner ein Ein-/Ausgabebussystem angeschlossen. Dieses redundante Bussystem wird auf eine oder mehrere Steuereinheiten geführt, welche jede für sich wiederum den (2 von 3)-Vergleich durchführt und daraus Steuerinformationen ableitet. Diesen Steuereinheiten zugehörige Baugruppe zur Peripherieansteuerung erhalten dann einkanalig die aus dem (2 von 3)-Vergleich hervorgegangenen Steuerinformationen.

Um aber Peripherieelemente mit Sicherheitsverantwortung mehrkanalig, mindestens 2fach anzusteuern, ist es bekannt, diese Peripherieelemente mindestens über zwei Ein-/Ausgabebaugruppen die sich in verschiedenen Steuereinheiten befinden, anzusteuern.

Das hat aber zur Folge, daß ein hoher Verdrahtungsaufwand für den Anschluß dieser Peripherieelemente erforderlich und das System relativ unübersichtlich ist. Im Defektfall ist eine zeitaufwendige Fehlersuche in mehreren Steuereinheiten (Kassetten) notwendig. Nachteilig ist auch, daß durch den Ausfall eines Vergleichers in einer Steuereinheit anteilig mehr Peripheriestromkreise ausfallen.

Weiterhin ist eine exakte zeitparallele Ansteuerung der für einen Peripheriestromkreis notwendigen Ein-/Ausgabebaugruppen und ein zeitparalleles Rücklesen der an einem Peripheriestromkreis liegenden Rückmeldungen nicht möglich. Die Rückmeldungen müssen durch das übergeordnete System erst zwischengespeichert und zusammengeführt werden und können erst dann mit den Sollwerten verglichen werden. Nachteilig an diesen Lösungen ist aber auch, daß zusätzlich zu den in dem übergeordneten dreifach redundanten Rechnersystem durchgeführten (m von n)-Vergleichen in allen Peripheriestationen relativ aufwendig zu realisierende (m von n)-Vergleichereinheit erforderlich sind. Weiterhin ist bekannt, alle Einheiten mit einem gemeinsamen und sicheren Takt zu versorgen, so daß alle Einheiten befehls- und taktsynchron laufen. Dabei können aber durch Störbeeinflussung verursachte Fehler in den verschiedenen Kanälen bzw. Systemen gleichartige Verfälschungen der Daten-, Adreß- oder Steuersignale bewirken, so daß diese durch die Vergleicher nicht erkannt werden.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, den Informationsaustausch zwischen einem redundanten Rechnersystem und Ein-/Ausgabebaugruppen für Sicherheitsstromkreise auf einem hohen Sicherheits- und Zuverlässigkeitsniveau durchzuführen sowie eine übersichtliche und wartungsfreundliche Anordnung dafür zu finden.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu schaffen, die von einem redundanten Rechnersystem über einen redundanten Bus ausgegebene Informationen zu einer der Ein-/Ausgabebaugruppen, für welche die Informationen bestimmt sind weiterleitet, dabei einen Mehrheitsentscheid durchführt, danach eine sicherungstechnische Verbindung zu der einzelnen Ein-/Ausgabebaugruppe herstellt sowie die Rückmeldeinformationen ebenfalls sicherungstechnisch von einer Ein-/Ausgabebaugruppe zum redundanten Rechnersystem leitet, wobei die Anordnung selbst sicherungstechnischen Anforderungen genügen soll und die dabei einen möglichst geringen Aufwand erfordert. Die Aufgabe wird erfindungsgemäß durch die Merkmale des Erfindungsanspruchs gelöst.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen

Fig. 1: ein hochverfügbares und sicheres Steuerungssystem für die zweikanalige Steuerung der Prozeßperipherie;

Fig. 2: die Schaltungsanordnung einer Bustreiber- und -verteilereinheit;

Fig. 3: eine Ausführungsform der Busverteiler;

Fig. 4: eine Ausführungsform des Busvervielfachers.

Wie in Figur 1 dargestellt besteht das hochverfügbare und sichere Steuerungssystem aus einem (2 von 3)-Rechnermodul R und Peripheriestationen P, die über ein Bussystem B mit dem (2 von 3)-Rechnermodul verbunden sind. Jedem der Rechner R1, R2, R3 des (2 von 3)-Rechnermoduls ist über eine Ein-/Ausgabeeinheit EA1...EA3 ein Ein-/Ausgabebus EAB1, EAB2, EAB3 des Bussystems B zugeordnet.

Über die Ein-/Ausgabeeinheiten EAM1...EAM3 der Rechner R1, R2, R3 und die modulinterne Kopplung MIK erfolgt der Informationsaustausch der Rechner untereinander. In den zentralen Vergleichereinheiten ZVGL der Rechner R1, R2, R3 werden die über die modulinterne Kopplung MIK ausgetauschten relevanten Informationen nach dem (2 von 3)-Prinzip verglichen, wodurch die Funktionsfähigkeit der Rechner als (2 von 3)-Rechnermodul gesichert wird. Die Peripheriestationen P sind jeweils mit dem Bussystem B verbunden, wobei die drei Ein-/Ausgabebusse EAB1, EAB2, EAB3 jeweils auf eine Bustreiber- und -verteilereinheit BTV geführt sind und die Peripheriebaugruppen PBG zweikanalig über die Peripheriebusse PBI und PBII an diese angeschlossen sind.

Die Bustreiber- und -verteilereinheit BTV nach Figur 2 übernimmt die Steuerung sicherheitsrelevanter Prozeßperipherie, der Peripheriebaugruppen PBG. Die sichere Steuerung der Peripheriebaugruppen PBG wird über zwei Peripheriebusse PBI und PBII nach dem (2 von 2)-Prinzip realisiert. Zu diesem Zweck werden zwei der drei Ein-/Ausgabebaugruppen EAB1...EAB3 auf die beiden Peripheriebusse PBI und PBII durchgeschaltet und es wird eine Vervielfachung der Eingabeinformationen von den zwei Peripheriebussen PBI und PBII auf alle Ein-/Ausgabebusse EAB1...EAB3 vorgenommen. Welche der drei Ein-/Ausgabebusse EAB1...EAB3 durchgeschaltet werden, geben die Rechner R1...R3 mittels eines Verteilerstatus Vs vor, wobei maximal 3 Varianten für den Verteilerstatus notwendig sind.

Verteilerstatus	Durchschaltung von	auf
1	EAB 1	PBI
	EAB 2	PBII
2	EAB 1	PBI
	EAB 3	PBII
3	EAB 2	PBI
	EAB 3	PBII

Ein einmal vorgegebener Verteilerstatus bezieht sich auf alle folgenden Informationsaus- und -eingaben und muß erst bei Änderung erneut vorgegeben werden. Der aktuelle Verteilerstatus wird über das Bussystem B und die Anschlüsse VS1, VS2, VS3 dreifach redundant einer Steuer- und Fehlerlogik SFL zugeführt und dort einem (2 von 3)-Vergleich zwecks Fehlerselektierung unterzogen.

Auf einen (2 von 3)-Vergleich der Ein-/Ausgabeinformationen wird in den Peripheriestationen verzichtet, da einerseits die Ausgabeinformationen bevor sie über die Ein-/Ausgabebusse EAB1...EAB3 an die Peripheriestationen gegeben werden und andererseits die über die Ein-/Ausgabebusse EAB1...EAB3 und die Rechner R1...R3 geführten Eingabeinformationen vom Prozeß in den zentralen Vergleichereinheiten ZVGL der Rechner R1...R3 einem (2 von 3)-Vergleich und/oder einem Soll-Ist-Wertvergleich unterzogen werden. Zum Zweck der Fehlerselektierung wird mit den Peripheriebusignalen lediglich ein (2 von 2)-Vergleich durchgeführt und die dabei erzeugten Fehlermeldungen werden den Rechnern R1...R3 zur Auswertung übergeben.

Es soll nun die Informationsausgabe zum Prozeß näher betrachtet werden:

Die Synchronisation der Rechner R1...R3, der (2 von 3)-Vergleich der Ausgabedaten und die Festlegung des Verteilerstatus für die Durchschaltung der Ein-/Ausgabebusse EAB1...EAB3 in Abhängigkeit vom Ergebnis des (2 von 3)-Vergleichs der Ausgabedaten und vom Fehlerzustand der Ein-/Ausgabebusse EAB1...EAB3 werden von den zentralen Vergleichereinheiten ZVGL realisiert. Weicht der festgelegte Verteilerstatus vom zuletzt vorgegebenen ab, so muß er an die Peripheriestationen P ausgegeben werden. Er gelangt über die Eingänge VS1...VS3 zu der Steuer- und Fehlerlogik SFL in der Bustreiber- und -verteilereinheit, wo ein (2 von 3)-Vergleich vorgenommen wird und in Abhängigkeit vom Vergleichsergebnis Rückmeldungen von Quittungen für den Verteilerstatus und von Fehlermeldungen über die Ausgänge F1 QSV1...F3 QSV3 an die Rechner

Weiterhin werden von der Steuer- und Fehlerlogik SFL Adreßfreigabesignale gebildet, die den aktuellen Verteilerstatus berücksichtigen. Diese Adreßfreigabesignale gelangen über den internen Steuerbus ISB und den Eingang AFR zu einem Adreßbusverteiler ABV und bewirken dort die Durchschaltung von zwei der drei Adreßbusse AB 1...AB 3 auf zwei weitere Adreßbusse ABI bzw. ABII, (2 von 2)-Vergleich der Adressen sowie die Bildung von Adreßbusfreigabesignalen und Adreßbusfehlersignalen.

Die Adreßbusfehlersignale beinhalten das Vergleichsergebnis und gelangen über den Ausgang AF zur Steuer- und Fehlerlogik SFL. In Auswertung dieser Signale in der Steuer- und Fehlerlogik SFL bzw. in den Rechnern R1...R3 kann z.B. ein neuer Verteilerstatus festgelegt werden. Die Adreßbusfreigabesignale gelangen über die Ausgänge AFRI bzw. AFRII zu Adreßtreiber- und -decodern ATDI bzw. ATDII und bewirken dort die Durchschaltung der Adreßbusse ABI bzw. ABII auf die Peripheriebusse PBI bzw. PBII und somit zu der adressierten Peripheriebaugruppe, sofern eine in der betrachteten Peripheriestation implementierte Adresse anliegt. Ist dies der Fall, so wird von den Adreßtreiber- und -decodern ATDI bzw. ATDII jeweils ein Signal Peripheriestationenauswahl über ihre Ausgänge PSAI bzw. PSAII und den internen Steuerbus ISB der Steuer- und Fehlerlogik SFL zugeleitet, wodurch dieser mitgeteilt wird, daß die betrachtete Peripheriestationen angesprochen ist.

Daraufhin sendet die Steuer- und Fehlerlogik SFL ein Steuerbusfreigabesignal über den internen Steuerbus ISB und den Eingang SFR an einen Steuerbusverteiler SBV. Es bewirkt dort die Durchschaltung von zwei der drei Steuerbusse SB 1...SB 3 auf die zwei Steuerbusse SBI bzw. SBII und den (2 von 2)-Vergleich der Steuersignale. Es wird wiederum ein Fehlersignal erzeugt und über den Ausgang SF der Steuer- und Fehlerlogik SFL ausgeführt, wo es weiter ausgewertet wird. Es werden auch weitere Steuerfreigabesignale gebildet und über die Ausgänge SFR I SFR II den Steuertreibern STI bzw. II zugeführt und bewirken hier die Durchschaltung der Steuersignale auf die Peripheriebusse PBI bzw. PBII.

In den Steuertreibern STI bzw. STII werden daraufhin Schreibsignale gebildet und über die Ausgänge SSI und SSII der Steuer- und Fehlerlogik SFL zugeführt und bewirken dort die Bildung des Ausgabedatenfreigabesignals, welches über den Eingang ADFR zum Ausgabedatenverteiler ADBV gelangt. Daraufhin werden im Ausgabedatenverteiler zwei der drei Ausgabedatenbusse ADB 1...ADB 3 auf die weiteren Ausgabedatenbusse ADBI bzw. ADBII und somit zu den Ausgabedatentreibern ADTI bzw. ADTII durchgeschaltet, der (2 von 2)-Vergleich durchgeführt, das Ausgabedatenfehlersignal über den Ausgang ADF zur Steuer- und Fehlerlogik SFL gesendet und die weiteren Ausgabedatenfreigabesignale über die Ausgänge ADFRI bzw. ADFRII zu den Ausgabedatentreibern ADTI bzw. ADTII geführt. Dadurch werden die Ausgabedaten auf die Peripheriebusse PBI bzw. PBII gelegt.

Nach der Übernahme der Ausgabeinformationen in die Peripheriebaugruppen liefern diese Peripheriequittungssignale an die Eingänge PQI bzw. PQII des Quittungsvervielfachers QBVF. Dieser erhält über seinen Eingang QFR ein Quittungsfreigabesignal von der Steuer- und Fehlerlogik SFL. Diese Quittungsfreigabe wird erteilt nach der Auswertung der Peripheriestationenauswahl und der Schreibsignale. Der Quittungssignalvervielfacher führt einen (2 von 2)-Vergleich der Quittungssignale durch, bildet ein Quittungsfehlersignal, welches über den Ausgang QF zur Steuer- und Fehlerlogik SFL gelangt und vervielfacht die Quittungssignale, so daß sie über die Ausgänge QB 1...QB 3 auf die Ein-/Ausgabebusse EAB 1...EAB 3 gelangen. Die Informationsausgabe ist damit beendet.

Informationsausgabe:

Die Durchschaltung der Adreß- und Steuerbusse AB 1...AB 3 bzw. SB 1...SB 3 erfolgt analog der Informationsausgabe, bis auf den Unterschied, daß die Steuertreiber STI bzw. STII jetzt über ihre Ausgänge LSI bzw. LSII Lesesignale an die Steuer- und Fehlerlogik SFL senden, worauf diese Eingabedatenfreigabesignale an den Eingabedatenbusvervielfacher EDBVF über dessen Eingang EDFR sendet.

Der Eingabedatenbusvervielfacher realisiert den (2 von 2)-Vergleich und die Vervielfachung der von den Peripheriebaugruppen gelieferten Daten auf die Ausgänge EDB 1...EDB 3, welche jeweils mit den Ein-/Ausgabedatenbussen EAB 1...EAB 3 verbunden sind, sowie liefert das Eingabedatenbusfehlersignal über den Ausgang EDF zur Steuer- und Fehlerlogik SFL.

Die Gültigkeit der Eingabedaten wird von den Peripheriebaugruppen mittels der Peripheriequittungssignale an die Eingänge PQI bzw. PQII des Quittungsvervielfachers QBVF gekennzeichnet, deren Weiterverarbeitung wie bei der Informationsausgabe erfolgt. Nach der Übernahme der Daten in die Rechner R1...R3 werden sie zum Zweck der Fehlerselektierung einem (2 von 3)-Vergleich in den zentralen Vergleichereinheiten ZVGL oder einem Ist-Sollwertvergleich unterzogen.

Die Adreßverteiler ABV, Steuerbusverteiler SBV und Ausgabedatenverteiler ADBV haben den selben Aufbau, wie er in Figur 3 dargestellt ist. Die Busse B 1...B 3 werden auf Tore T 1...T 3 geführt, wobei der Bus B 2 noch mit einem weiteren Tor T 4 verbunden ist. Die Durchschaltung von jeweils 2 Toren erfolgt mittels der über den Eingang FR zugeführten Freigabesignale, welche den Verteilerstatus beinhalten. Damit werden stets zwei der drei Busse auf die Ausgangsbusse BI bzw. BII und auf den Vergleicherv V durchgeschaltet. Mittels der Freigabesignale wird auch der (2 von 2)-Vergleich freigegeben.

Der Vergleicherv gibt am Ausgang F das Vergleichsergebnis aus und an den Ausgängen FRI, FRII Freigabesignale für die nachfolgenden Einrichtungen.

Der Eingabedatenbusvervielfacher EDBVF und der Quittungsvervielfacher QBVF besitzen ebenfalls einen identischen Aufbau, wie er in Figur 4 gezeigt ist. Die von den Peripheriebussen PBI bzw. PBII kommenden Eingabeinformationen oder Quittungssignale werden auf die Tore TI bzw. TII geführt. Diese Tore und der Vergleicherv V werden mittels der Freigabesignale, die über den Eingang FR anliegen, freigegeben. Damit gelangen die Informationen auf den Vergleicherv V und den Vervielfacher VF. Der Vergleicherv V erzeugt wieder ein Fehlersignal an seinem Ausgang F und Freigabesignale für den Vervielfacher VF. Daraufhin erfolgt die Vervielfachung der Informationen auf Busse B 1...B 3.

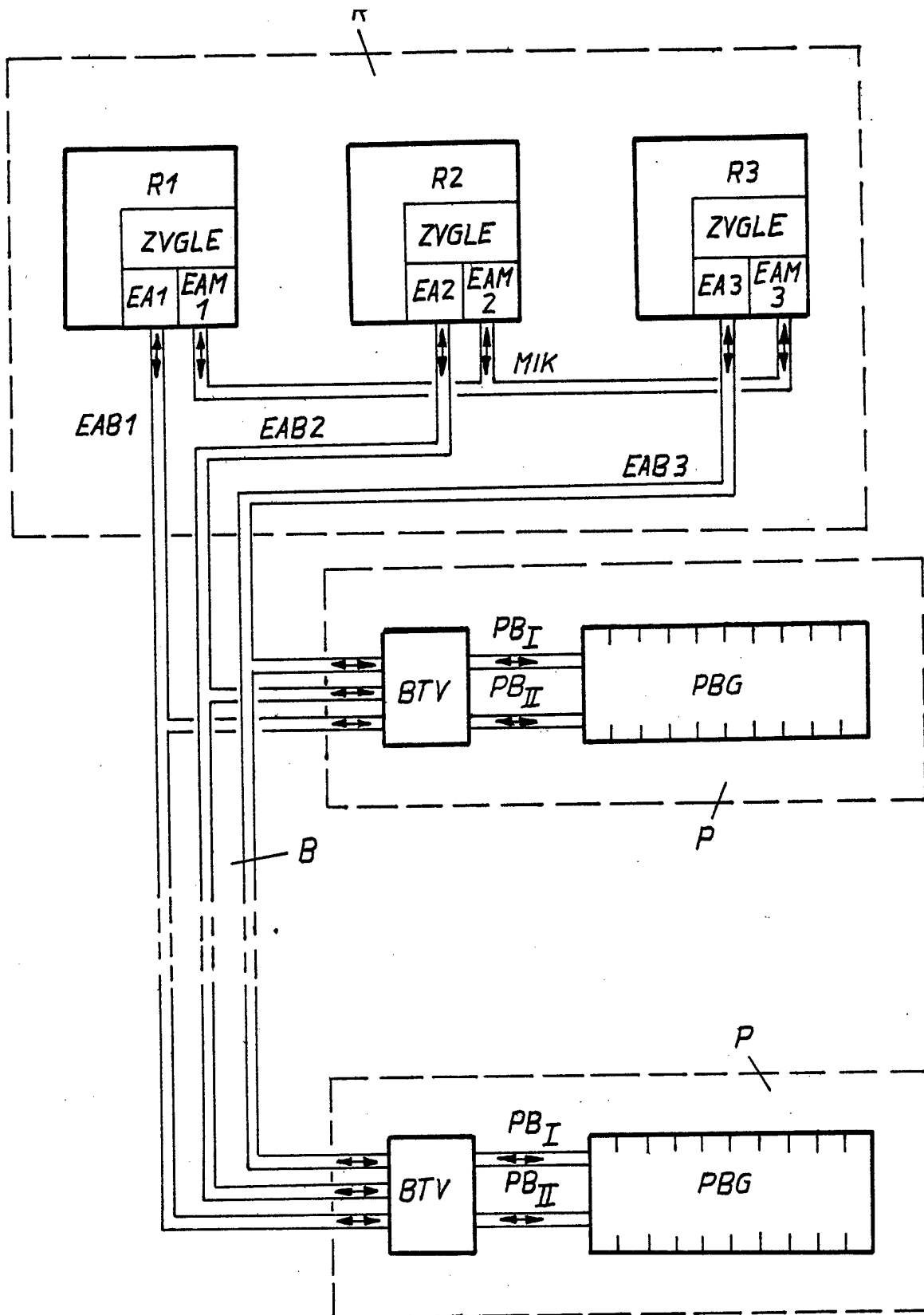


Fig. 1

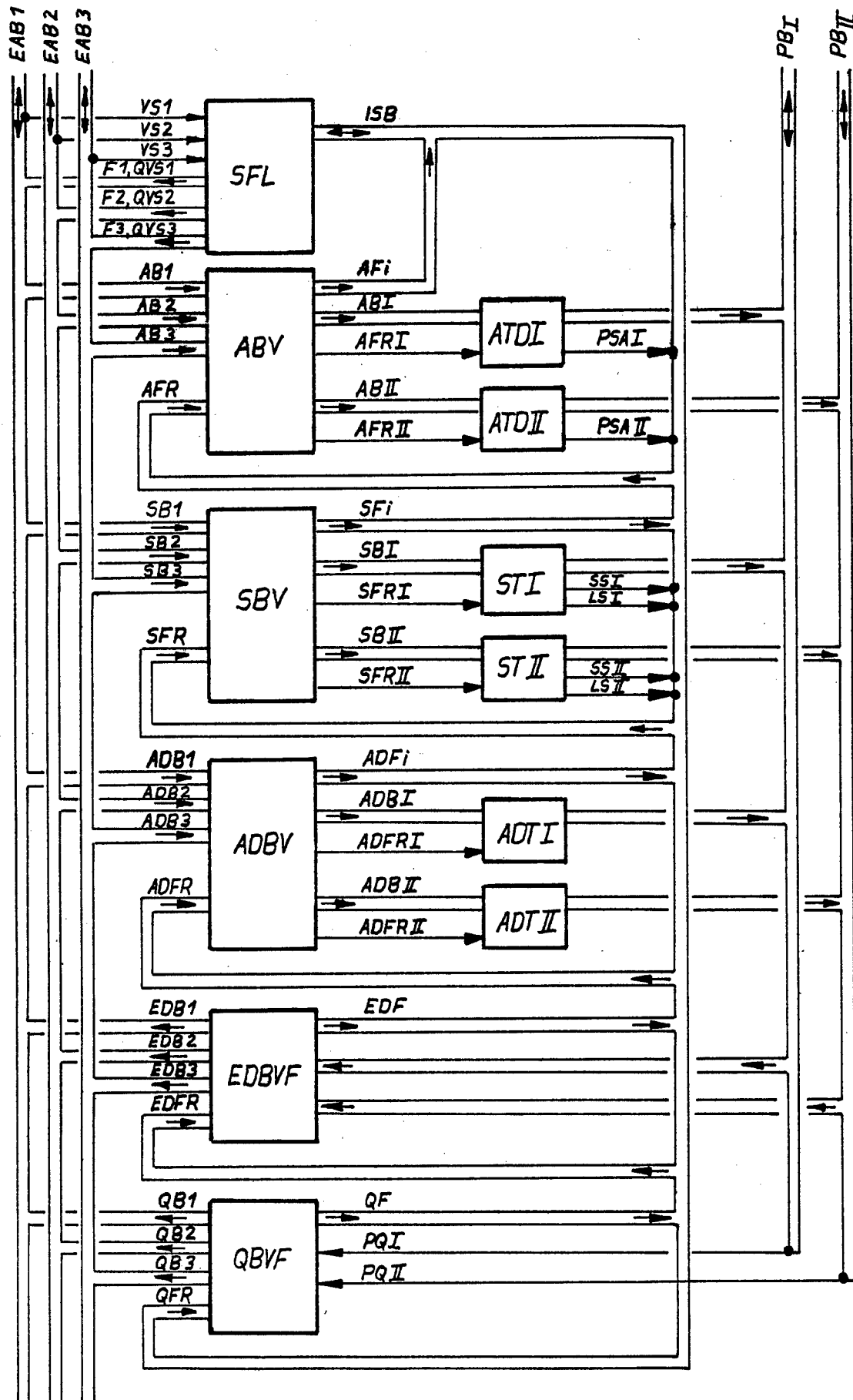


Fig. 2

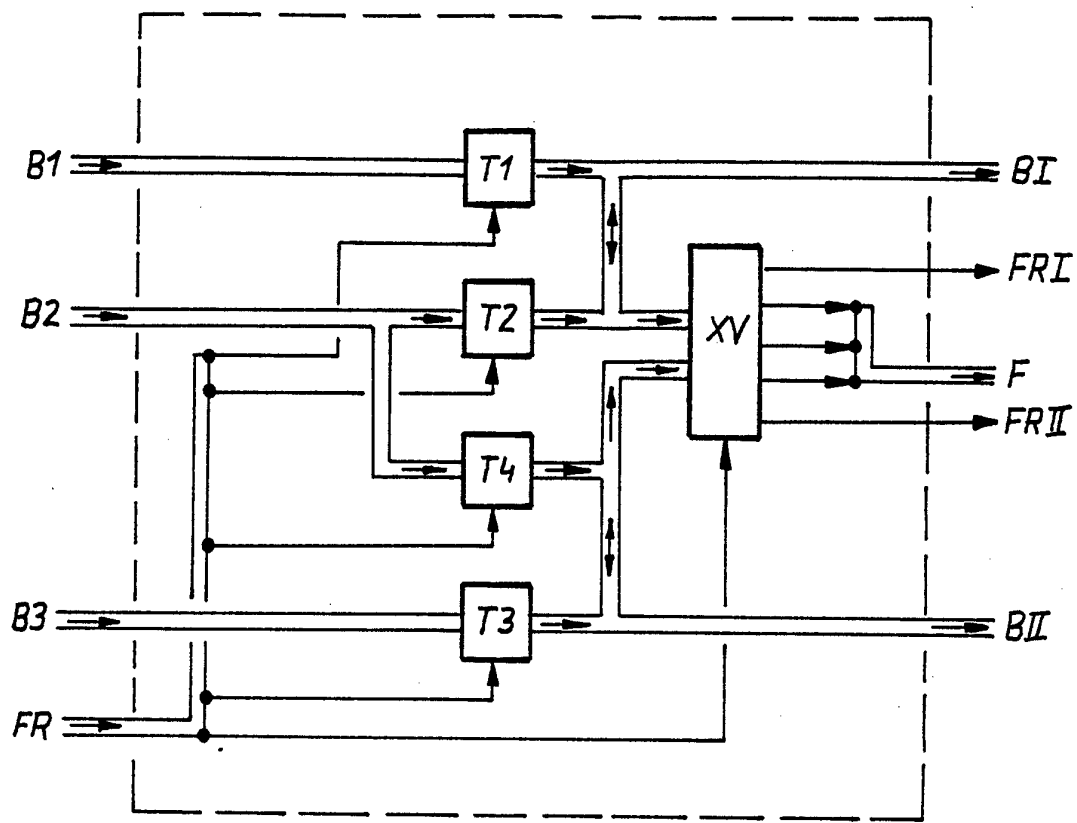


Fig.3

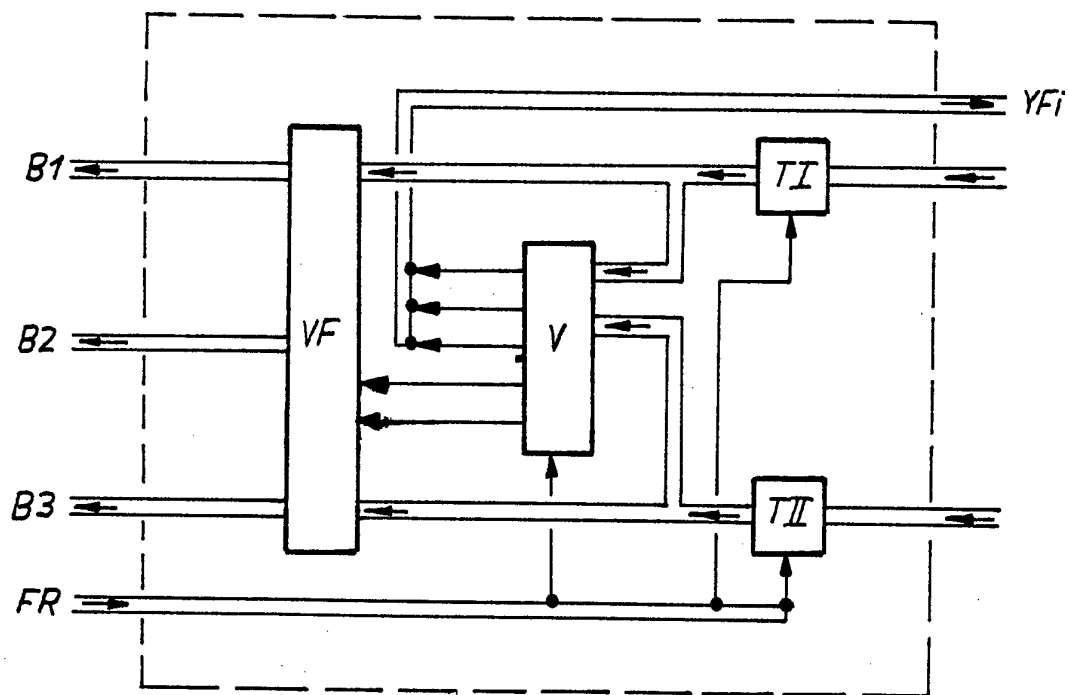


Fig.4