

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4760000号
(P4760000)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int. Cl. F I
H02M 7/48 (2007.01) H02M 7/48 E

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2004-356973 (P2004-356973)	(73) 特許権者	000002853
(22) 出願日	平成16年12月9日(2004.12.9)		ダイキン工業株式会社
(65) 公開番号	特開2006-166654 (P2006-166654A)		大阪府大阪市北区中崎西2丁目4番12号
(43) 公開日	平成18年6月22日(2006.6.22)		梅田センタービル
審査請求日	平成19年9月20日(2007.9.20)	(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(74) 代理人	100103229
			弁理士 福市 朋弘
		(72) 発明者	山井 広之
			滋賀県草津市岡本町字大谷1000番地の
			2 株式会社ダイキン空調技術研究所内

最終頁に続く

(54) 【発明の名称】 多相電流供給回路、駆動装置、圧縮機、及び空気調和機

(57) 【特許請求の範囲】

【請求項1】

交流電圧を出力する交流電源(13)に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段(7)と、

前記波高値抑制手段を介して前記交流電源から前記交流電圧(V_{in})を入力し、前記交流電圧の全波整流を行うダイオード群(2)と、

前記ダイオード群の出力を受けるコンデンサ(31)と、

前記コンデンサの両端電圧(v_{dc})を受け、多相の交流電流(i_u, i_v, i_w)を出力するインバータ(4)と、

前記コンデンサと直列に接続されるインダクタ(32, 8)とを備え、

前記両端電圧の脈動の最大値はその最小値の2倍以上であり、

前記交流電源(13)に寄生するインダクタンスと前記インダクタ(32, 8)のインダクタンスとの和が、 C ：前記コンデンサ(31)の容量、 T ：前記サージ電圧のパルス幅、 V_N ：前記コンデンサ(31)両端の最大電圧、 V_M ：前記交流電圧(V_{in})の最大値、 V_S ：前記波高値抑制手段によってクランプされた後の前記サージ電圧として、

【数 1】

$$L_s = \frac{1}{C} \left[\frac{\Delta T}{\cos^{-1} \left\{ 1 - \frac{1}{2} \left(\frac{V_N - V_M}{V_S - V_M} \right)^2 \right\}} \right]^2$$

で求められる L_s 以上となるように前記インダクタ (32, 8) のインダクタンスが設定される、多相電流供給回路。

10

【請求項 2】

交流電圧を出力する交流電源 (13) に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段 (7) と、

前記波高値抑制手段を介して前記交流電源から前記交流電圧 (V_{in}) を入力し、前記交流電圧の全波整流を行うダイオード群 (2) と、

前記ダイオード群の出力を受けるコンデンサ (31) と、

前記コンデンサに並列に接続された第 1 側路 (33) と、

前記コンデンサの両端電圧 (v_{dc}) を受け、多相の交流電流 (i_u, i_v, i_w) を出力するインバータ (4) と、

を備え、

20

前記両端電圧の脈動の最大値はその最小値の 2 倍以上であり、

前記第 1 側路は抵抗性素子 (R_s) 及び容量性素子 (C_s) の直列接続を有し、

前記第 1 側路 (33) は前記抵抗性素子 (R_s) 及び前記容量性素子 (C_s) に直列に接続されるダイオード (D_s)

を更に有し、

前記ダイオードのアノードからカソードに向かう方向が、前記コンデンサの高電位側から低電位側に向かう方向と一致する、多相電流供給回路。

【請求項 3】

交流電圧 (V_{in}) を出力する交流電源 (13) に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段 (7) と、

30

前記波高値抑制手段を介して前記交流電源から前記交流電圧 (V_{in}) を入力し、前記交流電圧の全波整流を行うダイオード群 (2) と、

前記ダイオード群の出力を受けるコンデンサ (31) と、

前記コンデンサに並列に接続された第 1 側路 (33) と、

前記コンデンサの両端電圧 (v_{dc}) を受け、多相の交流電流 (i_u, i_v, i_w) を出力するインバータ (4) と、

を備え、

前記両端電圧の脈動の最大値はその最小値の 2 倍以上であり、

前記第 1 側路はダイオード (D_s) 及び容量性素子 (C_s) の直列接続を有し、

前記ダイオードのアノードからカソードに向かう方向が、前記コンデンサの高電位側から低電位側に向かう方向と一致する、多相電流供給回路。

40

【請求項 4】

前記コンデンサ (31) 及び前記第 1 側路 (33; 34) の並列接続に対して直列に接続されるインダクタ (32, 8)

を更に備える、請求項 2 乃至請求項 3 のいずれか一つに記載の多相電流供給回路。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一つに記載の多相電流供給回路と、

前記多相の交流電流 (i_u, i_v, i_w) が供給されるモータ (5) とを備える駆動装置。

【請求項 6】

50

請求項 5 記載の駆動装置を備え、
前記駆動装置によって駆動される圧縮機。

【請求項 7】

請求項 6 記載の圧縮機を備え、
前記圧縮機によって圧縮される冷媒を採用して冷房もしくは暖房を行う空気調和機。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はインバータ技術に関する。

【背景技術】

【0002】

図 1 4 は従来の多相電流供給回路の構成を例示する回路図である。電源系統 1 は、交流電源 1 3 を有し、ダイオードブリッジ 2 に交流電圧 V_{in} を与える。但し電源系統 1 に寄生するインダクタンスは、交流電源 1 3 と直列に接続されるインダクタ 1 2 として示している。

【0003】

ダイオードブリッジ 2 は交流電圧 V_{in} に対して全波整流を行う。ダイオードブリッジ 2 とインバータ 4 の間には介在回路 3 が介在しており、ダイオードブリッジ 2 の出力は介在回路 3 に供給される。介在回路 3 はコンデンサ 3 1 を備えており、ダイオードブリッジ 2 の出力はコンデンサ 3 1 の両端に与えられる。コンデンサ 3 1 の容量値 C は小さく、例えば $20 \mu F$ に選定される。コンデンサ 3 1 は、その容量値 C を小さくすることにより、小型化することができる。

【0004】

コンデンサ 3 1 の両端において得られる整流電圧 v_{dc} はインバータ 4 に入力する。インバータ 4 では、制御回路 6 から得られるスイッチング信号 T_u, T_v, T_w に基づき、そのスイッチング素子たるトランジスタのスイッチングが行われる。これにより、モータ 2 4 には三相の電流 i_u, i_v, i_w が供給される。

【0005】

制御回路 6 には交流電圧 V_{in} の位相 θ_1 と、整流電圧 v_{dc} と、電流 i_u, i_v, i_w 及びモータ 5 の回転子の回転位置角 θ_m が与えられる。これらの諸量は周知の技術を用いて検出することができる。そしてこれらに基づいて、制御回路 6 はスイッチング信号 T_u, T_v, T_w を生成する。

【0006】

コンデンサ 3 1 の容量値 C を著しく小さくし、スイッチング信号 T_u, T_v, T_w を上記諸量に基づいて適切に制御し、AC - AC 変換を行う技術が公知である。かかるスイッチング制御をここではコンデンサレスインバータ制御と称する。コンデンサレスインバータ制御は、介在回路 3 を平滑回路 3 0 1, 3 0 2 (それぞれ図 1 5 及び図 1 6 に示す) に置換した通常の回路と比較して、コンデンサ及びインバータを含む回路の全体を小型化し、コストダウンを招来できる。平滑回路 3 0 1 では平滑用大容量コンデンサ C_C 及び力率改善用リアクトル L_L を採用しているが、コンデンサレスインバータ制御によれば、かかる力率改善用リアクトル L_L を用いなくても電源側の力率低下を抑制できる。また平滑回路 3 0 2 では更にダイオード DD 及びスイッチング素子たるトランジスタ QQ をも更に設けてチョッパ回路を構成しているが、コンデンサレスインバータ制御によれば、チョッパ回路を用いずに電源高調波を抑制できる。

【0007】

コンデンサレスインバータ制御は例えば非特許文献 1 に開示されている。非特許文献 1 では、単相の交流電源のほぼ 2 倍の周波数で大きく脈動する整流電圧が、インバータに対して印加される。しかし当該インバータにおけるスイッチングを適切に制御することにより、三相交流電流を出力する。非特許文献 1 では、単相のコンデンサレスインバータ制御について、コンデンサの両端電圧の最大値が最小値の 2 倍以上であれば、力率が 97% 以

10

20

30

40

50

上の良好な値になることが示されている。

【0008】

また、本件発明に関連するものとして特許文献1が挙げられる。

【0009】

【特許文献1】特開2004-289985号公報

【非特許文献1】高橋勲「高入力力率のダイオード整流回路を持つPMモータのインバータ制御法」、平成12年電気学会全国大会4-149(平成12年3月)、第1591頁

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述のようにコンデンサレスインバータ制御が採用される多相電流供給回路の電源系統1において、雷サージが重畳する場合が想定できる。そこで電源系統1に対して避雷の措置を執ることが望ましい。

【0011】

図17は図14に示された多相電流供給回路において、避雷器7が電源系統1とダイオードブリッジ2の間に介在している構成を示す回路図である。ダイオードブリッジ2は避雷器7を介して交流電圧 V_{in} を受けることになる。ここで避雷器7は、交流電圧 V_{in} に重畳するサージ電圧を抑制する波高値抑制手段として機能する。

【0012】

電源系統1において雷サージが重畳した場合にインバータ4が受けるダメージについて考察する。図18は交流電圧 V_{in} の波形101及び整流電圧 v_{dc} の波形110を示すグラフである。ここでは交流電源13が周波数50Hz、実効値270Vの正弦波状電圧を発生し、そのピーク時近傍で幅50 μ sの数kVの雷サージが発生した場合をシミュレーションした。なお、寄生するインダクタ12のインダクタンス L_0 は、実際には、地域ごとの配電事情(電力線の長さ、変圧器の漏れインダクタンスの相違)に起因したばらつきがあり得るが、ここでは230 μ Hを採用してシミュレーションした。またコンデンサ31の容量値Cとして20 μ Fを採用した。そして避雷器7により交流電圧 V_{in} は800Vにクランプされた場合を想定している。

【0013】

整流電圧 v_{dc} の波形110は、雷サージが重畳する直前までは、ほぼ交流電圧 V_{in} の波形101と一致していたが、重畳した後は250V強で上昇し、波高値が600Vを超えている。その後、インバータ4へ電流が流れることにより、整流電圧 v_{dc} の波形110は再び交流電圧 V_{in} の波形101と一致して低下する。更にその後、整流電圧 v_{dc} は交流電圧 V_{in} ほどには低下せず、ほぼ一定の最小値を採る。コンデンサレスインバータは、運転時に整流電圧 v_{dc} の(サージを考慮しない)最大値が、最小値の2倍以上となるように制御が行われ、その結果、高力率運転を実現する。

【0014】

なおインバータ4の動作待機中に雷サージが印加された場合は、コンデンサ31からインバータ4に電流が流ることがないため、雷サージ重畳後に600Vを超えた波高値がそのまま保持されてしまう。

【0015】

インバータ回路4に使用するトランジスタは、その小型化のため、耐圧が600V程度の部品が選定されることも多い。よって図18に示されたように交流電圧 V_{in} に雷サージが重畳すると、たとえ避雷器7によってその値が小さくなくても、インバータ回路4に重篤なダメージが発生する可能性が高い。

【0016】

かかる現象は、しかし、コンデンサ31の容量値Cが大きい場合には、インバータ回路4に大きなダメージを与えるものではない。図19は、交流電圧 V_{in} の波形101及び整流電圧 v_{dc} の波形111を示すグラフである。但し図19のグラフでは、図18のグラフとは異なり、コンデンサ31の容量値Cとして900 μ Fを採用した場合のシミュレ

10

20

30

40

50

ーションの結果を示している。この場合、交流電圧 V_{in} は 800 V にまで上昇しても、整流電圧 v_{dc} は四百数十 V 程度にしか上昇していない。なお、容量値 C が非常に大きい
ため、整流電圧 v_{dc} はサージ発生時付近以外ではほぼ交流電圧 V_{in} の波高値を保って
いる。

【0017】

これは容量値 C が小さいほど、雷サージによってダイオードブリッジ 2 を介してコンデンサ 31 へと流れる充電電流 i_c が、より高い電圧をコンデンサ 31 に発生させるからであると
考えられる。換言すれば、上記の利点を有するコンデンサレスインバータ制御を行う
ためには、雷サージによるコンデンサ 31 の電圧上昇を抑制することが要求される。

【0018】

本発明はかかる問題に鑑みてなされたもので、雷サージが重畳する場合でも、介在回路
におけるコンデンサの容量を著しく小さくしてコンデンサレスインバータ制御を行うこと
が可能な技術を提供することを目的とする。

【課題を解決するための手段】

【0019】

この発明にかかる多相電流供給回路の第 1 の態様は、交流電圧を出力する交流電源 (1
3) に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段 (7) と
、前記波高値抑制手段を介して前記交流電源から前記交流電圧 (V_{in}) を入力し、前記交
流電圧の全波整流を行うダイオード群 (2) と、前記ダイオード群の出力を受けるコンデ
ンサ (31) と、前記コンデンサの両端電圧 (v_{dc}) を受け、多相の交流電流 (i_u, i_v, i_w) を出力するインバータ (4) と、前記コンデンサと直列に接続されるインダクタ
(32, 8) とを備える。そして、前記両端電圧の脈動の最大値はその最小値の 2 倍以上
である。

そして前記交流電源 (13) に寄生するインダクタンスと前記インダクタ (32, 8)
のインダクタンスとの和が、 C : 前記コンデンサ (31) の容量、 T : 前記サージ電圧
のパルス幅、 V_N : 前記コンデンサ (31) 両端の最大電圧、 V_M : 前記交流電圧 (V_{in})
の最大値、 V_S : 前記波高値抑制手段によってクランプされた後の前記サージ電圧として
、後述する式 (10) で求められる L_s 以上となるように前記インダクタ (32, 8) の
インダクタンスが設定される。

【0020】

この発明にかかる多相電流供給回路の第 2 の態様は、交流電圧を出力する交流電源 (1
3) に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段 (7) と
、前記波高値抑制手段を介して前記交流電源から前記交流電圧 (V_{in}) を入力し、前記
交流電圧の全波整流を行うダイオード群 (2) と、前記ダイオード群の出力を受けるコン
デンサ (31) と、前記コンデンサに並列に接続された第 1 側路 (33) と、前記コンデ
ンサの両端電圧 (v_{dc}) を受け、多相の交流電流 (i_u, i_v, i_w) を出力するイン
バータ (4) とを備える。前記両端電圧の脈動の最大値はその最小値の 2 倍以上であり、
前記第 1 側路は抵抗性素子 (R_s) 及び容量性素子 (C_s) の直列接続を有する。

【0021】

そして、前記第 1 側路 (33) は前記抵抗性素子 (R_s) 及び前記容量性素子 (C_s) に
直列に接続されるダイオード (D_s) を更に有する。前記ダイオードのアノードからカソ
ードに向かう方向が、前記コンデンサの高電位側から低電位側に向かう方向と一致する。

【0022】

この発明にかかる多相電流供給回路の第 3 の態様は、交流電圧を出力する交流電源 (1
3) に接続され、前記交流電圧に重畳するサージ電圧を抑制する波高値抑制手段 (7) と
、前記波高値抑制手段を介して前記交流電源から前記交流電圧 (V_{in}) を入力し、前記交
流電圧の全波整流を行うダイオード群 (2) と、前記ダイオード群の出力を受けるコンデ
ンサ (31) と、前記コンデンサに並列に接続された第 1 側路 (33) と、前記コンデ
ンサの両端電圧 (v_{dc}) を受け、多相の交流電流 (i_u, i_v, i_w) を出力するインバータ
(4) とを備える。前記両端電圧の脈動の最大値はその最小値の 2 倍以上であり、前記第

10

20

30

40

50

1側路はダイオード (D_S) 及び容量性素子 (C_S) の直列接続を有し、前記ダイオードのアノードからカソードに向かう方向が、前記コンデンサの高電位側から低電位側に向かう方向と一致する。

【0027】

この発明にかかる多相電流供給回路の第4の態様は、第2の態様乃至第3の態様のいずれか一つであって、前記コンデンサ (31) 及び前記第1側路 (33; 34) の並列接続に対して直列に接続されるインダクタ (32, 8) を更に備える。

【発明の効果】

【0028】

この発明にかかる多相電流供給回路の第1の態様乃至第9の態様によれば、雷サージが重畳する場合でも、コンデンサの容量を著しく小さくしてコンデンサレスインバータ制御を行うことができる。

10

【0029】

特に第3の態様及び第2の態様においてはダイオードによって、通常動作時における電力消費を低減することができる。

【0032】

この発明にかかる多相電流供給回路の第1の態様乃至第4の態様のいずれか一つに記載の多相電流供給回路と、前記多相の交流電流 (i_u, i_v, i_w) が供給されるモータ (5) とを備えた駆動装置を得ることができる。

【0033】

20

上記の駆動装置を備え、これによって駆動される圧縮機を得ることもできる。

【0034】

上記の圧縮機を備え、これによって圧縮される冷媒を採用して冷房もしくは暖房を行う空気調和機を得ることもできる。

【発明を実施するための最良の形態】

【0035】

第1の実施の形態 .

図1は本発明の第1の実施の形態にかかる駆動装置を示す回路図である。当該駆動装置は駆動部たるモータ5と、これに多相電流を供給する多相電流供給回路を備えている。

【0036】

30

多相電流供給回路はダイオードブリッジ2、介在回路3、インバータ4、制御回路6及び避雷器7を備えている。ダイオードブリッジ2には避雷器7を介して、単相交流の電源系統1が接続され、単相交流電圧 V_{i_n} が全波整流される。但し上述のように電源系統1には寄生インダクタンスが存在するので、交流電源13に対して直列に接続されたインダクタ12で寄生インダクタンスを表示している。ここで寄生インダクタンスの値 L_0 として $230 \mu H$ を採用した。

【0037】

ダイオードブリッジ2は全波整流を行う機能を有し、交流電圧 V_{i_n} を全波整流して介在回路3に入力する。介在回路3は、コンデンサ31及びインダクタ32を有しており、チョークインプット型のローパスフィルタで構成されている。具体的にはインダクタ32の一端とコンデンサ31の一端とが接続され、インダクタ32の他端とコンデンサ31の一端との間にダイオードブリッジ2の出力を受け、コンデンサ31の両端電圧たる整流電圧 v_{dc} をインバータ4に出力する。

40

【0038】

コンデンサ31の容量値 C は、整流電圧 v_{dc} が交流電圧 V_{i_n} の周波数の2倍の周波数で大きく脈動し、整流電圧 v_{dc} の最大値が最小値の2倍以上となるように設定される。例えば容量値 C は $20 \mu F$ に、インダクタ32のインダクタンス L を $300 \mu H$ に、それぞれ設定する。これらの値は平滑回路301, 302 (それぞれ図15及び図16参照) において採用されていた容量値 (例えば $900 \mu F$) やインダクタンス (例えば $6 mH$) と比較して非常に小さい。

50

【0039】

インバータ4は三相の電流 i_u , i_v , i_w をモータ5に供給する。電流 i_u , i_v , i_w はそれぞれU相、V相、W相に対応する。インバータ4は、いずれもコンデンサ31の一端に接続されるコレクタを有する3個のトランジスタ(アップアーム側トランジスタ)と、いずれもコンデンサ31の他端に接続されるエミッタを有する3個のトランジスタ(ローアーム側トランジスタ)とを備えている。アップアーム側トランジスタのそれぞれは、ローアーム側トランジスタのそれぞれと相毎に対をなす。対を形成するアップアーム側トランジスタのエミッタと、ローアーム側トランジスタのコレクタとは共通に接続され、その接続点から電流 i_u , i_v , i_w が出力される。アップアーム側トランジスタ及びローアーム側トランジスタのそれぞれは、制御回路6からのスイッチング信号 T_u , T_v , T_w に基づいてオン/オフのスイッチングが制御される。スイッチング信号 T_u , T_v , T_w はそれぞれU相、V相、W相に対応する。

10

【0040】

なお、モータ5からの回生電流を流すため、アップアーム側トランジスタ及びローアーム側トランジスタのそれぞれに対して、エミッタに接続されたアノードと、コレクタに接続されたカソードとを有するフリーホイールダイオードが設けられている。

【0041】

制御回路6には交流電圧 V_{in} の位相 ϕ_1 と、コンデンサ31の両端に発生する整流電圧 v_{dc} と、電流 i_u , i_v , i_w 及びモータ5の回転子の回転位置角(機械角) θ_m が与えられる。これらの諸量は周知の技術を用いて検出することができる。制御回路6にはモータ5の回転角速度(機械角の角速度)の指令値 ω_m^* 、電流位相指令 ϕ_1^* も入力する。そしてこれらに基づいて、制御回路6はスイッチング信号 T_u , T_v , T_w を生成する。

20

【0042】

図2は制御回路6の詳細な構成を示すブロック図である。制御回路6は、位置・速度演算部61、d-q座標変換部62、速度制御演算部63、指令電流演算部64、電流制御演算部65、PWM(Pulse Wide Modulation)演算部66、PWMタイマ部67を備えており、それぞれ下記の計算を実行する機能を有している。

【0043】

位置・速度演算部61はモータ5の回転子の機械角 θ_m に基づいて、モータ5の回転子の回転角(電気角 θ_e)と回転角速度(電気角の角速度 ω_e 及び機械角の角速度 ω_m)を求めて出力する。d-q座標変換部62は電流 i_u , i_v , i_w とモータ5の電気角 θ_e とから、式(1)に基づいていわゆるd軸電流 i_d 及びq軸電流 i_q を求める。モータ5内部に確立した主磁束方向に磁束を作る電流成分たる磁束電流がいわゆるd軸電流であり、これに対して位相的に90度進んでトルクを直接制御するトルク電流がいわゆるq軸電流である。

30

【0044】

【数1】

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos\theta_e & \cos(\theta_e - 2\pi/3) & \cos(\theta_e + 2\pi/3) \\ -\sin\theta_e & -\sin(\theta_e - 2\pi/3) & -\sin(\theta_e + 2\pi/3) \end{bmatrix} \begin{bmatrix} i_u \\ i_v \\ i_w \end{bmatrix} \dots(1)$$

40

【0045】

速度制御演算部63は、モータ5の機械角の角速度の指令値 ω_m^* と機械角の角速度 ω_m とに基づいて比例・積分演算(PI演算)を行ってモータ電流指令 i_m^* を出力する。更に指令電流演算部64はモータ電流指令 i_m^* と、電流位相指令 ϕ_1^* と、位相角 ϕ_1 とを入力し、式(2)に基づいてd軸電流指令 i_d^* 及びq軸電流 i_q^* を出力する。これらは交流電圧 V_{in} の2倍の周波数のリップルで大きく変動する。

50

【 0 0 4 6 】

【 数 2 】

$$\begin{bmatrix} i_d^* \\ i_q^* \end{bmatrix} = i_m^* |\sin \theta_1| \begin{bmatrix} -\sin \beta^* \\ \cos \beta^* \end{bmatrix} \dots(2)$$

【 0 0 4 7 】

電流制御演算部 65 は、d 軸電流 i_d 及び q 軸電流 i_q 並びに d 軸電流指令 i_d^* 及び q 軸電流 i_q^* 並びに電気角の角速度 ω_e を入力し、式 (3) に基づいて d 軸電圧指令 v_d^* 及び q 軸電圧指令 v_q^* を出力する。但し、式 (3) において K_d 、 K_q はそれぞれ d 軸及び q 軸の比例ゲインであり、 L_d 、 L_q はそれぞれ d 軸及び q 軸のモータインダクタンスであり、 ϕ_a はモータ逆起電圧定数である。

10

【 0 0 4 8 】

【 数 3 】

$$\begin{bmatrix} v_d^* \\ v_q^* \end{bmatrix} = \begin{bmatrix} -K_d & -\omega_e L_d \\ \omega_e L_d & -K_q \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix} + \begin{bmatrix} K_d i_d^* \\ K_q i_q^* + \omega_e \phi_a \end{bmatrix} \dots(3)$$

20

【 0 0 4 9 】

PWM 演算部 66 には、回転子の回転角 (電気角) θ_e 並びに d 軸電圧指令 v_d^* 及び q 軸電圧指令 v_q^* を入力し、式 (4) に基づいて各相電圧指令 v_u^* 、 v_v^* 、 v_w^* を生成する。

【 0 0 5 0 】

【 数 4 】

$$\begin{bmatrix} v_u^* \\ v_v^* \\ v_w^* \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos \theta_e & -\sin \theta_e \\ \cos(\theta_e - 2\pi/3) & -\sin(\theta_e - 2\pi/3) \\ \cos(\theta_e + 2\pi/3) & -\sin(\theta_e + 2\pi/3) \end{bmatrix} \begin{bmatrix} v_d^* \\ v_q^* \end{bmatrix} \dots(4)$$

30

【 0 0 5 1 】

更に、PWM 演算部 66 は整流電圧 v_{dc} も入力し、これと各相電圧指令 v_u^* 、 v_v^* 、 v_w^* とを用いて、式 (5) に基づいて、各相のアップアーム側トランジスタのオン時間 τ_j ($j = u, v, w$) を求める。但し式 (5) において、キャリア周期 T_c を導入している。またオン時間 τ_j が T_c を越える場合にはその値を強制的に T_c にし、オン時間 τ_j が 0 未満となる場合にはその値を強制的に 0 にする。

【 0 0 5 2 】

【 数 5 】

$$\tau_j = \frac{v_j^* + 0.5^* v_{dc}}{v_{dc}} T_c \dots(5)$$

40

【 0 0 5 3 】

PWM タイマ部 67 はオン時間 τ_u 、 τ_v 、 τ_w をキャリア周期 T_c 毎に記憶し、記憶された時間に応答して各相トランジスタをオン・オフするスイッチング信号 T_u 、 T_v 、 T_w をインバータ 4 に与える。

【 0 0 5 4 】

図 3 は、避雷器 7 として採用できる構成を、電源系統 1 及びダイオードブリッジ 2 と共

50

に示す回路図である。図3ではダイオードブリッジ2の一对の入力線は、避雷器7aが有する保護素子70によって相互に接続されている。保護素子70としてはバリスタを採用できる。

【0055】

図4は図1に示された多相電流供給回路における、交流電圧 V_{in} の波形101及び整流電圧 v_{dc} の波形102を示すグラフである。図18に示したシミュレーションと同様に、交流電源13が周波数50Hz、実効値270Vの正弦波状電圧を発生し、そのピーク時近傍で幅50 μ sの数kVの雷サージが発生し、避雷器7により交流電圧 V_{in} は800Vにクランプされた場合についてシミュレーションされている。

【0056】

整流電圧 v_{dc} の波形102は、雷サージが重畳した後でも600Vには達していない。ダイオードブリッジ2からコンデンサ31へと流れる充電電流 i_c はインダクタ32を経由するため、充電電流 i_c の変化が急峻となることはインダクタ32によって妨げられるためと考えられる。

【0057】

さて、インダクタ32のインダクタンスLの望ましい値は下記のように見積もられる。但し、インバータ4の動作待機中もしくは、インバータ4は動作状態だが各線間電圧0を出力中(上アームトランジスタの3つ全てオン、あるいは下アームトランジスタの3つ全てオン、のいずれか一方の状態)に雷サージが印加された場合は、コンデンサ31からインバータ4に電流が流れない。よってインバータ4が動作している場合と比較して、これらの状態で前記インダクタンスLの望ましい値を見積もることは、より安全側に立った見積もりとなる。よって下記ではインバータ4には電流が流れない場合を想定している。

【0058】

インダクタ32のインダクタンスLとインダクタ12のインダクタンス L_0 との和を L_s とし、電源電圧を V_2 とすれば、上述の想定に基づき、コンデンサ31へと流れる充電電流 i_c がインダクタ12及びインダクタ32を流れるので、式(6)の関係が成立する。但し最終式は電荷量q(電流の時間積分)を導入している。また電源電圧 V_2 はダイオードブリッジ2によって整流され、その絶対値がコンデンサ31に印加される。

【0059】

【数6】

$$\begin{aligned} V_2 &= L_s \frac{di_c}{dt} + \frac{1}{C} \int i_c dt \\ &= L_s \frac{d^2}{dt^2} q + \frac{1}{C} q \quad \dots(6) \end{aligned}$$

【0060】

雷サージが発生する前に電源電圧 V_2 の最大値 V_M が既にコンデンサ31に印加されているので、充電電流 i_c は流れず、コンデンサ31の電圧は V_M となっている。

【0061】

クランプされた後の雷サージの電圧を V_s とすれば、式(6)で $V_2 = V_s$ と置いてしかも $i_c = 0$ 及び $q = C \cdot V_M$ を初期値に採用して、解を求めれば、雷サージの終了の直後(雷サージ発生 T 後)でのコンデンサ31の電圧 $V_{dc} = V_D$ 及び充電電流 $i_c = i_{cc}$ はそれぞれ式(7)(8)となる。

【0062】

【数7】

$$V_D = V_s - (V_s - V_M) \cos \frac{\Delta T}{\sqrt{L_s C}} \quad \dots(7)$$

10

20

30

40

50

【 0 0 6 3 】

【 数 8 】

$$i_{cc} = \sqrt{\frac{C}{L_s}} (V_s - V_M) \sin \frac{\Delta T}{\sqrt{L_s C}} \quad \dots(8)$$

【 0 0 6 4 】

雷サージのパルス幅 T は、交流電圧 V_{in} の周期と比較して非常に短いと想定される。よって雷サージ発生の前で電源電圧 V_2 は、波形 101 に示されるように（サージを考慮しない）最大値 V_M を採っていると近似することができる。式（6）において $V_2 = V_M$ とおき、そして $i_c = i_{cc}$ 、 $q = C \cdot V_D$ を初期値として再び解く。インダクタの効果で充電電流 i_c が流れている間はコンデンサ 31 の電圧は上昇を続けるため、充電電流 i_c がゼロとなった時点でコンデンサ 31 の電圧 V_{dc} は最大となる。その最大値 V_N は式（9）で表される。

10

【 0 0 6 5 】

【 数 9 】

$$V_N = V_M + \sqrt{(V_D - V_M)^2 + i_{cc}^2 \frac{L_s}{C}} \quad \dots(9)$$

20

【 0 0 6 6 】

この最大値 V_N がインバータ 4 の耐圧以下であれば雷サージに起因する破壊から保護することができる。

【 0 0 6 7 】

式（9）に式（7）（8）を用いれば、インダクタンス L_s は式（10）で求められる。

【 0 0 6 8 】

【 数 10 】

$$L_s = \frac{1}{C} \left[\frac{\Delta T}{\cos^{-1} \left\{ 1 - \frac{1}{2} \left(\frac{V_N - V_M}{V_s - V_M} \right)^2 \right\}} \right]^2 \quad \dots(10)$$

30

【 0 0 6 9 】

今、具体的な数値を考慮すると、 $C = 20 \mu F$ 、 $V_s = 800 V$ 、 $V_N = 600 V$ 、 $V_M = 2^{0.5} \cdot 270 V$ 、 $T = 50 \mu s$ を用いれば、式（9）からインダクタンス L_s は約 $450 \mu H$ と求まる。式（10）から、インダクタンス L_s が大きいほど V_N は小さくなるので、インダクタンス L_s が約 $450 \mu H$ 以上であればインバータ 4 を雷サージに

40

【 0 0 7 0 】

なお、式（10）を変形して LC 共振周波数を求めることができる。 $V_s = 800 V$ 、 $V_N = 600 V$ 、 $V_M = 2^{0.5} \cdot 270 V$ 、 $T = 50 \mu s$ を採用して、共振周波数は $1681 Hz$ となり、電源周波数が $50 Hz$ の場合であれば電源周波数の 34 次、電源周波数が $60 Hz$ の場合であれば電源周波数の 28 次となる。換言すれば、これらの次数より低くなるように L_s を選べば、雷サージに起因する破壊から保護することができる。

【 0 0 7 1 】

図 4 で示されたシミュレーションで用いた諸元では、インダクタ 12 のインダクタンスを $230 \mu H$ とし、インダクタ 32 のインダクタンスを $300 \mu H$ としており、式（10

50

)で得られるインダクタンス L_s よりも大きい。なお、図4はインバータ4は動作状態だが各線間電圧0を出力中(上アームトランジスタの3つ全てオン、あるいは下アームトランジスタの3つ全てオン、のいずれか一方の状態)に雷サージが印加された場合のシミュレーション結果を示している。そして、図8、図9、図11、図19も同様の場合のシミュレーション結果である。

【0072】

このように電源系統1から見てコンデンサ31に対して直列にインダクタが接続されれば、上記の効果を得ることができる。図5は本発明の第1の実施の形態の第1の変形にかかる駆動装置を示す回路図である。介在回路3として採用可能な介在回路3aはコンデンサ31及び二つのインダクタ32a, 32bを有している。インダクタ32a, 32bはコンデンサ31に対して、相互に反対側に配置されつつ電源系統1から見て直列に接続されている。

10

【0073】

図6は本発明の第1の実施の形態の第2の変形にかかる駆動装置を示す回路図である。介在回路3はコンデンサ31を有しているが、インダクタ32を有してはいない。インダクタ32の代わりに、避雷器7とダイオードブリッジ2との間にインダクタ8が介挿されている。インダクタ8はコンデンサ31に対して直列に接続される。

【0074】

コンデンサ31へと流れる充電電流 i_c は、第1の変形においてはインダクタ32a, 32bを、第2の変形においてはインダクタ8を、それぞれ経由するため、充電電流 i_c の変化が急峻となることはインダクタ8によって妨げられると考えられる。よってこれらの変形においても整流電圧 v_{dc} の上昇を抑制することができる。

20

【0075】

もちろんダイオードブリッジ2と避雷器7との間にインダクタ8を、介在回路3aにおいてインダクタ32(あるいは介在回路3aにおいてインダクタ32a, 32b)を、それぞれ設けてもよい。これらの2つのインダクタ8, 32(あるいは3つのインダクタ8, 32a, 32b)も共に、コンデンサ31に対して直列に接続されるからである。

【0076】

これらのようにインダクタを分割して設けても、これらと系統インダクタンス L_0 との和が式(10)で得られるインダクタンス L_s 以上であることがのぞましい。

30

【0077】

以上のように雷サージが重畳する場合でも、コンデンサ31の容量値Cを著しく小さくしてコンデンサレスインバータ制御を行うことが可能となる。しかもインダクタ32のサイズは平滑回路301, 302で採用されるインダクタ L_L よりも小さくでき、介在回路の小型化を著しく阻害することもない。

【0078】

第2の実施の形態.

第1の実施の形態ではコンデンサ31に対して直列にインダクタを接続することで、ダイオードブリッジ2から介在回路3へと充電電流 i_c の急峻な変化を抑制した。しかしコンデンサ31に対して並列に側路を設け、過剰な電流を当該側路へと逃がしてもよい。

40

【0079】

図7は、かかる側路33を有する介在回路3bの構成を示す回路図である。本実施の形態においても、図1に示された構成が採用されるが、介在回路3aは図7に示される介在回路3bに置換される。

【0080】

介在回路3bは、コンデンサ31を有しており、その両端にダイオードブリッジ2の出力を受け、コンデンサ31の両端に生じた整流電圧 v_{dc} をインバータ4に出力する。介在回路3bは更に、コンデンサ31に対して並列に接続された側路33を有する。

【0081】

側路33においては、ダイオード D_s 、抵抗 R_s 及びコンデンサ C_s が直列に接続され

50

ており、ダイオード D_S のアノードからカソードに向かう方向は、コンデンサ 31 の高電位側から低電位側に向かう方向と一致する。図 7 ではダイオード D_S のアノードがコンデンサ 31 の高電位側の一端に、ダイオード D_S のカソードが抵抗 R_S の一端に、抵抗 R_S の他端がコンデンサ C_S の一端に、コンデンサ C_S の他端がコンデンサ 31 の低電位側の一端に、それぞれ接続されている場合が例示されている。なお、直列回路を構成するダイオード D_S 、抵抗 R_S 、コンデンサ C_S の順序は入れ替えてもよい。

【 0 0 8 2 】

図 8 は交流電圧 V_{i_n} の波形 101、コンデンサ C_S の両端電圧の波形 103、整流電圧 v_{d_c} の波形 104 を示すグラフである。側路 33 を設けた以外のシミュレーション条件は、図 18 に示されたグラフを得たシミュレーションと同一の条件とした。側路 33 の諸元は、抵抗 R_S の抵抗値を 10、コンデンサ C_S の容量値を $100 \mu F$ とした。このような側路 33 は、図 19 に示されたグラフを得たシミュレーションで採用された容量値 $900 \mu F$ を有するコンデンサ 31 と比較しても、その寸法を小さくすることができる。

【 0 0 8 3 】

さて、雷サージが発生する直前までは、整流電圧 v_{d_c} の波形 104 は、ほぼ交流電圧 V_{i_n} の波形 101 と一致している。一方、コンデンサ C_S の両端電圧の波形 103 はそれまでの動作により、交流電圧 V_{i_n} の波高値 ($2^{0.5} \times 270 V$) に充電されている。しかし雷サージが発生し、交流電圧 V_{i_n} が $800 V$ へと向けて急激に上昇すると、ダイオード D_S を介してコンデンサ 31 のみならずコンデンサ C_S も充電される。但しコンデンサ C_S を充電する電流は、抵抗 R_S を介して流れる。よって波形 104 に示される整流電圧 v_{d_c} の上昇は、波形 103 に示されるコンデンサ C_S の両端電圧の上昇よりも急峻ではある。但しコンデンサ C_S に流れる充電電流だけ、介在回路 3 (図 15) における充電電流 i_c よりも、本実施の形態における充電電流 i_c は小さくできる。よって整流電圧 v_{d_c} も $600 V$ に達することがない。

【 0 0 8 4 】

その後、インバータ 4 へ電流が流れることにより、整流電圧 v_{d_c} は一旦コンデンサ C_S の両端電圧にほぼ一致するものの、再び交流電圧 V_{i_n} と一致して低下する。更にその後、整流電圧 v_{d_c} は交流電圧 V_{i_n} ほどには低下せず、ほぼ一定の最小値を採る。コンデンサレスインバータは、運転時に整流電圧 v_{d_c} の (サージを考慮しない) 最大値が、最小値の 2 倍以上となるように制御が行われ、その結果、高力率運転を実現する。

【 0 0 8 5 】

他方、コンデンサ C_S の両端電圧は整流電圧 v_{d_c} と一致した後は、その電圧を保持する。整流電圧 v_{d_c} に基づくダイオード D_S のアノード側の電位よりも、コンデンサ C_S の両端電圧に基づくダイオード D_S のカソード側の電位の方が高いからである。

【 0 0 8 6 】

上記動作に鑑みれば、ダイオード D_S は必須とはならない。しかしコンデンサレスインバータ制御では、上述のように整流電圧 v_{d_c} が大きく脈動する。従って側路 33 がダイオード D_S を備えていなければコンデンサ C_S の両端電圧も大きく脈動する。これは通常動作においてコンデンサ C_S の充放電を招来し、抵抗 R_S での損失が発生する。よって通常動作において抵抗 R_S での消費電力を低減するためには、ダイオード D_S が側路 33 に設けられることが望ましい。もちろん、第 1 の実施の形態で示されたように、インダクタ 8, 32, 32a, 32b を用いる場合にはかかる消費電力は発生せず、その点で、側路 33 にダイオード D_S が設けられていない場合と比較して有利である。

【 0 0 8 7 】

他方、抵抗 R_S が側路 33 に備えられていなければ、コンデンサ C_S への充電は急速に行われるので、側路 33 に流れる電流量を多く採れる。その結果、整流電圧 v_{d_c} の上昇をより効果的に抑制することも可能である。図 9 は本発明の第 2 の実施の形態の第 1 の変形として、抵抗 R_S を除去し、側路 33 をコンデンサ C_S 及びダイオード D_S のみで構成した場合の動作を示すグラフである。コンデンサ C_S の両端電圧を波形 107 で、整流電圧 v_{d_c} を波形 108 で、それぞれ示している。

10

20

30

40

50

【 0 0 8 8 】

第 1 の変形では、抵抗 R_s を設ける場合と比較して、コンデンサ C_s の両端電圧が高くなる。また電源投入時の過渡現象によるコンデンサ C_s の両端電圧、ひいては整流電圧 v_{dc} の異常上昇を抑える効果がある抵抗 R_s が側路 3 3 に備えられていることが望ましい。

【 0 0 8 9 】

なお、シミュレーションでは考慮されなかったが、コンデンサ C_s には内部損失が発生する。よってダイオード D_s を接続した場合、雷サージ印加後に上昇したコンデンサ C_s の両端電圧は、コンデンサ C_s の内部損失により所定の時定数で低下し、やがて整流電圧 v_{dc} の（サージを考慮しない）最大値に一致する。この時定数を小さくしたい場合には放電抵抗などをコンデンサ C_s の両端に接続すればよい。

10

【 0 0 9 0 】

以上のように、雷サージが発生した際にはコンデンサ 3 1 は、その容量値を見かけ上増大し、通常動作時には本来の容量値 C で機能する。よって、雷サージが重畳する場合でも、コンデンサ 3 1 の容量値 C を著しく小さくしてコンデンサレスインバータ制御を行うことが可能である。しかもコンデンサ C_s の容量は、従来の図 1 5 や図 1 6 の構成で採用されるコンデンサ C_c の容量（例えば $900 \mu F$ ）に比較して小さくてもよい。コンデンサ C_s はコンデンサ 3 1 の充電電流を分岐して、電圧上昇を抑える動作を行うことに鑑みれば、コンデンサ C_s の容量はコンデンサ 3 1 のそれ以上ではあるもののコンデンサ C_c のそれよりは小さく、具体的には例えば $100 \mu F$ 程度に小さくできる。よってコンデンサ C_s が、介在回路の小型化を著しく阻害することはない。

20

【 0 0 9 1 】

図 1 0 は本発明の第 2 の実施の形態の変形にかかる駆動装置を示す回路図である。介在回路 3 c は介在回路 3 b に対して、インダクタ 3 2 を更に備えた構成を有している。具体的には、インダクタ 3 2 が、コンデンサ 3 1 と側路 3 3 との並列接続に対して、直列に接続されている。介在回路 3 c を図 1 に示された介在回路 3 として採用することにより、第 1 の実施の形態で示されたインダクタ 3 2 の機能と、第 2 の実施の形態で示された側路 3 3 の機能とが併せて機能する。従って雷サージが発生した際の整流電圧 v_{dc} の電圧上昇を更に効果的に抑制することができる。

【 0 0 9 2 】

図 1 1 は、介在回路 3 c を採用した場合の、交流電圧 V_{in} の波形 1 0 1、コンデンサ C_s の両端電圧の波形 1 0 5、整流電圧 v_{dc} の波形 1 0 6 を示すグラフである。インダクタ 3 2 のインダクタンス L や、側路 3 3 の諸元は、既に示した値を採用した。インダクタ 3 2 のみを採用した波形 1 0 2（図 4）や側路 3 3 のみを採用した波形 1 0 4（図 8）と比較して、雷サージ発生時の整流電圧 v_{dc} の波高値が小さいことが判る。

30

【 0 0 9 3 】

もちろん第 1 の実施の形態で説明されたようにダイオードブリッジ 2 と避雷器 7 との間にインダクタ 8 を更に設けてもよい。あるいは介在回路 3 c に代えて介在回路 3 b を採用しつつ、ダイオードブリッジ 2 と避雷器 7 との間にインダクタ 8 を設けてもよい。

【 0 0 9 4 】

第 3 の実施の形態。

図 1 2 及び図 1 3 は、いずれも本発明の第 3 の実施の形態にかかる多相電流供給回路の一部を示す回路図である。ここではダイオードブリッジ 2、インバータ 4、避雷器 7 を省略しているが、図 1 と同様に構成されている。そして本実施の形態においては図 1 の介在回路 3 に置換して、介在回路 3 d（図 1 2 参照）あるいは介在回路 3 e（図 1 3 参照）を採用している。

40

【 0 0 9 5 】

介在回路 3 d は、第 1 の実施の形態において図 1 を用いて説明された介在回路 3 a において、介在回路 3 e は第 2 の実施の形態において図 7 を用いて説明された介在回路 3 b において、それぞれ側路 3 4 をコンデンサ 3 1 に対して並列に接続して追加した構成となっ

50

ている。側路 3 4 は、スイッチング素子たるトランジスタ Q と抵抗 R_B との直列接続を有している。

【0096】

制御回路 6 は整流電圧 v_{dc} に基づいて、トランジスタ Q のベースにバイアス電圧 $C_N Q$ を供給する。整流電圧 v_{dc} が第 1 所定値を越えるとトランジスタ Q がオンし、整流電圧 v_{dc} が第 2 所定値（これは第 1 所定値よりも小さい）を下回るとトランジスタ Q がオフする。

【0097】

このように整流電圧 v_{dc} が第 1 所定値を越えて上昇するとコンデンサ 3 1 に対して抵抗 R_B が並列接続されるので、コンデンサ 3 1 への充電速度を下げ、整流電圧 v_{dc} の上昇を抑制することができる。また第 2 所定値を下回るとコンデンサ 3 1 への並列接続は解消され、通常動作におけるコンデンサレスインバータの動作を損なうことがない。

10

【0098】

もちろん側路 3 4 を、第 1 の実施の形態の変形として図 6 で示された介在回路 3 においてコンデンサ 3 1 に対して並列に接続して追加してもよい。あるいは側路 3 4 を、第 2 の実施の形態及びその第 2 の変形として図 7 及び図 10 で示された介在回路 3 b, 3 c においてコンデンサ 3 1 に対して並列に接続して追加してもよい。もちろん、これらの場合において抵抗 R_S 、ダイオード D_S を設けない（短絡除去）変形も可能である。

【0099】

あるいは更に、図 12 に示された介在回路 3 d においてインダクタ 3 2 を設けずに（短絡除去）側路 3 4 で整流電圧 v_{dc} をクランプしてもよい。

20

【0100】

高速に変化する雷サージに対して側路 3 4 を有効に動作させるために、トランジスタ Q には高速動作が要求される。そしてまたこれに見合ったドライブ回路や雷サージ検出回路が必要である。当該ドライブ回路や雷サージ検出回路の動作電源は、インバータ 4 の動作待機中であってすら、確保する必要がある。したがって構成の煩雑さの観点からすれば、側路 3 3 を採用する方が有利である。

【0101】

応用

本発明にかかる多相電流供給回路、多相の交流電流 i_u, i_v, i_w が供給されるモータ 5 とを備えた駆動装置は、例えば圧縮機を駆動することができる。かかる圧縮機は、例えば空気調和機に備えられる。空気調和器は冷房もしくは暖房を行うために冷媒を採用し、当該冷媒は当該圧縮機によって圧縮される。

30

【図面の簡単な説明】

【0102】

【図 1】本発明の第 1 の実施の形態にかかる駆動装置を示す回路図である。

【図 2】制御回路 6 の詳細な構成を示すブロック図である。

【図 3】避雷器 7 の構成を、電源系統 1 及びダイオードブリッジ 2 と共に示す回路図である。

【図 4】本発明の第 1 の実施の形態における動作を示すグラフである。

40

【図 5】本発明の第 1 の実施の形態の第 1 の変形にかかる駆動装置を示す回路図である。

【図 6】本発明の第 1 の実施の形態の第 2 の変形にかかる駆動装置を示す回路図である。

【図 7】本発明の第 2 の実施の形態において採用される介在回路 3 b の構成を示す回路図である。

【図 8】本発明の第 2 の実施の形態における動作を示すグラフである。

【図 9】本発明の第 2 の実施の形態の第 1 の変形における動作を示すグラフである。

【図 10】本発明の第 2 の実施の形態の第 2 の変形にかかる駆動装置を示す回路図である。

。

【図 11】本発明の第 2 の実施の形態の第 2 の変形における動作を示すグラフである。

【図 12】本発明の第 3 の実施の形態にかかる多相電流供給回路の一部を示す回路図であ

50

る。

【図13】本発明の第3の実施の形態にかかる多相電流供給回路の一部を示す回路図である。

【図14】従来の多相電流供給回路の構成を例示する回路図である。

【図15】従来の平滑回路の構成を例示する回路図である。

【図16】従来の平滑回路の構成を例示する回路図である。

【図17】避雷器7が設けられた多相電流供給回路の構成を例示する回路図である。

【図18】避雷器7が設けられた多相電流供給回路の動作を示すグラフである。

【図19】避雷器7が設けられた多相電流供給回路の動作を示すグラフである。

【符号の説明】

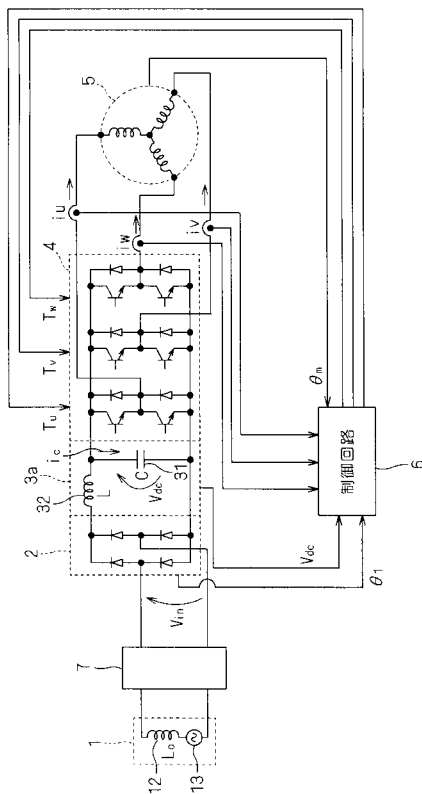
【0103】

- 1 3 電源
- 2 ダイオードブリッジ
- 4 インバータ
- 7 避雷器
- 3 1 コンデンサ
- 3 2 インダクタ
- 3 3 , 3 4 側路
- i_u, i_v, i_w 交流電流
- Q トランジスタ
- R_B 抵抗
- T_u, T_v, T_w スwitching信号
- V_{in} 交流電圧
- V_{dc} 整流電圧

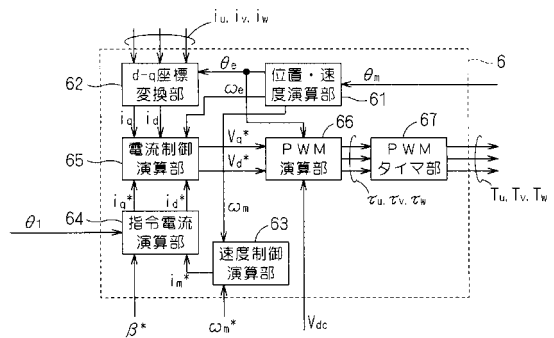
10

20

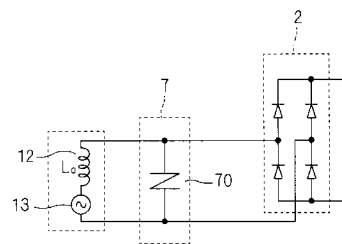
【図1】



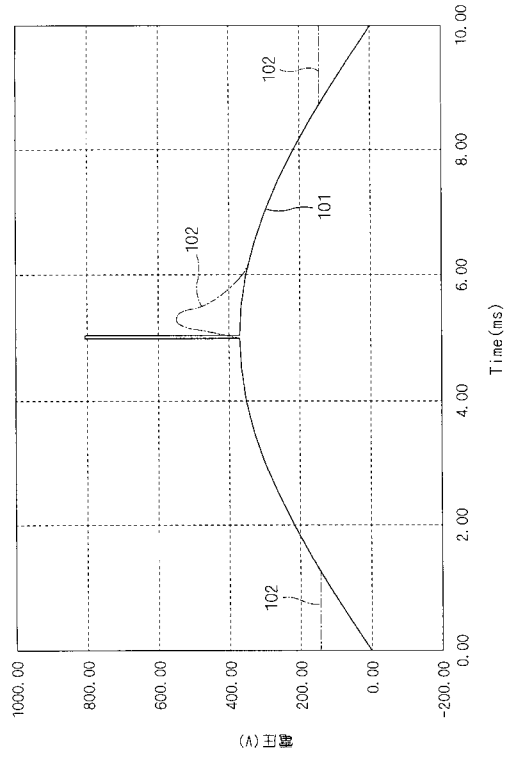
【図2】



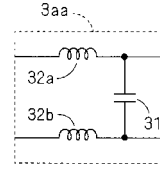
【図3】



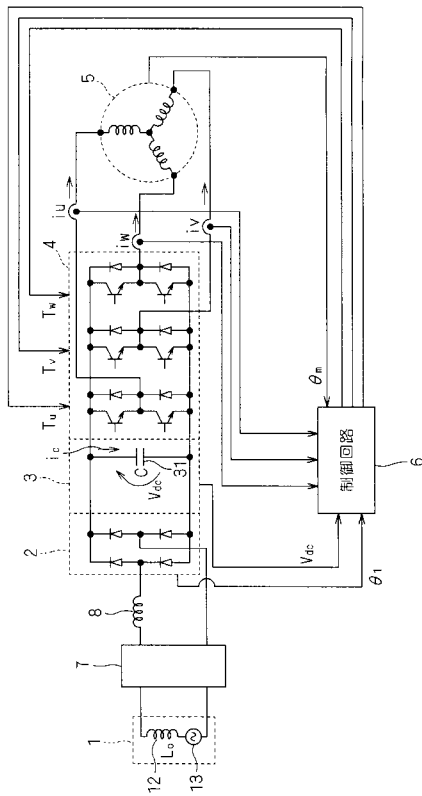
【図4】



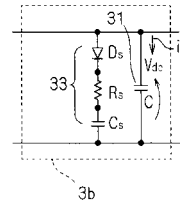
【図5】



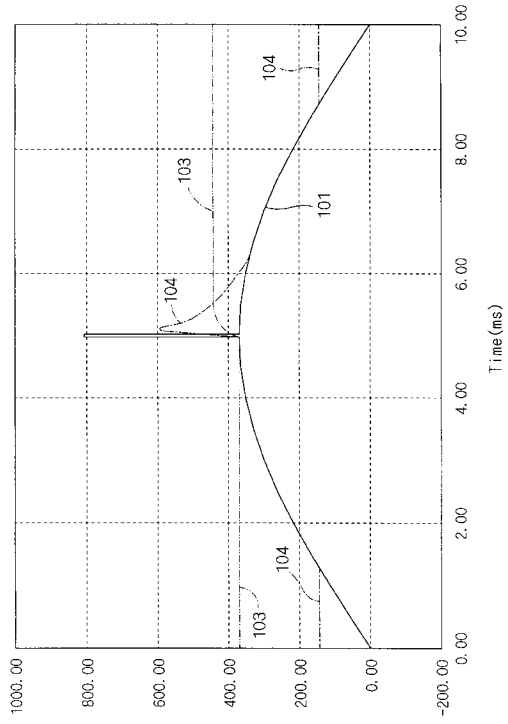
【図6】



【図7】

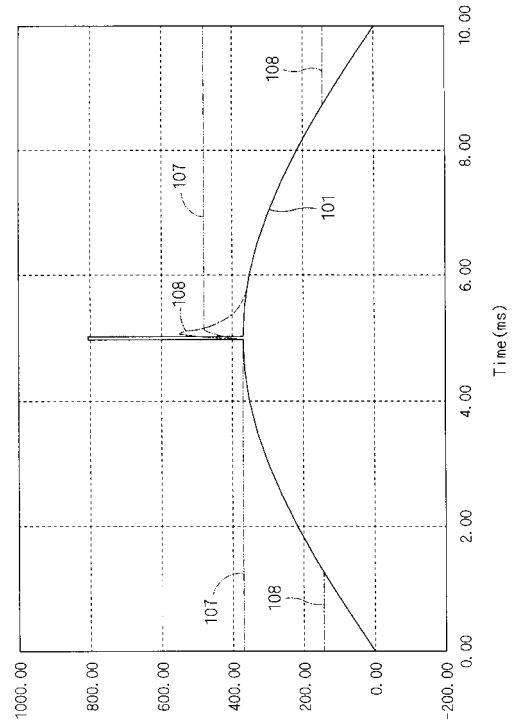


【図 8】



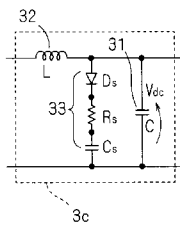
(A) 電流

【図 9】



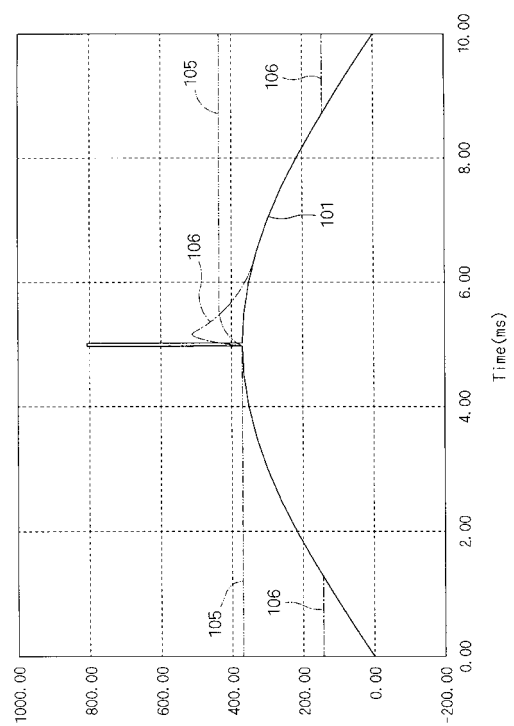
(A) 電流

【図 10】



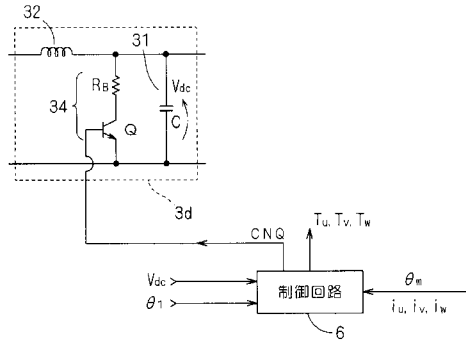
3c

【図 11】

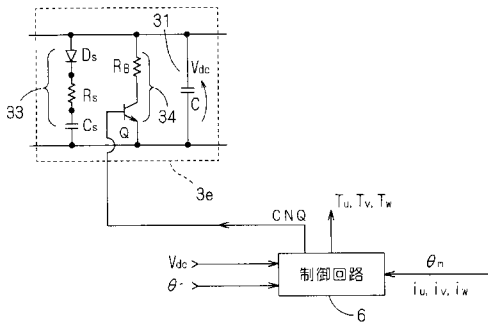


(A) 電流

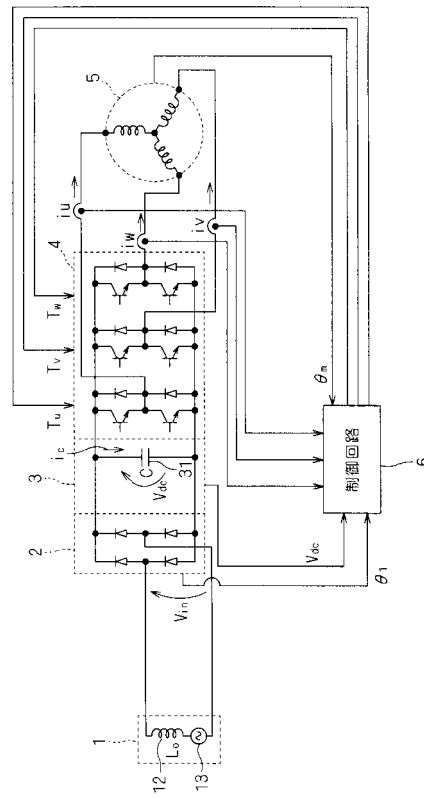
【図12】



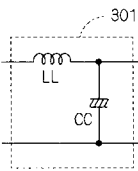
【図13】



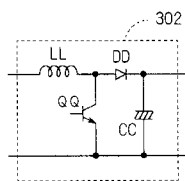
【図14】



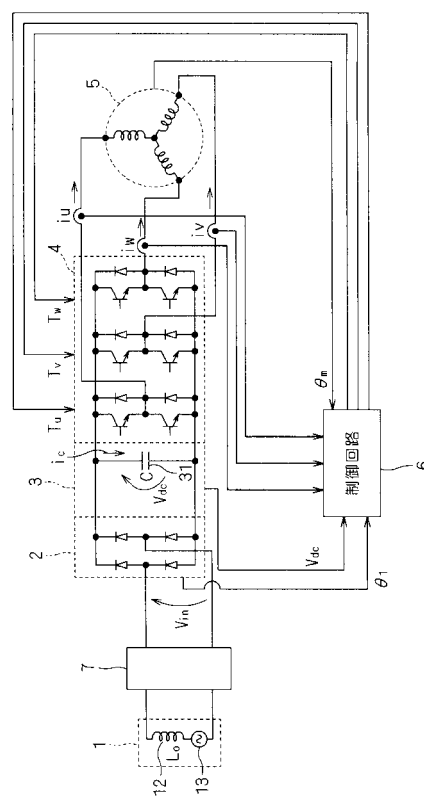
【図15】



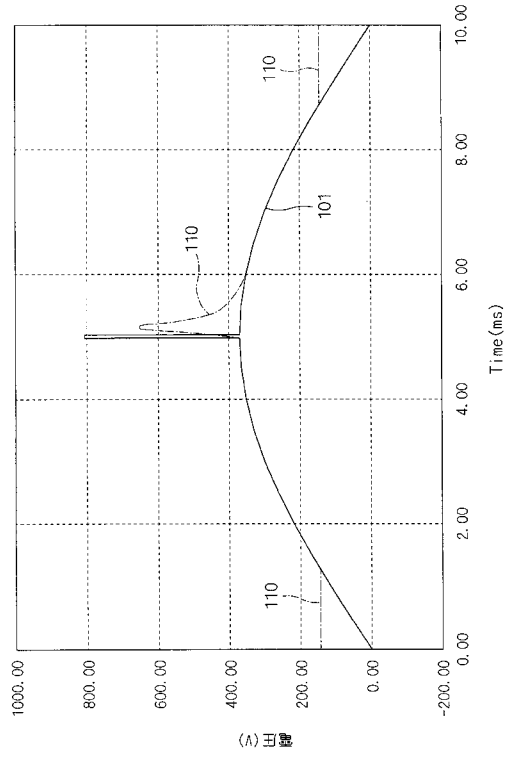
【図16】



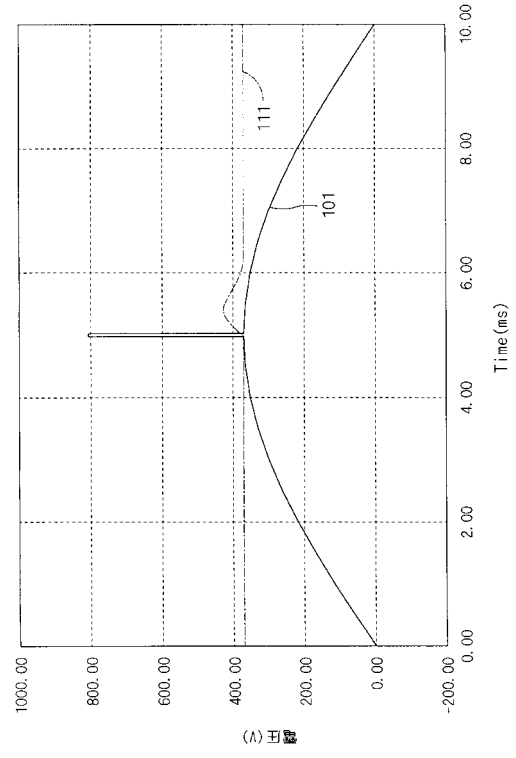
【図17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 関本 守満

滋賀県草津市岡本町字大谷1000番地の2 株式会社ダイキン空調技術研究所内

審査官 服部 俊樹

(56)参考文献 特開平05-316745(JP,A)
特開平09-098576(JP,A)
特開平06-209574(JP,A)
特開平08-280173(JP,A)
実開平06-039270(JP,U)
特開平10-136674(JP,A)
特開2002-354826(JP,A)
特開2001-145258(JP,A)
特開2003-017287(JP,A)
実開平3-106881(JP,U)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48