

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5143769号
(P5143769)

(45) 発行日 平成25年2月13日 (2013. 2. 13)

(24) 登録日 平成24年11月30日 (2012. 11. 30)

(51) Int. Cl.

H 0 1 L 21/768 (2006.01)

F I

H 0 1 L 21/90

A

請求項の数 13 (全 22 頁)

(21) 出願番号	特願2009-41598 (P2009-41598)	(73) 特許権者	000219967
(22) 出願日	平成21年2月25日 (2009. 2. 25)		東京エレクトロン株式会社
(65) 公開番号	特開2009-218585 (P2009-218585A)		東京都港区赤坂五丁目3番1号
(43) 公開日	平成21年9月24日 (2009. 9. 24)	(74) 代理人	100088155
審査請求日	平成24年2月21日 (2012. 2. 21)		弁理士 長谷川 芳樹
(31) 優先権主張番号	61/069, 244	(74) 代理人	100113435
(32) 優先日	平成20年3月12日 (2008. 3. 12)		弁理士 黒木 義樹
(33) 優先権主張国	米国 (US)	(74) 代理人	100122507
早期審査対象出願			弁理士 柏岡 潤二
		(72) 発明者	松岡 孝明
			東京都港区赤坂五丁目3番1号 赤坂B i z タワー 東京エレクトロン株式会社内
		審査官	脇水 佳弘
			最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に導電部材及び絶縁膜が形成された半導体装置の製造方法であって、
 前記基板上に前記導電部材を形成し、前記導電部材上に前記絶縁膜を形成する工程と、
 前記導電部材上の前記絶縁膜を除去する工程と、
 前記絶縁膜を除去した後に、前記導電部材上の酸化領域を還元するためにメチルシラン
 ガス及び水素ガスをブローする工程であり、前記メチルシランガス及び前記水素ガスを同
 時にブローし、又は、前記メチルシランガスをブローした後に前記水素ガスをブローする
 、該工程と、

前記メチルシランガス及び前記水素ガスをブローした後に、前記導電部材上にバリア層
 を形成する工程と、
 を含み、

前記バリア層は前記導電部材と直接接触している、半導体装置の製造方法。

【請求項 2】

前記ブローする工程は、前記メチルシランガス及び前記水素ガスにマイクロ波を適用す
 る工程をさらに含む、請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記ブローする工程は、前記基板の温度を 1 5 0 から 3 5 0 の範囲に上昇させた後
 に、前記メチルシランガス及び前記水素ガスをブローする、請求項 1 記載の半導体装置の
 製造方法。

10

20

【請求項 4】

前記ブローする工程は、前記基板の温度を 150 から 300 の範囲に上昇させた後に、前記メチルシランガス及び前記水素ガスをブローする、請求項 1 記載の半導体装置の製造方法。

【請求項 5】

前記導電部材は銅を含む材料から形成される、請求項 1 記載の半導体装置の製造方法。

【請求項 6】

前記絶縁膜はフルオロカーボン膜又は SiCN 膜である、請求項 1 記載の半導体装置の製造方法。

【請求項 7】

基板上に多層絶縁膜を有する半導体装置の製造方法であって、
前記多層絶縁膜内に導電部材を形成する工程と、
前記多層絶縁膜の中に開口部を形成する工程と、
前記開口部の形成によって前記導電部材が酸化された場合に、メチルシランガス及び水素ガスをブローすることによって前記導電部材の酸化された部分を還元する工程であり、前記メチルシランガス及び前記水素ガスを同時にブローし、又は、前記メチルシランガスをブローした後に前記水素ガスをブローする、該工程と、
前記開口部中にバリア層を形成する工程と、
を含み、

前記バリア層は前記導電部材と直接接触している、半導体装置の製造方法。

【請求項 8】

前記バリア層はタンタル (Ta) および / または窒化タンタル (Ta₂N₅) によって形成される、請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記バリア層はチタン (Ti) および / または窒化チタン (TiN) によって形成される、請求項 7 記載の半導体装置の製造方法。

【請求項 10】

前記バリア層を形成した後に別の導電部材を形成する工程をさらに含む、請求項 7 記載の半導体装置の製造方法。

【請求項 11】

前記多層絶縁膜は異なる二種類の絶縁膜からなる、請求項 7 記載の半導体装置の製造方法。

【請求項 12】

前記メチルシランガスはトリメチルシランガスである、請求項 7 記載の半導体装置の製造方法。

【請求項 13】

前記メチルシランガスはトリメチルシランガスである、請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特にその製造方法において配線部材 (導電部材) を還元する方法に関する。

【背景技術】

【0002】

日本特許公開公報 2004 - 71956 に開示されているように、エッチング工程やアッシング工程、その後の洗浄工程を経、露出された銅 (Cu) 配線は容易に酸化されてしまう。銅 (Cu) 配線の酸化部を除去するため、上部配線層形成の前処理として、従来から、NH₃ 等の還元ガスや不活性ガスを用いて基板を加熱した状態で還元処理を行ったり、アルゴン (Ar) プラズマによって逆スパッタリングを行って酸化銅を除去等すること

10

20

30

40

50

が行われている。

【 0 0 0 3 】

しかし、還元ガスや不活性ガスを用いて加熱下で還元処理を行うとフッ素や炭素を主成分とする層間絶縁膜にダメージを与える。アルゴン (A r) を用いたスパッタにより行うと、再スパッタされた銅 (C u) が層間絶縁膜の側壁に堆積し、デバイスの特性を劣化させる。またアルゴン (A r) は銅 (C u) に対してのエネルギーの移転効率が低く、効率的に酸化銅 (C u O または C u ₂ O) を効率的に除去できない。一方、層間絶縁膜を構成する特に炭素やフッ素へのエネルギー移転効率が高いため層間絶縁膜へのダメージを与えるという問題点があった。還元処理の後に行われるバリア膜形成工程では、スパッタ (P V D) 法が用いられる場合が多く、その場合にはさらに層間絶縁膜の側壁に大きなダメージを与えることになる。

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

上記観点から、層間絶縁膜へのダメージを極力抑えることが可能な配線の還元処理方法の開発が望まれていた。

【課題を解決するための手段】

【 0 0 0 5 】

本発明は、半導体装置の製造方法 (デュアルダマシン (D u a l D a m a s c e n e) 法等) に関するものである。半導体装置の製造方法において、導電部材が埋め込まれた第1層間絶縁膜上に第2層間絶縁膜が形成され、そこにビアホールおよび配線溝を形成された場合には、該導電部材は通常空気に曝される。その場合、該導電部材は酸化されるため、還元処理が必要となる。本発明の特徴の1つは該還元処理に関するものであり、本発明は、有機シランガスおよび水素を酸化された導電部材にブローすることを特徴とする。すなわち、本発明は、例えば以下の通りである。

20

【 0 0 0 6 】

本発明の一態様は、基板の上方に導電部材および絶縁層が形成された半導体装置の製造方法であって、基板の上方に導電部材を形成し、該導電部材上に絶縁層を形成する工程、該導電部材の上方に存在する該絶縁層を除去する工程、および該導電部材上に存在する酸化領域を還元するために有機シランガスと水素ガスをブローする工程とを含むことを特徴とする、半導体装置製造方法でもよい。

30

【 0 0 0 7 】

上記製造方法により半導体装置を製造することにより、ビアホールおよび配線溝内の層間絶縁膜等の側壁に与えられるダメージを極力少なくしつつ、酸化された配線を還元することが可能である。特に、層間絶縁膜としてフルオロカーボン等を用いた場合、フルオロカーボン膜は還元処理によって生じるダメージ耐性が低いため、上記方法を用いることはより有効である。層間絶縁膜へのダメージを極力少なくすることによって、導電部材と層間絶縁膜との密着性を高めることができ、信頼性の高い半導体装置を製造することができる。

【 0 0 0 8 】

40

該ブローする工程は、マイクロ波を適用することによって、有機シランガスと水素ガスを励起する工程をさらに含んでも良い。該手段を半導体の製造方法に適用することによって、例えば、低温での還元処理が必要な場合にでも、マイクロ波を用いてガスを励起させることで、効果的に配線材料の酸化部分を還元することができる。例えば、熱に弱い層間絶縁膜を用いている場合等に効果的である。

【 0 0 0 9 】

該ブローする工程は、該基板の温度を 1 5 0 から 3 5 0 の範囲に上昇させて、有機シランガスおよび水素ガスをブローしても良い。該手段を半導体の製造方法に適用することによって、単に配線材料の酸化部分に有機シランガスおよび水素ガスをブローした場合に比較し、より効果的に酸化部分の還元を行うことが可能である。

50

【 0 0 1 0 】

該ブローする工程は、該基板の温度を 1 5 0 から 3 0 0 の範囲に上昇させて、有機シランガスおよび水素ガスをブローしても良い。該手段を半導体の製造方法に適用することによって、単に配線材料の酸化部分に有機シランガスおよび水素ガスをブローした場合に比較し、より効果的に酸化部分の還元を行うことが可能である。

【 0 0 1 1 】

該有機シランガスはメチルシランガス ($\text{Si}(\text{CH}_3)_x$) であってもよい。該有機シランガスは、モノメチルシランガス、ジメチルシランガス、トリメチルシランガスあるいはテトラメチルシランガス等であってもよい。該ブローする工程は、該有機シランガスをブローした後に、水素ガスをブローする工程を含んでも良い。該導電部材は、銅を含んだ材料から形成されても良い。該絶縁膜はフルオロカーボン膜、または SiCN 膜でも良い。

10

【 0 0 1 2 】

本発明の別の態様は、基板の上方に多層の絶縁層を有する半導体装置の製造方法であって、該多層絶縁層内に導電部材を形成する工程、該多層絶縁層の一部を除去する工程、および該多層絶縁層の一部を除去することによってあるいは該多層絶縁層を洗浄することによって、該導電部材が酸化された場合に、該導電部材の酸化された部分に有機シランガスと水素をブローすることによって還元する工程とを含むことを特徴とする、半導体装置の製造方法であってもよい。

【 0 0 1 3 】

上記製造方法により半導体装置を製造することにより、ビアホールおよび配線溝内の層間絶縁膜等の側壁に与えられるダメージを極力少なくしつつ、酸化された配線を還元することが可能である。特に、層間絶縁膜としてフルオロカーボン等を用いた場合、フルオロカーボン膜は還元処理によって生じるダメージへの耐性が低いため、上記方法を用いることはより有効である。層間絶縁膜へのダメージを極力少なくすることによって、導電部材と層間絶縁膜との密着性を高めることができ、信頼性の高い半導体装置を製造することができる。

20

【 0 0 1 4 】

該除去する工程は、該多層絶縁層に開口部を形成する工程を含んでも良い。該方法は、該導電部材の酸化された部分を還元後、該開口部にバリア膜を形成する工程を含んでも良い。該バリア膜はタンタル (Ta) および / または窒化タンタル (TaN) によって形成されても良い。該バリア膜は、チタン (Ti) および / または窒化チタン (TiN) で形成されてもよい。該方法は、該バリア膜を形成した後、該開口部に別の導電部材を形成する工程を含んでも良い。該多層絶縁層は、異なる二種類の絶縁膜からなってもよい。

30

【 0 0 1 5 】

本発明の別の態様は、基板の上方に導電部材が埋め込まれた層間絶縁膜を形成する工程、該導電部材および層間絶縁膜上にエッチストップ膜を形成する工程、該導電部材に接している該エッチストップ膜を除去する工程、および該導電部材に有機シランガスと水素ガスをブローする工程とを含む製造方法によって製造された半導体装置であってもよい。

【 0 0 1 6 】

上記製造方法により半導体を製造することにより、ビアホールおよび配線溝内の層間絶縁膜等の側壁に与えられるダメージを極力少なくしつつ、酸化された配線を還元することが可能である。特に、層間絶縁膜としてフルオロカーボン等を用いた場合、フルオロカーボン膜は還元処理によって生じるダメージへの耐性が低いため、上記方法を用いることはより有効である。層間絶縁膜へのダメージを極力少なくすることによって、導電部材と層間絶縁膜との密着性を高めることができ、信頼性の高い半導体装置を製造することができる。

40

【 0 0 1 7 】

該方法は、該エッチストップ膜を形成した後、該エッチストップ膜上に別の層間絶縁膜を形成する工程をさらに含んでも良い。該方法は、該エッチストップ膜を除去する前に、

50

該別の層間絶縁膜を貫通する開口部を形成する工程を含んでも良い。

【0018】

該ブローする工程は、マイクロ波を適用することによって、該有機シランガスと、水素ガスを励起させることを含んでも良い。該手段を半導体の製造方法に適用することによって、単に配線材料の酸化部分に有機シランガスおよび水素ガスをブローした場合に比較し、より効果的に酸化部分の還元を行うことが可能である。

【0019】

該ブローする工程は、該基板の温度を150 から350 の範囲に上昇させて、該有機シランガスと、水素ガスをブローしても良い。該手段を半導体の製造方法に適用することによって、単に配線材料の酸化部分に有機シランガスおよび水素ガスをブローした場合に比較し、より効果的に酸化部分の還元を行うことが可能である。

10

【0020】

該有機シランガスは、トリメチルシランガスでもよい。

【0021】

本発明の別の態様は、基板上に複数の配線層を形成する工程において、互いの配線層間のコンタクト部を有機シランガスと水素ガスとを用いてブローする工程を含むことを特徴とする半導体装置製造方法であってよい。

【0022】

該ブローする工程は、該有機シランガスと水素ガスにマイクロ波を適用する工程をさらに含んでもよい。該ブローする工程は、該基板の温度を150 から350 の範囲に上昇させて、有機シランガスと水素ガスをブローしてもよい。

20

【発明の効果】

【0023】

上記製造方法により半導体を製造することにより、ビアホールおよび配線溝内の層間絶縁膜等の側壁に与えられるダメージを極力少なくしつつ、酸化された配線を還元することが可能である。特に、層間絶縁膜としてフルオロカーボン等を用いた場合、フルオロカーボン膜は還元処理によって生じるダメージへの耐性が低いため、上記方法を用いることはより有効である。層間絶縁膜へのダメージを極力少なくすることによって、導電部材と層間絶縁膜との密着性を高めることができ、信頼性の高い半導体装置を製造することができる。

30

【図面の簡単な説明】

【0024】

【図1】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図2】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図3】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図4】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図5】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図6】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図7】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図8】本発明に係る半導体装置の製造方法における一工程を示す図である。

40

【図9】本発明に係る半導体装置の製造方法における一工程を示す図である。

【図10】本発明に係る半導体装置の製造に用いられる製造装置を示す図である。

【図11】本発明に係る半導体装置の製造に用いられる別の製造装置を示す図である。

【図12】還元処理を行った酸化銅をサンプルとしてXPS分析を行った結果を示す図である。

【図13】還元処理を行った酸化銅をサンプルとしてXPS分析を行った結果を示す図である。

【図14】還元処理を行った酸化銅をサンプルとしてXPS分析を行った結果を示す図である。

【図15】還元処理を行った酸化銅をサンプルとしてFT-IR分析を行った結果を示す

50

図である。

【図 16】還元処理を行った酸化銅をサンプルとして F T - I R 分析を行った結果を示す図である。

【図 17】還元処理を行った酸化銅をサンプルとして F T - I R 分析を行った結果を示す図である。

【発明を実施するための形態】

【0025】

まず、本発明の半導体装置の製造方法について説明する。本発明に係る半導体装置の製造方法として、例えば、従来のデュアルダマシン法 (Dual Damascene)、シングルダマシン法 (Single Damascene) 等を採用することができる。10
本発明に係る半導体装置の製造方法には、具体的には以下の工程が含まれる。

【0026】

1) 基板の上方に導電部材が埋め込まれた第 1 層間絶縁膜を形成する工程、
2) 第 1 層間絶縁膜および該導電部材の上にエッチストップ膜を形成する工程、
3) 該エッチストップ膜上に第 2 層間絶縁膜およびキャップ層を形成する工程、
4) 形成された第 2 層間絶縁膜およびキャップ層を貫通するビアホールおよび配線溝を形成する工程、
5) エッチングにより該エッチストップ膜を除去する工程、
6) 外部に曝け出された該導電部材の表面、並びに該ビアホールおよび配線溝内の側壁に、有機シランガスおよび水素をブローする工程、20
7) 該ビアホールおよび配線溝内の側壁にバリア膜を形成する工程、
8) 該ビアホールおよび配線溝内に導電部材を堆積する工程、および
9) 該導電部材が該ビアホールおよび配線溝内のみに残るように、CMP によってキャップ膜に沿って研磨する工程。

【0027】

以下、図 1 ~ 9 に沿って上記各工程を具体的に説明する。図 1 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 1 には、基板 1 上に第 1 層間絶縁膜 2 が形成されており、第 1 層間絶縁膜 2 中には導電部材 3 が埋め込まれている。そして、第 1 層間絶縁膜 2 および導電部材 3 上にはエッチストップ膜 4 が形成されている。30

【0028】

第 1 層間絶縁膜 2 の形成は、たとえば、CVD (Chemical Vapor Deposition) 法により行うことができる。このとき、第 1 層間絶縁膜 2 の膜厚は、約 100 nm ~ 300 nm とすることができる。第 1 層間絶縁膜 2 として、例えば、酸化シリコン (SiO₂)、窒化シリコン (Si_xN_y)、窒化シリコン (SiCN)、SiON、SiCOH、CH_x、CF_x 等を用いることができる。

【0029】

一方、導電部材は、たとえば、1 種以上の金属元素を主成分とする導電材料からなることが好ましい。導電部材は、銅を主成分とすることが好ましい。導電部材として銅を用いることにより、低抵抗な配線を実現することができる。導電部材として、その他アルミニウム等を用いることもできる。なお、ここで主成分とは、導電部材の全体を 100 % としたとき、約 50 % 以上の割合を占める成分のことを意味してもよい。導電部材 3 の形成は、スパッタ法、電解メッキ法または無電解メッキ法などを用いることができる。40

【0030】

一方、エッチストップ膜 4 の形成方法としては、例えば、CVD 法を採用することができる。エッチストップ膜 4 の材質としては、例えば、酸化シリコン (SiO₂)、窒化シリコン (Si_xN_y)、炭化シリコン (SiC) および窒化シリコン (SiCN)、SiON、SiCO、SiCHO 等を用いることができる。エッチストップ膜 4 の材質として SiCN を用いる場合、その成膜ガスとしては、メタンおよびシラン、モノメチルシラン (MMS)、ジメチルシラン (DMS)、トリメチルシラン (TMS)、テトラメチルシラン (TMS)、シラザンなどが挙げられる。これらのガスは混合して用いることができ 50

る。また、上述のガスに加えて、窒素 (N_2)、アンモニア (NH_3) などを添加して成膜してもよい。エッチストップ膜 4 の膜厚は、約 5 nm ~ 60 nm とすることができる。

【0031】

次に図 2 について説明する。図 2 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 2 は、図 1 で説明したエッチストップ膜 4 の上にさらに第 2 層間絶縁膜 5 を形成する工程である。

【0032】

第 2 層間絶縁膜の形成方法としては、例えば、CVD 法等が挙げられる。第 2 層間絶縁膜として、例えば、酸化シリコン (SiO_2)、窒化シリコン (Si_xN_y)、窒化シリコン ($SiCN$)、 $SiON$ 、 $SiCOH$ 、 CH_x 、 CF_x 等を用いることができる。第 2 層間絶縁膜は、例えば、炭素原子 (C) 及びフッ素原子 (F) から合成されているフルオロカーボン膜であることがより好ましい。ここで言うフルオロカーボン膜は、例えばその膜中の構成成分である炭素原子とフッ素原子がほぼ 1 : 1 の割合である CF 膜のことを意味してよい。また、 CF 膜は例えば、炭素原子とフッ素原子をその膜の構成成分として 95% 以上含んでおり、その他の成分を約 5% 以下含んでいる膜であってもよい。

【0033】

CVD 法によって第 2 層間絶縁膜としてフルオロカーボン膜を形成する場合、原料ガス (成膜ガス) としては、 C_2F_4 、 C_2F_6 、 C_3F_8 、 C_4F_8 、 C_5F_8 、 C_6F_6 、 CH_2F_2 、 CHF_3 等を用いることができる。成膜されたフルオロカーボン膜中には、一部、水素が含まれていてもよい。このとき、CVD 装置としては、平行平板型の CVD 装置もしくは、RLSA (ラジアルラインスロットアンテナ) を用いたマイクロ波プラズマを利用した CVD 装置のいずれを用いることもできる。また、第 2 層間絶縁膜の膜厚は、70 nm ~ 280 nm であることが好ましい。

【0034】

次に図 3 について説明する。図 3 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 3 は、図 2 で説明した第 2 層間絶縁膜 5 の上にさらにキャップ膜 6 を形成する工程である。

【0035】

一方、キャップ膜 6 の形成方法としては、例えば、CVD 法を採用することができる。キャップ膜 6 の材質としては、例えば、酸化シリコン (SiO_2)、窒化シリコン (Si_xN_y)、炭化シリコン (SiC) および炭窒化シリコン ($SiCN$)、 $SiON$ 、 $SiCO$ 、 $SiCHO$ 等を用いることができる。キャップ膜 6 の材質として $SiCN$ を用いる場合、その成膜ガスとしては、メタンおよびシラン、モノメチルシラン (MMS)、ジメチルシラン (DMS)、トリメチルシラン (TMS)、テトラメチルシラン (TMS)、シラザンなどが挙げられる。これらのガスは混合して用いることができる。また、上述のガスに加えて、窒素 (N_2)、アンモニア (NH_3) などを添加して成膜してもよい。キャップ膜 6 の膜厚は、約 30 nm ~ 60 nm とすることができる。

【0036】

なお、エッチストップ膜 4 とキャップ膜 6 とは同様の材料を用いることが可能であるが、これらは互いに同一の材料を用いてもよく、あるいは互いに異なる材料を用いてもよい。キャップ膜 6 は、ビアホールおよび配線溝 (後述する) を形成する際のパターンニングにおいて、第 2 層間絶縁膜のハードマスクの役割を果たすことができる。また、キャップ膜は、ビアホールおよび配線溝内の導電部材を充填した後の CMP 工程のエッチングストップパの役割を果たすことができる。また、キャップ膜は、導電部材を充填した際に、上面から第 2 層間絶縁膜中に導電部材が拡散するのを防止することができる。

【0037】

次に図 4 について説明する。図 4 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 4 は、図 3 に示されている第 2 層間絶縁膜 5 およびキャップ膜 6 を貫通するビアホールおよび配線溝 7 を形成する工程である。この工程では、具体的には、

キャップ膜 6 の上に、所定の領域に開口を有するマスクを形成する。マスクとしては、たとえば、レジストを用いることができる。ついで、第 2 層間絶縁膜 5 およびキャップ膜 6 をエッチングし、ビアホールおよび配線溝 7 を形成することができる。該エッチングは、たとえば、ウェットエッチング法またはドライエッチング法により実行することができる。

【 0 0 3 8 】

次に図 5 について説明する。図 5 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 5 は、図 4 でビアホールおよび配線溝 7 が形成された後、露出したエッチストップ膜 4 をエッチングによりさらに除去する工程である。該エッチングは、たとえば、ウェットエッチング法またはドライエッチング法により実行することができる。該工程が実行されると、導電部材 3 が外部に露出することによって外気に曝されるため、導電部材の表面の一部 8 が酸化され、 CuO 、 Cu_2O が形成される。

10

【 0 0 3 9 】

エッチストップ膜 4 をエッチングにより除去した後、通常、洗浄工程が実行される。この工程において、通常前記導電部材は外気に曝されることになり、該導電部材の表面の一部 8 が酸化され、 CuO 、 Cu_2O が形成される。

【 0 0 4 0 】

次に図 6 について説明する。図 6 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 6 は、図 5 で形成されたビアホールおよび配線溝内に、有機シランガスおよび水素をブローする工程である。図 5 に示される工程により導電部材の表面の一部が酸化されるため、その酸化された部分を還元する必要があるため、該工程はそのために実行される。

20

【 0 0 4 1 】

積層構造を構成している第 2 層間絶縁膜 5 は通常ダメージに対する耐性が低い。従って、従来の還元処理を用いると、ビアホールおよび配線溝内で露出している第 2 層間絶縁膜およびエッチストップ膜の側壁やキャップ膜にダメージを与えてしまう。しかし、図 6 に示す工程により還元処理を行うと、第 2 層間絶縁膜およびエッチストップ膜の側壁やキャップ膜にダメージを与えることなく、酸化部分 8 を完全に還元することが可能である。さらに、図 6 に示す工程により還元処理を行うと、第 2 層間絶縁膜が改質されるという効果が得られる。例えば、第 2 層間絶縁膜がフルオロカーボン膜である場合には、本還元処理により第 2 層間絶縁膜の側壁の CF_2 や CF_3 が $\text{C}-\text{C}$ 結合や $\text{C}-\text{CH}_3$ 結合が形成されると考えられ、それによって第 2 層間絶縁膜の側壁は改質される。この改質によって、密着性の向上、そしてバリア特性の向上を実現することができる。

30

【 0 0 4 2 】

ビアホールおよび配線溝内に、有機シランガスおよび水素をブローする際には、ビアホールおよび配線溝内の温度、あるいは基板の温度を、所定の温度まで上昇させてもよい。該所定の温度は、約 150 から 350 が好ましく、約 150 から 300 であることがより好ましい。温度を上昇させた状態で該ブロー工程を行うことにより、より効果的に酸化部分の還元を行うことができる。該所定の温度を約 350 以上に上昇させてビアホールおよび配線溝内をブロー処理すると、導電部材（例えば、 Cu ）が熱によって変形する危険性が高まってしまうため好ましくない。該所定の温度は 300 付近以下であることが好ましく、300 付近でブロー処理すると層間絶縁膜の密着性をより向上させることができる。一方、層間絶縁膜に対する熱負荷を考慮すると、約 150 ~ 300 程度でブロー処理することが好ましい。

40

【 0 0 4 3 】

また一方で、ビアホールおよび配線溝内に、有機シランガスおよび水素をブローする際には、有機シランガス、水素のいずれかあるいは両者をプラズマアシスト処理することも可能である。プラズマ処理をブロー工程に取り入れることで、より効果的に酸化部分の還元を行うことができる。プラズマアシスト処理は通常 Ar プラズマを励起した後に、有機シランガス（TMS 等）を導入することにより行われる。熱に弱い層間絶縁膜が用いられ

50

ている場合には、低温状態で該ブローにより還元工程を行うことが必要であるが、そのような場合には昇温することなく、プラズマ処理を行って還元処理を行うことで、効率的な還元を行うことができる。ガスをプラズマ化する際には、例えば、平行平板型のプラズマ発生装置、あるいは、R L S A（ラジアルラインスロットアンテナ）を用いたマイクロ波プラズマ発生装置を用いることができる。マイクロ波プラズマ発生装置を用いた場合には、低エネルギーのプラズマを得ることができるので、ダメージを極力与えずに還元処理を行うことが可能である。

【 0 0 4 4 】

一方、ビアホールおよび配線溝内に、有機シランガスおよび水素のそれぞれをブローするタイミングは同時であっても異なってもよい。例えば、有機シランガスを導入した後に、水素ガスを導入してもよい。その場合、例えば、有機シランガス導入後、約数分後（約3分等）に水素ガスを導入してもよい。また、水素ガスを導入した後に、有機シランガスを導入してもよい。

10

【 0 0 4 5 】

該ブロー工程で使用される有機シランガスの種類は特に限定されないが、例えば、メチルシラン（例えば、モノメチルシラン、ジメチルシラン、トリメチルシラン、テトラメチルシランなど）、シラザン（メチルシラザン、エチルシラザンなど）等であってよく、トリメチルシランを用いることが最も効果的である。使用される有機シランガスは、1種類のみであってもよいし、複数種を混合して用いてもよい。

【 0 0 4 6 】

20

次に図7について説明する。図7は、本発明に係る半導体装置の製造方法における一工程を示す図である。図7は、図6に示すブロー工程を行った後、ビアホールおよび配線溝内にバリア膜9を形成する工程である。バリア膜9の形成は、たとえば、スパッタ法により行うことができる。ここでは、ビアホールおよび配線溝の壁面およびキャップ膜の表面に沿ってバリア膜を形成する。バリア膜は、ビアホールおよび配線溝の内壁面に形成されて、導電部材を構成する原子が層間絶縁膜へ侵入することをブロックする役割を果たすことができる。

【 0 0 4 7 】

また、バリア膜は、導電部材と、第2層間絶縁膜との密着力を高める役割を果たす。さらに、バリア膜は、導電部材に含まれる金属材料が、第2層間絶縁膜に拡散することを抑制する役割を果たす。バリア膜として、高融点金属または高融点金属化合物を用いることができる。具体的には、バリア膜として、T a、T a N、T i、T i N等を用いることができる。バリア膜の膜厚は、約3～15 nmであることが好ましい。また、バリア膜は、単層で構成されてもよいし、積層で構成されてもよい。例えば、T a / T a Nを積層する場合には、バリア性の高いT aを下層に、C uとの密着性が高いT a Nを上層に用いることにより、バリア性および密着性の高いバリア膜の作成が可能となる。

30

【 0 0 4 8 】

また、バリア膜は、金属元素を含有する膜であり、金属元素のみから成り立っていてもよいし、金属元素の他に金属以外の他の元素を含んでいてもよい。該バリア膜は、1種の金属元素のみを含んでいてもよく、2種以上の金属元素を含んでいてもよい。バリア膜を形成した場合には、導電部材（C u等）の層間絶縁膜（C F_x等）への拡散を抑制する効果がある。さらに、バリア膜は導電部材と層間絶縁膜との密着性を高める効果もある。

40

【 0 0 4 9 】

次に図8について説明する。図8は、本発明に係る半導体装置の製造方法における一工程を示す図である。図8は、ビアホールおよび配線溝内にバリア膜を形成した後、導電部材10を導入する工程である。ここでは、ビアホールおよび配線溝内に導電部材10を充填し、バリア膜の表面を覆うように導電部材10を形成する。導電部材は、銅を主成分とすることが好ましい。導電部材として銅を用いることにより、低抵抗な配線を実現することができる。導電部材として、その他アルミニウム等を用いることもできる。なお、ここで主成分とは、導電部材の全体を100%としたとき、約50%以上の割合を占める成分

50

のことを意味してもよい。導電部材の形成には、従来の方法を用いることができる。スパッタ法、電解メッキ法または無電解メッキ法などを用いることができる。

【 0 0 5 0 】

次に図 9 について説明する。図 9 は、本発明に係る半導体装置の製造方法における一工程を示す図である。図 9 は、導電部材 10 を導入した後、キャップ膜が上面に露出する程度まで、導電部材およびバリア膜を除去する工程である。導電部材およびバリア膜の除去は、たとえば、CMP (chemical mechanical polishing) 法により行うことができる。

【 0 0 5 1 】

上記で述べたエッチング工程、洗浄工程、ブロー工程およびバリア膜形成工程等は別体の装置を用いて行われる場合がある。そのため、該手法を用いた場合には各工程間を搬送する際にも前記導電部材は大気へ曝されることになり、前記導電部材の表面の一部 8 が酸化され、 CuO 、 Cu_2O が形成されることになる。そこで、前記導電部材が大気へ曝されることを防ぐため真空状態を維持したまま前記各工程を行うことが、該導電部材表面の酸化を防ぐ観点から好ましい。

【 0 0 5 2 】

具体的には、図 10 および図 11 に示すようにブロー工程とバリア膜形成工程との間で前記基板が存在する環境を真空状態に保つことにより、前記導電部材表面の酸化を防ぐことが可能となる。すなわち、図 10 では、製造工程途中にある半導体装置を、TMS ブロー工程を行う処理空間 20 とバリア膜形成を行う処理空間 21 の両方の真空空間を連続して通過させる。このようにして、該半導体装置を常に真空空間に置いてやることで、前記導電部材の大気への露出を防止している。図 10 に記載の装置は、真空処理を行う任意の真空処理空間 22、該装置を構成するトランスファーマジュール 26、アーム 25、ロードロックモジュール 27、ローダーモジュール 28、ロードポート 29、GV 23 および F O U P 30 からなっている。一方、図 11 は、図 10 の装置の構成を一部変更した状態を示す図である。図 11 には、図 10 に示すトランスファーマジュール 26、アーム 25、GV 23、TMS ブロー空間 20 およびバリア膜形成空間 21 が示されている。図 11 は、製造工程途中にある半導体装置に対し、最初の空間 20 で TMS ブロー工程を行った後、減圧雰囲気中に制御可能なトランスファーマジュールを介して基板を搬送し、次の空間 21 でバリア膜形成を行うことを示している。図中の矢印は製造工程途中にある半導体装置を移動させる順序を示すものであり、該半導体装置をまず空間 20 に移動させブローし、その後空間 21 にてバリア膜形成を行うことを示している。それら工程を行う間、真空状態を保持して基板を搬送するのが望ましい。さらに別の方法として、TMS ブロー処理装置とバリア膜形成装置との間を F O U P で 1 時間以内に搬送することによっても、前記導電部材を真空状態に保ち、表面酸化を防ぐことができる。なお、図 10 および 11 において、装置内を真空にするために用いる装置はどのようなものであってもよい。

【 0 0 5 3 】

以上、上記工程により本発明に係る半導体製造装置を製造することができる。また、さらに必要に応じて上記工程を繰り返すことで、多層配線を形成することができる。

【 0 0 5 4 】

次に、酸化された銅配線に対し、トリメチルシラン (TMS) ガスを用いて還元を行った際の実験結果について、図 12 ~ 17 に基づいて説明する。図 12 ~ 14 は、還元処理を行った酸化銅をサンプルとして XPS 分析を行った結果を示す図である。図 12 ~ 14 に示される番号 (1) ~ (8) の測定条件は、以下の表 1 に示す通りである。

【 0 0 5 5 】

10

20

30

40

【表 1】

N o .	X P S 分析用サンプル処理条件
(1)	STG Set Temp.300degC,H2 300sccm,1200mTorr, 1800秒
(7)	STG Set Temp.300degC,H2 300sccm,2000mTorr, 300秒
(2)&(3)	STG Set Temp.300degC,TMS 180sccm,Ar 100sccm,2000mTorr,1800秒
(4)	STG Set Temp.300degC,TMS 180sccm,Ar 100sccm, 2000mTorr, 300秒
(5)	STG Set Temp.300degC,TMS 180sccm,Ar 100sccm, 2000mTorr, 600秒
(6)	STG Set Temp.300degC,TMS 180sccm,Ar 100sccm, 2000mTorr,1800秒
(8)	未処理

10

【 0 0 5 6 】

20

図 1 2 には番号 (4) ~ (8) のサンプル処理条件で X P S (O 1 s) 分析を行った結果が示されている。図 1 2 の上段列に位置する 5 つのグラフには、銅表面に対する測定結果が示されている。5 つのグラフの一部をサークルで囲んでおり、その部分に関するデータから、サンプル表面に酸化物が存在するか否かを確認した。サンプル処理条件 (4) ~ (7) では、T M S ガスあるいは水素ガスを用いて酸化銅の処理を行って、銅表面に酸化部分は検出されていない。一方、何ら処理を行わなかったサンプル処理条件 (8) では、銅表面に酸化部分が検出されている。

【 0 0 5 7 】

一方、図 1 3 には番号 (4) ~ (8) のサンプル処理条件で X P S (S i 2 p) 分析を行った結果が示されている。図 1 3 の上段列に位置する 5 つのグラフには、S i 2 P スペクトルを検出することによって、銅表面に付着する可能性のある S i の存在の有無を測定した結果が示されている。そのうち 4 つのグラフの一部をサークルで囲んでおり、その部分に関するデータを見ると S i 2 P スペクトルは検出されておらず、各サンプル表面に T M S ブローに起因する S i が存在していないことが分かる。

30

【 0 0 5 8 】

図 1 4 は、番号 (4)、(7) および (8) のサンプル処理条件において、X P S (O 1 s) 分析結果と X P S (S i 2 p) 分析結果を纏めて示した図である。結果は図 1 2 および図 1 3 で述べたのと同じである。

【 0 0 5 9 】

次に図 1 5 ~ 1 7 について説明する。図 1 5 ~ 1 7 は、還元処理を行った酸化銅をサンプルとして F T - I R 分析を行った結果を示す図である。図 1 5 ~ 1 7 に示される番号 (1) ~ (3) の測定条件は、以下の表 2 に示す通りである。

40

【 0 0 6 0 】

【表 2】

No.	FT-IR 分析用サンプル処理条件
(1)	STG Set Temp.300degC,H ₂ 300sccm,1200mTorr, 1800秒
(2)&(3)	STG Set Temp.300degC,TMS 180sccm,Ar 100sccm,2000mTorr,1800秒

注) STGは、基板載置台を意味する。

【0061】

10

図15～17にはそれぞれ、ガスアニール前の吸収スペクトラム、ガスアニール後の吸収スペクトラムおよびアニール前後の差スペクトラムが示されている。図15～17に共通して観察されるように、ガスアニール前の吸収スペクトラムとガスアニール後の吸収スペクトラムとの間に吸収値の差異が存在している。このことから、サンプルとして用いた銅酸化物がガスアニールによって還元されていることが確認できる。

【0062】

以上、本発明を複数の図面およびグラフを用いて具体的に説明したが、本発明がこれらに限定されることなく、実施品が本発明の本質部分を有する限り、どのような形態で実施されようとも、本発明の権利範囲に属することは、言うまでもない。

【産業上の利用可能性】

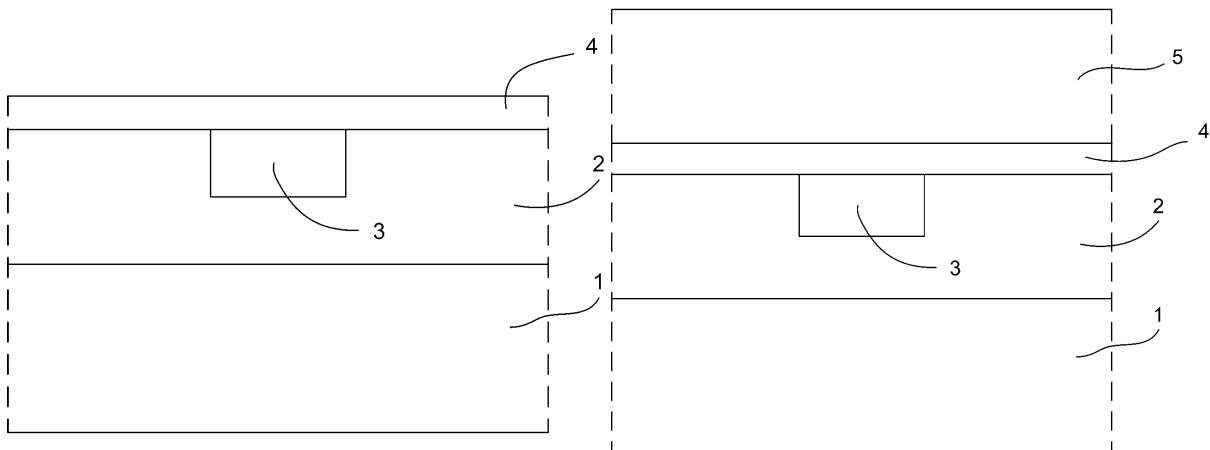
20

【0063】

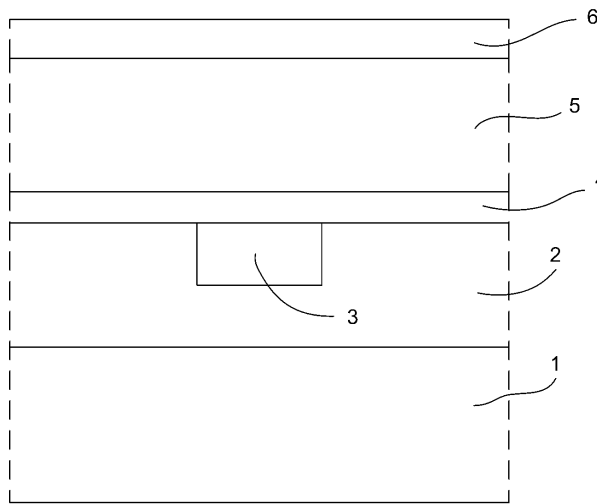
上記製造方法により半導体を製造することにより、ビアホールおよび配線溝内の層間絶縁膜等の側壁に与えられるダメージを極力少なくしつつ、酸化された配線を還元することが可能である。

【図 1】

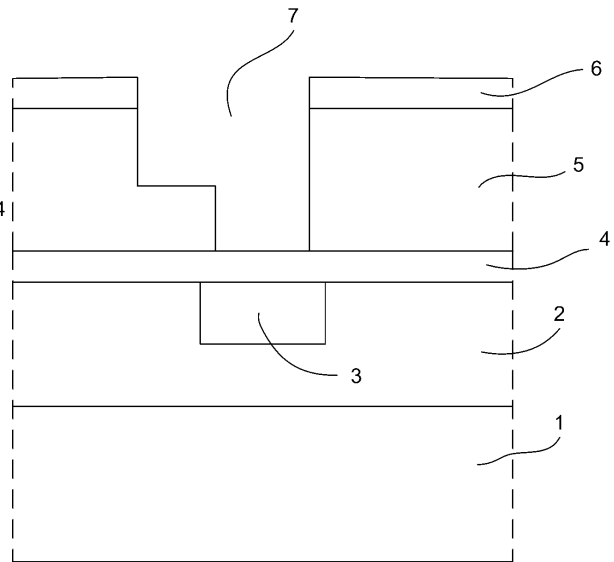
【図 2】



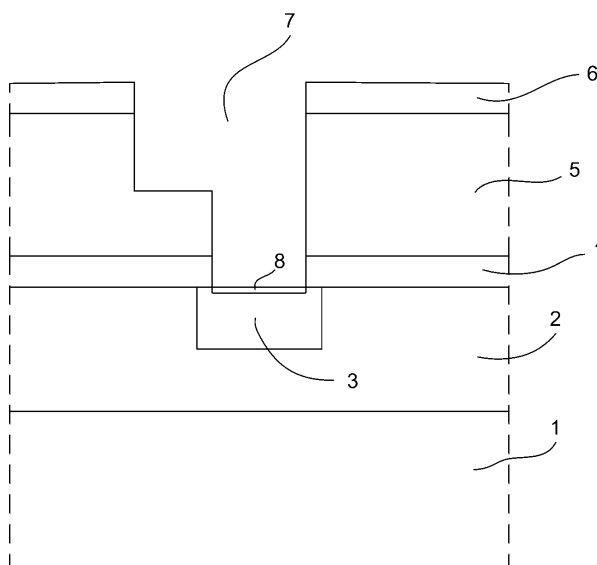
【図 3】



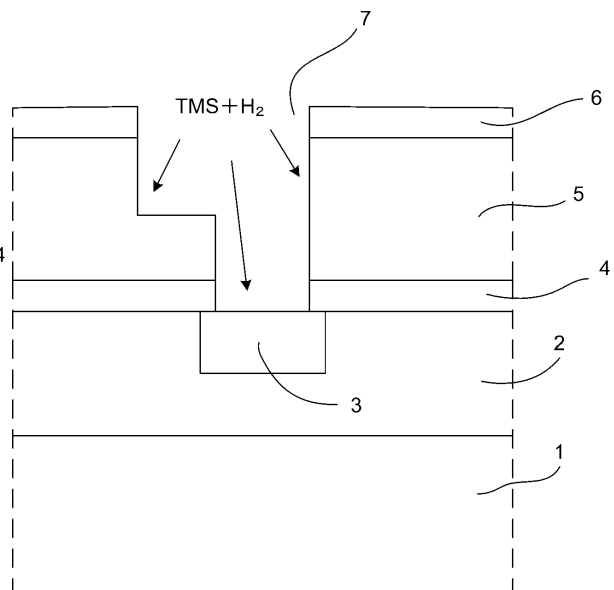
【図 4】



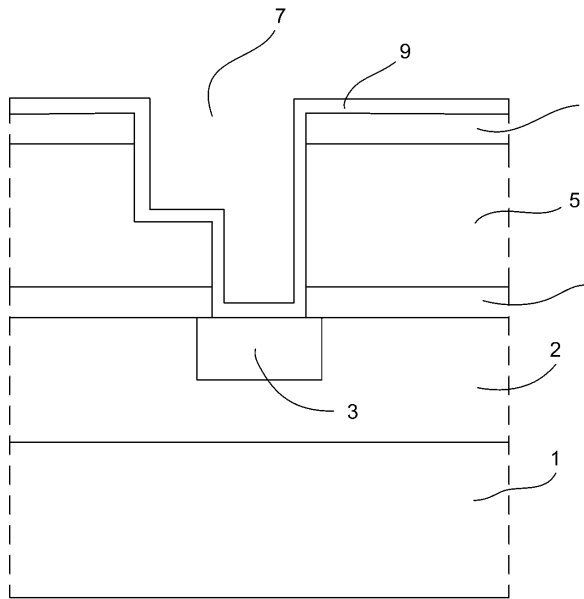
【図 5】



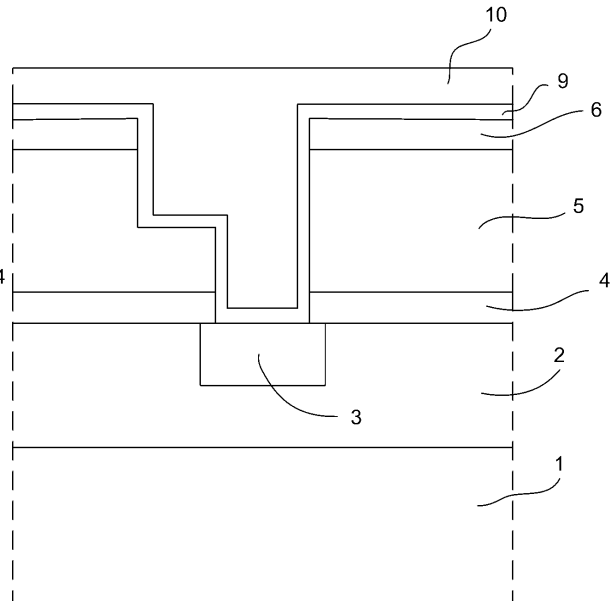
【図 6】



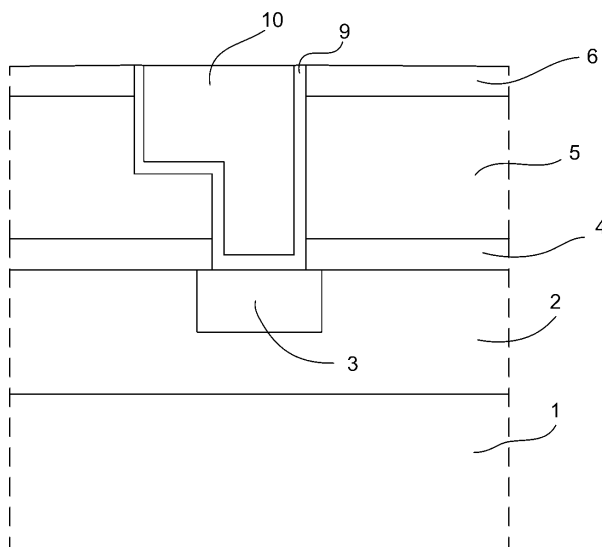
【図 7】



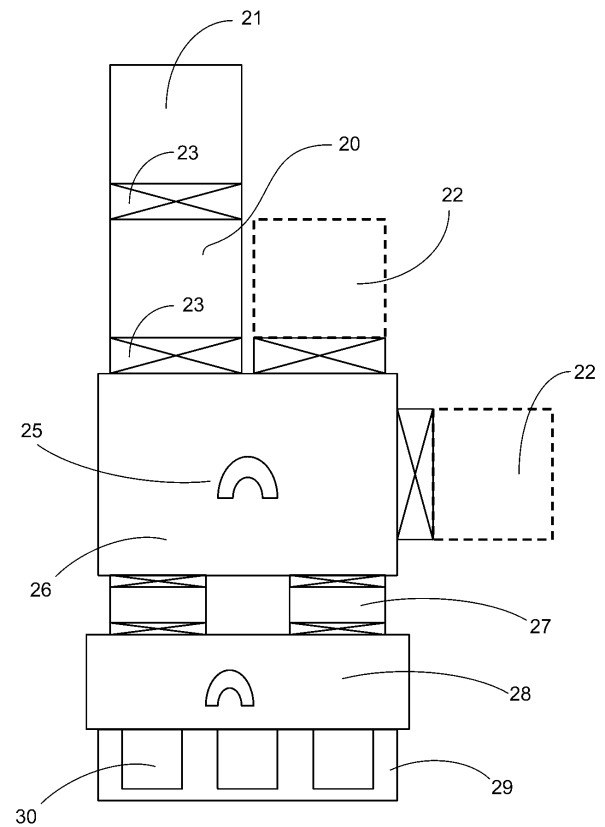
【図 8】



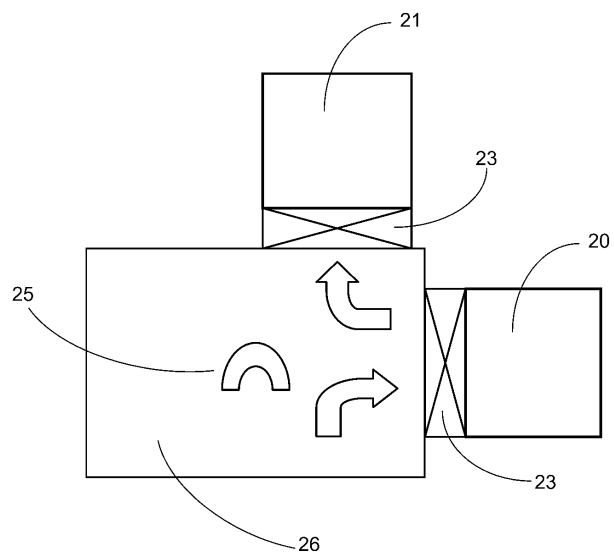
【図 9】



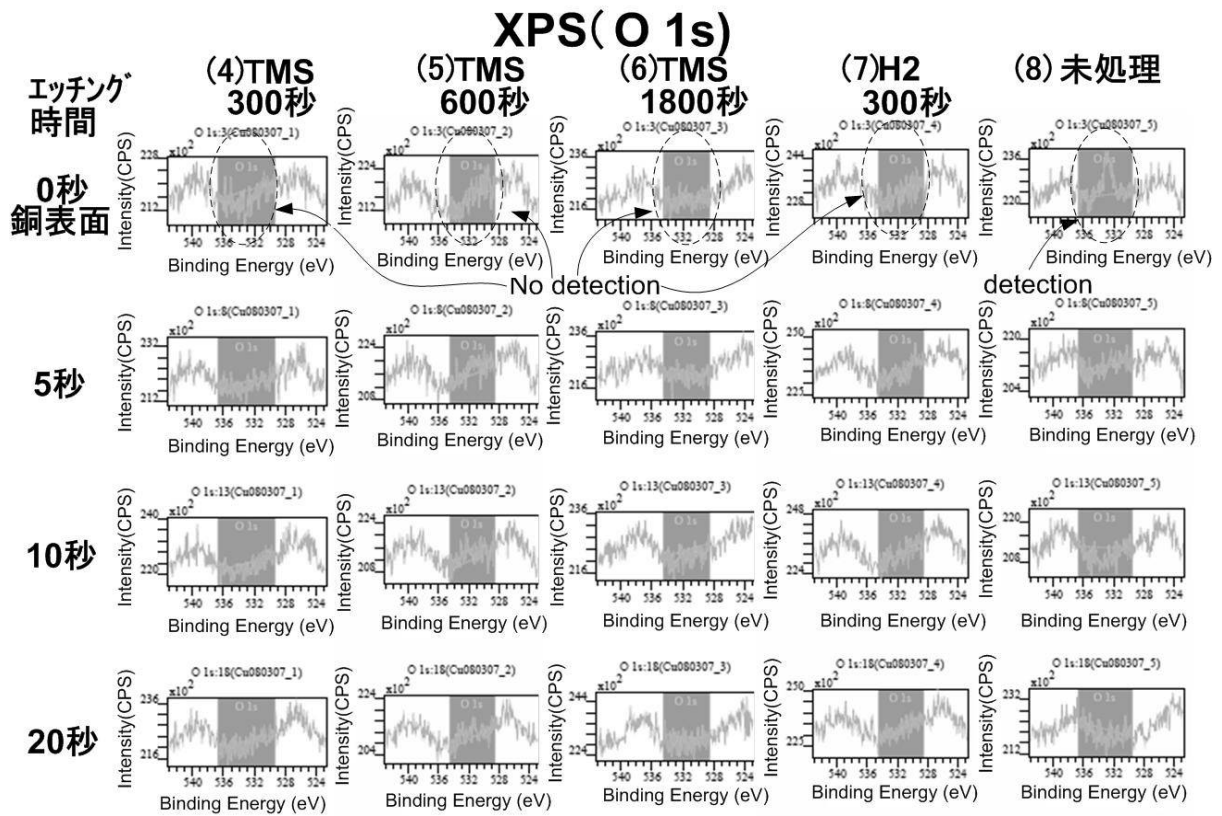
【図 10】



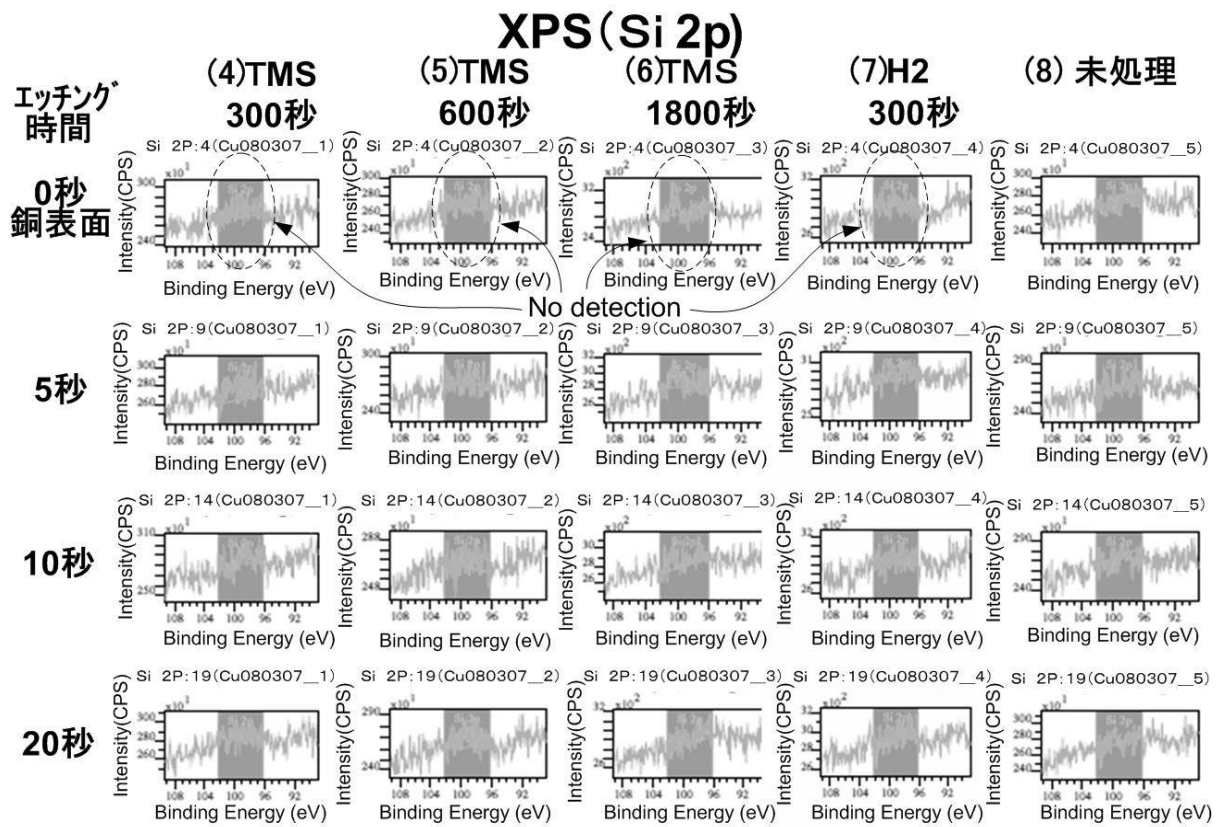
【図 11】



【図 12】



【図 13】



【図 14】

XPS分析(エッチング時間 0 秒 : 銅表面)

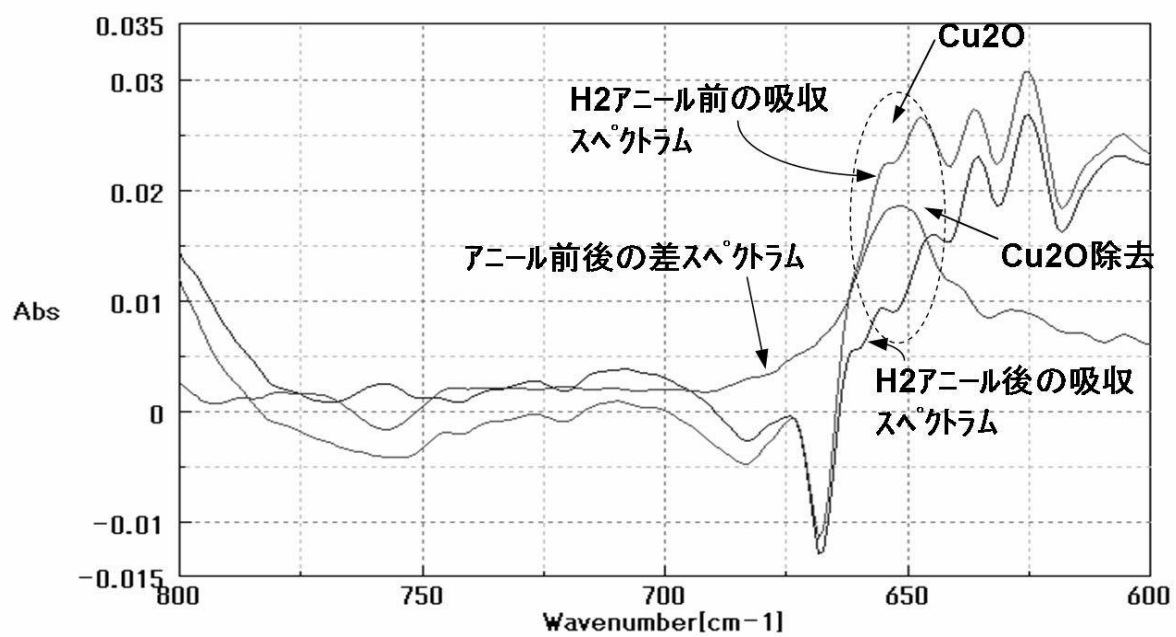
	O 1s	Si 2p
(4)TMS 300秒 O: 除去 Si: デポされず		
(7)H2 300秒 O: 除去 Si: デポされず		
(8)未処理 O: 検出(酸化膜 存在)		

【図 15】

FT-IR(1)

H₂ Reduction Anneal Condition: MEP2 STG300degC, 1200mTorr, H₂
300sccm, 1800 秒

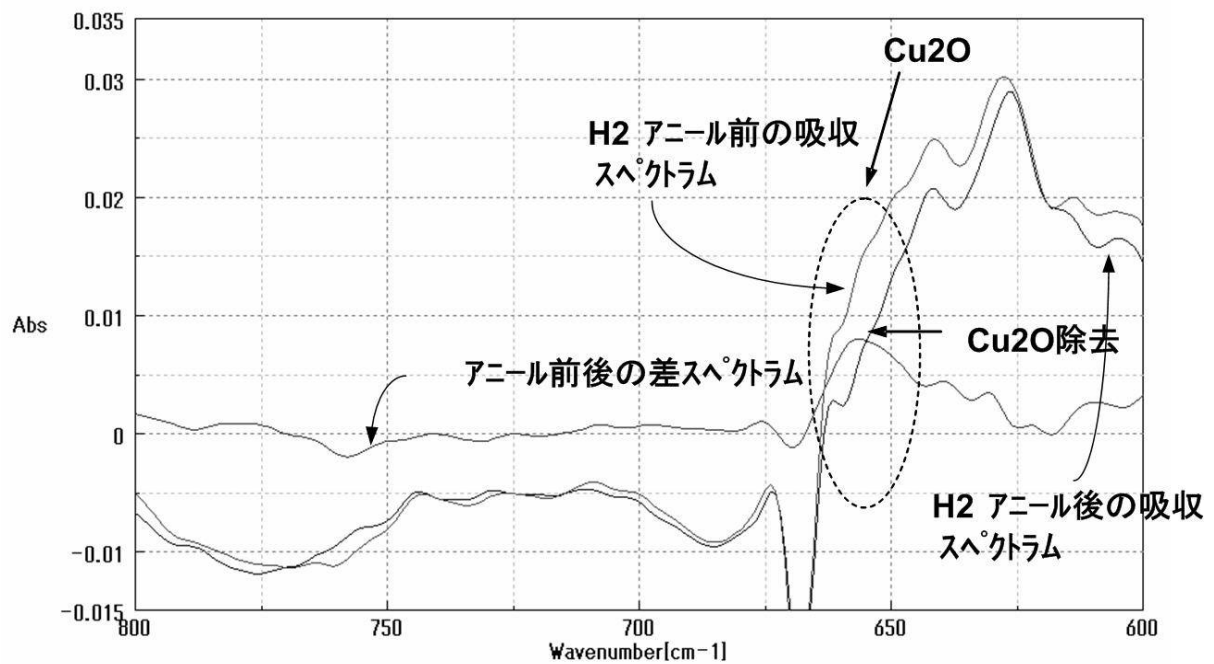
FT-IR: Measurement Frequency 1024



【図 16】

FT-IR (2)

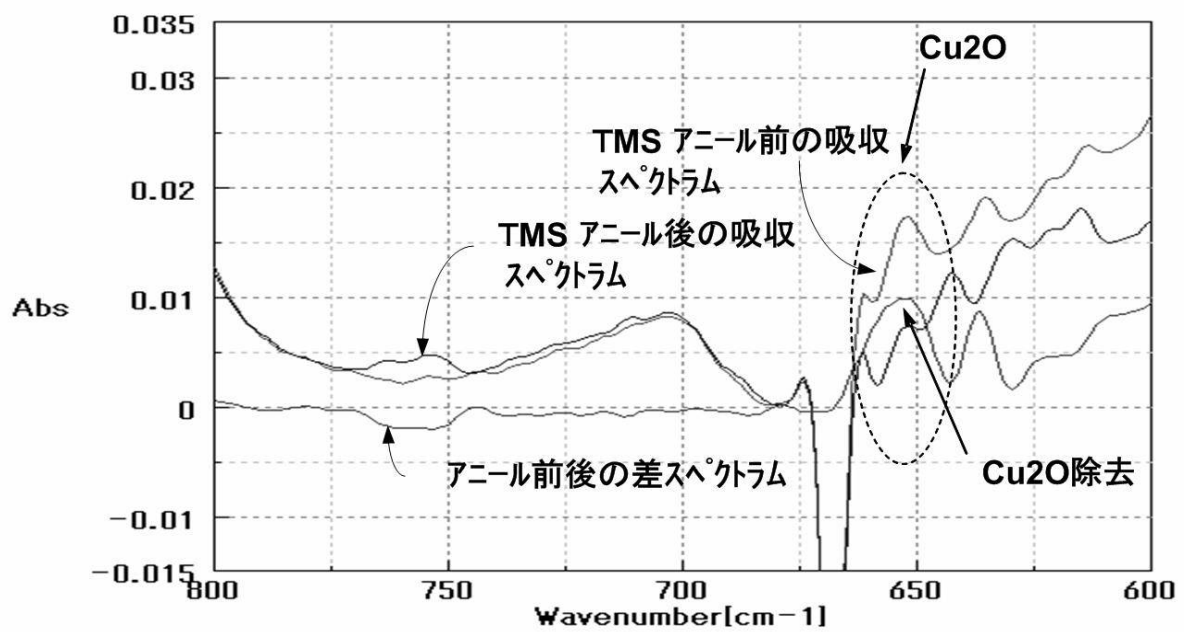
TMS Reduction Anneal Condition MEP2 STG300degC,2000mTorr,
TMS 180sccm,Ar 100sccm,1800 秒
FT-IR: Measurement Frequency 1024



【図 17】

FT-IR (3)

TMS Reduction Anneal Condition MEP2 STG300degC,2000mTorr,
TMS 180sccm,Ar 100sccm,1800 秒
FT-IR: Measurement Frequency1024



フロントページの続き

- (56)参考文献 特開2001-185549(JP,A)
特開2002-319618(JP,A)
特開2003-347299(JP,A)
特開平08-213343(JP,A)
特開2006-229207(JP,A)
特開2002-057125(JP,A)
特開2003-045960(JP,A)
米国特許出願公開第2008/0290515(US,A1)
米国特許出願公開第2003/0077857(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/28 - 21/288
H01L 21/3205
H01L 21/3213
H01L 21/44 - 21/445
H01L 21/768
H01L 23/52 - 23/522
H01L 29/40 - 29/49
H01L 29/872