

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5917543号  
(P5917543)

(45) 発行日 平成28年5月18日(2016.5.18)

(24) 登録日 平成28年4月15日(2016.4.15)

(51) Int.Cl.

G06F 17/50 (2006.01)

F 1

G06F	17/50	656R
G06F	17/50	666T
G06F	17/50	668U
G06F	17/50	670Z

請求項の数 24 (全 16 頁)

(21) 出願番号	特願2013-539990 (P2013-539990)
(86) (22) 出願日	平成23年11月16日 (2011.11.16)
(65) 公表番号	特表2014-501968 (P2014-501968A)
(43) 公表日	平成26年1月23日 (2014.1.23)
(86) 国際出願番号	PCT/US2011/061086
(87) 国際公開番号	W02012/068314
(87) 国際公開日	平成24年5月24日 (2012.5.24)
審査請求日	平成26年8月21日 (2014.8.21)
(31) 優先権主張番号	12/949,689
(32) 優先日	平成22年11月18日 (2010.11.18)
(33) 優先権主張国	米国(US)

(73) 特許権者	597035274 シノプシス、 インコーポレイテッド SYNOPSYS, INC. アメリカ合衆国、 カリフォルニア州 9 4043, マウンテン ビュー, イー スト ミドルフィールド ロード 690
(74) 代理人	110001195 特許業務法人深見特許事務所
(72) 発明者	オー, ナムスク アメリカ合衆国 カリフォルニア 943 06, パロ アルト, ヘッティンガ レン 412

最終頁に続く

(54) 【発明の名称】複数の複数コーナー複数モードのシナリオにおける設計要求違反を修正する方法および装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数のシナリオにおいて回路設計の設計要求違反を修正する方法であって、該方法は、シナリオイメージを受信することを含み、該シナリオイメージは、シナリオにおける回路対象についてのパラメータの値を記憶しており、

複数シナリオ ECO (engineering change order) データベースを受信することを含み、該複数シナリオ ECO データベースは、前記複数のシナリオにおける回路対象の下位セットについてのパラメータの値の下位セットを記憶しており、

1つ以上のプロセッサによって1つ以上の設計要求違反を修正する ECO を決定することを含み、該決定することは、該シナリオイメージおよび該複数シナリオ ECO データベース内に記憶されたパラメータの値に基づいて、前記複数のシナリオの少なくともいくつかにおける回路対象についてのパラメータの値を推定することを含む、

方法。

## 【請求項 2】

前記複数のシナリオにおける各々のシナリオは、工程コーナー、動作条件、または動作モードのうちの1つ以上と関連づけられる、請求項1に記載の方法。

## 【請求項 3】

前記パラメータの値は、前記回路設計における1つ以上のピンでのタイミングスラックの値を含む、請求項1に記載の方法。

## 【請求項 4】

10

前記パラメータの値は、前記回路設計における1つ以上のピンでの容量性負荷の値を含む、請求項1に記載の方法。

【請求項5】

前記パラメータの値は、前記回路設計における1つ以上のピンでの遷移時間の値を含む、請求項1に記載の方法。

【請求項6】

前記パラメータの値は、前記回路設計におけるゲートについての漏れ電力の値を含む、請求項1に記載の方法。

【請求項7】

前記1つ以上の設計要求違反は、セットアップタイミング違反を含む、請求項1に記載の方法。 10

【請求項8】

前記1つ以上の設計要求違反は、ホールドタイミング違反を含む、請求項1に記載の方法。

【請求項9】

前記1つ以上の設計要求違反は、電気的設計規則違反を含む、請求項1に記載の方法。

【請求項10】

前記1つ以上の設計要求違反は、電力バジェット違反を含む、請求項1に記載の方法。

【請求項11】

コンピュータ読み取り可能なプログラムであって、コンピュータにより実行されるとき、該コンピュータに、複数のシナリオにおいて回路設計の設計要求違反を修正する方法を行わせ、該方法は、 20

シナリオイメージを受け取ることであって、該シナリオイメージは、シナリオにおける回路対象についてのパラメータの値を記憶することと、

複数シナリオECO(engineering change order)データベースを受け取ることであって、該複数シナリオECOデータベースは、前記複数のシナリオにおける回路対象の下位セットについてのパラメータの値の下位セットを記憶する、ことと、

1つ以上の設計要求違反を修正するECOを決定することとを含み、該決定することは、該シナリオイメージおよび該複数シナリオECOデータベース内に記憶されたパラメータの値を使用して、前記複数のシナリオの少なくともいくつかにおける回路対象についてのパラメータの値を推定することを含む。 30

コンピュータ読み取り可能なプログラム。

【請求項12】

各々のシナリオは、工程コーナー、動作条件、または動作モードのうちの1つ以上と関連づけられる、請求項11に記載のコンピュータ読み取り可能なプログラム。

【請求項13】

前記パラメータの値は、前記回路設計における1つ以上のピンでのタイミングスラックの値を含む、請求項11に記載のコンピュータ読み取り可能なプログラム。

【請求項14】

前記パラメータの値は、前記回路設計における1つ以上のピンでの容量性負荷の値を含む、請求項11に記載のコンピュータ読み取り可能なプログラム。 40

【請求項15】

前記パラメータの値は、前記回路設計における1つ以上のピンでの遷移時間の値を含む、請求項11に記載のコンピュータ読み取り可能なプログラム。

【請求項16】

前記パラメータの値は、前記回路設計におけるゲートについての漏れ電力の値を含む、請求項11に記載のコンピュータ読み取り可能なプログラム。

【請求項17】

前記1つ以上の設計要求違反は、セットアップタイミング違反を含む、請求項11に記 50

載のコンピュータ読み取り可能なプログラム。

【請求項 1 8】

前記 1 つ以上の設計要求違反は、ホールドタイミング違反を含む、請求項 1 1 に記載のコンピュータ読み取り可能なプログラム。

【請求項 1 9】

前記 1 つ以上の設計要求違反は、電気的設計規則違反を含む、請求項 1 1 に記載のコンピュータ読み取り可能なプログラム。

【請求項 2 0】

前記 1 つ以上の設計要求違反は、電力バジェット違反を含む、請求項 1 1 に記載のコンピュータ読み取り可能なプログラム。

10

【請求項 2 1】

システムであって、該システムは、

プロセッサーと、

メモリーとを含み、該メモリーは、

シナリオイメージであって、該シナリオイメージは、シナリオにおける回路対象についてのパラメータの値を記憶する、シナリオイメージと、

複数シナリオ E C O ( e n g i n e e r i n g c h a n g e o r d e r ) データベースであって、該複数シナリオ E C O データベースは、前記複数のシナリオにおける回路対象の下位セットについてのパラメータの値の下位セットを記憶する、複数シナリオ E C O データベースと、

20

命令とを記憶し、該命令は、該プロセッサーにより実行されるとき、該システムに、1 つ以上の設計要求違反を修正する E C O を決定させ、該決定することは、該シナリオイメージおよび該複数シナリオ E C O データベース内に記憶されたパラメータの値を使用して、前記複数のシナリオの少なくともいくつかにおける回路対象についてのパラメータの値を推定することを含む、

システム。

【請求項 2 2】

前記複数のシナリオにおける各々のシナリオは、工程コーナー、動作条件、または動作モードのうちの 1 つ以上と関連づけられる、請求項 2 1 に記載のシステム。

30

【請求項 2 3】

前記パラメータの値は、

前記回路設計における 1 つ以上のピンでのタイミングスラックの値と、

前記回路設計における 1 つ以上のピンでの容量性負荷の値と、

前記回路設計における 1 つ以上のピンでの遷移時間の値と、

前記回路設計におけるゲートについての漏れ電力の値と、のうちの 1 つ以上を含む、

請求項 2 1 に記載のシステム。

【請求項 2 4】

前記 1 つ以上の設計要求違反は、

セットアップタイミング違反と、

ホールドタイミング違反と、

電気的設計規則違反と、

40

電力バジェット違反とのうちの 1 つ以上を含む、請求項 2 1 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

( 技術分野 )

本開示は、電子設計自動化 ( E D A ) に関する。より具体的には、本開示は、複数の複数コーナー複数モードのシナリオにおける設計要求違反を修正するシステムおよび技術に関連する。

【背景技術】

50

**【0002】**

(背景)

(関連技術)

コンピュータ技術の急速な進歩は、時には何兆バイトほどに大きいデータセット上で毎秒何兆ものコンピュータによる動作を行うことを可能にしてきた。これらの進歩は、主として、集積回路のサイズおよび複雑性の指数関数的増加が原因であります。

**【0003】**

製造されたチップが所望されるように機能することを保証するために、回路設計は、通常、数多くの設計要求との適合性についてチェックされる。実際、回路設計は、一般的に、設計要求を満たすまで製造されず、その設計要求は、タイミング要求、騒音要求、漏れ要求などを含みうるが、これらに制限されない。

10

**【0004】**

典型的な回路設計の流れにおいて、適合性をチェックするツールが使用されて、回路設計における設計要求違反を識別する。それから、追加の調整が回路設計になされて、設計要求違反を修正する。ひとたび回路設計が違反なしになると、回路設計は、製造のために準備されうる。

**【0005】**

より小さな半導体形状への進歩は、集積回路の工程および動作条件の可変性を増加させてきた。工程コーナーは、工程条件の特定のセットであり、その工程条件のもとで回路設計は設計されうる。動作コーナーは、動作条件（たとえば、温度、電圧）の特定のセットであり、その動作条件のもとで回路設計は動作しうる。

20

**【0006】**

回路設計の複雑性の増加の1つの理由は、数多くの動作モード（たとえば、待機状態、任務、試験、など）の導入である。特に、回路設計のいくつかの部分は、特定の動作モードにおいて完全にスイッチを切られうる。さらに、異なる動作モードは、極端に異なる電圧、クロック速度、などを有しうる。

**【0007】**

工程コーナー、動作条件、および／または動作モードのすべての組み合わせのもとで、回路設計が機能上および性能の目標を満たすことを保証することが望ましい。「複数コーナー／複数モード（M C M M）シナリオ」または略して「シナリオ」という用語は、特定の工程コーナー、特定の動作条件、および／または特定の動作モードの組み合わせを表す。

30

**【0008】**

1つのシナリオにおいて設計要求違反を修正することは、他のシナリオにおいて新しい違反を生成しうる。したがって、違反を識別すること、および修正することの工程は、一般的に、複数回、および複数のシナリオにわたって行われる必要がある。不運にも、回路設計のサイズおよび複雑性が急速に増加していて、かつ回路設計がチェックされる必要があるシナリオの数が急速に増加しているので、設計要求違反を修正するために必要な時間の量は、急速に増加している。

**【発明の概要】**

40

**【課題を解決するための手段】****【0009】**

(概要)

本発明の一実施形態は、複数のシナリオにおいて回路設計の設計要求違反を修正するシステムを提供する。動作中、システムは、シナリオイメージおよび複数シナリオ E C O (engineering change order) データベースを受け取りうる。シナリオイメージは、シナリオにおける回路対象についてのパラメータの値を記憶しえ、複数シナリオ E C O データベースは、複数のシナリオにおける回路対象の下位セットについてのパラメータの値の下位セットを記憶しうる。各々のシナリオは、工程コーナー、動作条件、または動作モードのうちの1つ以上と関連づけられうる。次に、システムは、1つ

50

以上の設計要求違反を修正する E C O を決定しえ、その決定することは、シナリオイメージおよび複数シナリオ E C O データベース内に記憶されたパラメータの値に基づいて、複数のシナリオにおける回路対象についてのパラメータの値を推定することを含みうる。本開示において、別な方法で述べられない限り、「基づく」という句は、「単にまたは部分的に基づく」を意味する。

#### 【 0 0 1 0 】

パラメータの値は、システムに設計要求違反を識別し、かつ修正することを可能にさせる回路情報を含みうる。特に、パラメータの値は、( 1 ) 回路設計における 1 つ以上のピンでのタイミングスラックの値、( 2 ) 回路設計における 1 つ以上のピンでの容量性負荷の値、( 3 ) 回路設計における 1 つ以上のピンでの遷移時間の値、および( 4 ) 回路設計におけるゲートについての漏れ電力の値を含みうるが、これらに制限されない。

10

#### 【 0 0 1 1 】

設計要求違反は、回路設計における潜在的な問題を識別するのに役立ちうる。特に、設計要求違反は、( 1 ) セットアップタイミング違反、( 2 ) ホールドタイミング違反、( 3 ) 電気的設計規則違反、および( 4 ) 電力バジェット違反を含みうるが、これらに制限されない。

#### 【 図面の簡単な説明 】

#### 【 0 0 1 2 】

##### ( 図面の簡単な説明 )

【 図 1 】 図 1 は、集積回路の設計および製作における種々のステップを図示する。

20

【 図 2 A 】 図 2 A および 2 B は、どのように、シナリオにおける設計要求違反を修正することが、別のシナリオにおける別の設計要求違反を生成しうるか、またはさらに悪くしうるかを図示する。

【 図 2 B 】 図 2 A および 2 B は、どのように、シナリオにおける設計要求違反を修正することが、別のシナリオにおける別の設計要求違反を生成しうるか、またはさらに悪くしうるかを図示する。

【 図 3 】 図 3 は、複数のシナリオにおける設計要求違反を修正するためのアプローチを図示する。

【 図 4 】 図 4 は、複数シナリオ E C O データベースを使用して、複数のシナリオにおける設計要求違反を修正するアプローチを図示する。

30

【 図 5 】 図 5 は、表形式の複数シナリオ E C O データベースの一部を図示する。

【 図 6 】 図 6 は、どのように、パラメータの値がシナリオイメージおよび複数シナリオ E C O データベースを使用して推定されうるかの例を図示する。

【 図 7 】 図 7 は、複数のシナリオにおける設計要求違反を修正する工程を図示するフローチャートを与える。

#### 【 発明を実施するための形態 】

#### 【 0 0 1 3 】

##### ( 詳細な説明 )

以下の説明は、当業者の誰もが本発明を生産し、かつ使用することができるよう与えられ、特定の用途およびその要求の文脈において提供される。開示された実施形態に対する種々の改変は、当業者にとって容易に明白であり、本明細書中に定義される概略的な原理は、本発明の精神および範囲から逸脱することなく、他の実施形態および用途に応用されうる。したがって、本発明は、示される実施形態に制限されずに、本明細書中に開示される原理および特徴と一致する最も広い範囲を授けられる。

40

#### 【 0 0 1 4 】

図 1 は、集積回路の設計および製作における種々のステップを図示する。工程は、製品アイディア 1 0 0 で始まり、その製品アイディア 1 0 0 は、電子設計自動化 ( E D A ) ソフトウェア 1 1 0 を使用することで具現化される。チップ 1 7 0 は、製作 1 5 0 ステップならびにパッケージおよび組み立て 1 6 0 ステップを行うことにより、完結した設計から製造される。

50

## 【0015】

EDAソフトウェア110を使用する設計の流れは、以下に説明される。設計の流れの説明は、例証の目的のためだけであって、本発明を制限することは意図されないということを留意されたい。たとえば、実際の集積回路設計は、以下で説明される順序とは異なる順序で設計の流れのステップを行うことを設計者に要求しうる。

## 【0016】

システム設計ステップ112において、設計者らは、インプリメントする機能性を記述しうる。設計者らは、機能性を高め、かつコストをチェックするために、起こりうる事態の計画も行いうる。さらに、ハードウェア ソフトウェアのアーキテクチャを分割することは、このステップで生じる。論理設計および機能上の検証ステップ114において、ハードウェア記述言語（HDL）設計は、生成され、かつ機能上の正確さについてチェックされうる。

10

## 【0017】

統合および設計ステップ116において、HDLコードは、対象の技術のために最適化されうるネットリストに翻訳されうる。さらに、試験は、完成したチップをチェックするために設計され、かつインプリメントされうる。ネットリスト検証ステップ118において、ネットリストは、タイミング制限との適合性について、およびHDLコードとの対応についてチェックされうる。

## 【0018】

設計計画ステップ120において、チップについての全部のフロアプランが描かれ、かつタイミングおよびトップレベルのルーティングについて分析されうる。次に、物理的インプリメンテーションステップ122において、配置およびルーティングが行われうる。

20

## 【0019】

分析および取り出しきずみ124において、回路の機能性は、トランジスタレベルで検証されうる。物理的検証ステップ126において、設計は、機能上、製造上、電気的、またはリソグラフィーの問題のいずれも正すためにチェックされうる。

## 【0020】

解像度を高めるステップ128において、幾何学的な操作は、設計の製造可能性を向上させるためにレイアウトに対して行われうる。最後に、マスクデータ準備ステップ130において、設計は、完成したチップを製造するマスクの製造のためにテープアウト140されうる。

30

## 【0021】

ひとたび設計要求違反が回路設計において識別されると、回路のセルは、設計要求違反を修正するために調整されうる。たとえば、セットアップ時間違反を修正するために、経路内の1つ以上のセルは、サイズアップされ、経路を横切る信号により経験される遅延を減らしうる。同様に、ホールド時間違反を修正するために、1つ以上のバッファーは、経路に追加され、経路のピンでホールド時間を増加させうる。

## 【0022】

設計要求違反を修正するために回路のセルになされる追加の調整は、E C O (engineering change order)と呼ばれる。E C Oはタイミング違反を修正することに制限されないということを留意されたい。E C Oは、概して、いずれの種類の違反（たとえば、設計要求チェック違反、騒音違反、漏れ違反など）も修正するために使用されうる。

40

## 【0023】

図2Aおよび2Bは、どのように、シナリオにおける設計要求違反を修正することが、別のシナリオにおける別の設計要求違反を生成しうるか、またはさらに悪くしうるかを図示する。

## 【0024】

ゲート202～220は、回路設計の一部でありうる。図2Aに図示されるように、回路設計は、シナリオS1において経路222および224に沿ったセットアップタイミング

50

グ違反を有しうる。シナリオ S 1 のみを考える場合、ゲート 208 - S は、タイミング違反を修正するための ECO を適用する良い候補である。特に、ゲート 208 - S は、経路 222 および 224 に沿ったセットアップタイミング違反を修正するために、より速いゲート（つまり、より小さな遅延値を有するゲート）と取り替えられうる。

#### 【0025】

しかし、図 2B に示されるように、ゲート 208 - S をより速いゲートと取り替えることは、シナリオ S 2 において経路 226 に沿ったホールドタイミング違反を生成しうるか、またはさらに悪くしうる。特に、図 2B は、ゲート 208 - S が、ゲート 208 - S のより速い型であるゲート 208 - F と取り替えられたことを示す。ゲート 208 - S がゲート 208 - F と取り替えられたとき、シナリオ S 1 において経路 222 および 224 に沿ったセットアップ違反を修正したが、シナリオ S 2 において経路 226 に沿ったホールド違反を生成したか、またはさらに悪くした。

10

#### 【0026】

これらの理由のため、システム（たとえば、EDA ツールを実行するコンピュータシステム）は、設計要求違反を修正するときに複数のシナリオをチェックする必要がある。図 2A および 2B において、システムが、設計要求違反を修正するときにシナリオ S 1 と S 2 との両方をチェックする場合、システムは、ECO を適用する候補としてゲート 202、204、および 212 を選択しうる。たとえば、システムは、ゲート 202 および 204 をより速いゲートと取り替え、ゲート 212 をより遅いゲートと取り替え、それによってシナリオ S 1 において経路 222 および 224 に沿ったセットアップタイミング違反を修正し、同時にシナリオ S 2 において経路 226 に沿ったホールドタイミング違反を修正しうる。同様の考えは、他のタイプの違反が修正されるときにも適用される。

20

#### 【0027】

図 3 は複数のシナリオにおける設計要求違反を修正するアプローチを図示する。

#### 【0028】

コンピュータシステム 302 は、プロセッサー 304、メモリー 306、およびストレージデバイス 308 を含みうる。コンピュータシステム 302 は、ディスプレイデバイス 314、キーボード 310、およびポインティングデバイス 312 に連結されうる。ストレージデバイス 308 は、オペレーティングシステム 316、アプリケーション 318、および異なるシナリオに対応するシナリオイメージ 320 ~ 324 を記憶しうる。シナリオイメージ 320 ~ 324 は、特定のシナリオにおいて回路設計の設計要求違反を検出および／または修正するためのアプリケーション 318 により要求される情報を含みうる。各々のシナリオイメージが概して非常に大きいので、コンピュータシステム 302 は、所与の時にいつでも、1 つのシナリオイメージをメモリー 306 内に保持することができるだけありうる。

30

#### 【0029】

動作中、アプリケーション 318 は、特定のシナリオに対応するシナリオイメージ（たとえば、シナリオ S 1 に対応するシナリオイメージ 320）をストレージ 308 からメモリー 306 内へロードしうる。次に、アプリケーション 318 は、シナリオイメージ 320 を使用して、シナリオ S 1 における設計要求違反を修正する ECO を決定しうる。それから、アプリケーション 318 は、シナリオイメージ 320 をメモリー 306 から除去し、シナリオ S 2 に対応しうるシナリオイメージ 322 をストレージ 308 からメモリー 306 にロードしうる。次に、アプリケーション 318 は、シナリオイメージ 322 を使用して、シナリオ S 1 における設計要求違反を修正するように決定された ECO が、新しい設計要求違反を生成するか、またはシナリオ S 2 における現存の設計要求違反をさらに悪くするかどうかをチェックしうる。そのような場合、アプリケーション 318 は、ECO を却下し、シナリオ S 1 における ECO の新しいセットを決定することでやり直しうる。一方で、新しい設計要求違反が生成されず、かつ現存の設計要求違反がシナリオ S 2 においてさらに悪くななかつた場合、システムは、次のシナリオに対応する次のシナリオイメージをロードしうる。この態様で、システムは、各々のシナリオにおいて ECO をチエ

40

50

ツクし続けえ、ひとたび E C O がすべてのシナリオにおいてチェックされると、システムは、 E C O を回路設計に引き渡す。

#### 【 0 0 3 0 】

不運にも、ディスク動作の長い呼び出し時間が原因で、シナリオイメージをストレージ 308 からメモリー 306 にロードすることは、通常、長い時間がかかる。結果として、上記のアプローチは、複数のシナリオにおける設計要求違反を修正するために実行不可能なほどに長い時間がかかりうる。分散コンピューティングに基づくアプローチは、性能を向上させるために使用されうる。たとえば、各々のシナリオイメージは、分散コンピューティング環境内の別個のコンピュータ内にロードされうる。それから、コンピュータが特定のシナリオのための E C O を決定するとき、コンピュータは、 E C O を分散コンピューティング環境内の他のコンピュータに伝達して、異なるシナリオにおいて E C O を検証しうる。不運にも、このアプローチは、シナリオの数が多い（たとえば数百）場合、数多くのコンピュータを要求するので、非常に高価でありうる。

10

#### 【 0 0 3 1 】

本発明のいくつかの実施形態は、複数のシナリオにおける設計要求違反を修正する E C O を決定するために要求される時間の量を実質的に減らしうる。いくつかの実施形態は、すべてのシナリオからの情報を含む複数シナリオ E C O データベースを生成する。このデータベースは、シナリオイメージと並んでメモリー内に存在しうるほど十分に小さい。システムが、特定のシナリオにおける設計要求違反を修正する E C O のセットを決定するとき、システムは、複数シナリオ E C O データベースを使用して、すべてのシナリオにわたって E C O をチェックしうる。複数シナリオ E C O データベースは、システムに、 E C O が各々のシナリオにおいて有すると予期される影響を素早く推定することを可能にさせる。

20

#### 【 0 0 3 2 】

図 4 は、複数シナリオ E C O データベースを使用して、複数のシナリオにおける設計要求違反を修正するアプローチを図示する。

#### 【 0 0 3 3 】

図 3 のように、コンピュータシステム 402 は、プロセッサー 404、メモリー 406 、およびストレージデバイス 408 を含みうる。コンピュータシステム 402 は、ディスプレイデバイス 414 、キーボード 410 、およびポインティングデバイス 412 に連結されうる。ストレージデバイス 408 は、オペレーティングシステム 416 、アプリケーション 418 、および異なるシナリオに対応するシナリオイメージ 420 ~ 424 を記憶しうる。シナリオイメージ 420 ~ 424 はデータを含みえ、このデータは、特定のシナリオにおいて回路設計の設計要求違反を分析し、シミュレートし、かつ／または修正するためにアプリケーション 418 により要求される。各々のシナリオイメージが概して非常に大きいので、コンピュータシステム 402 は、所与の時にいつでも、1 つのシナリオイメージをメモリー 406 内に保持することができるだけでありうる。

30

#### 【 0 0 3 4 】

ストレージ 408 は、複数シナリオ E C O データベース 426 をさらに記憶しうる。複数シナリオ E C O データベース 426 は、複数のシナリオについての回路情報を含みえ、この回路情報は、複数のシナリオにおける E C O の影響を推定するために使用されうる。

40

#### 【 0 0 3 5 】

動作中、アプリケーション 418 は、特定のシナリオに対応するシナリオイメージ（たとえば、シナリオ S1 に対応するシナリオイメージ 420 ）をストレージ 408 からメモリー 406 内にロードしうる。次に、アプリケーション 418 は、複数シナリオ E C O データベース 426 をメモリー 406 内にロードしうる。複数シナリオ E C O データベース 426 は、シナリオイメージ 420 と並んでメモリー 406 内に存在しうるほど十分に小さくありうる。それから、アプリケーション 418 は、シナリオイメージ 420 を使用することで、シナリオ S1 における設計要求違反を修正する E C O を決定し、かつ複数シナリオ E C O データベース 426 を使用することで、 E C O が他のシナリオにおいて、新し

50

い設計要求違反を生成することも、現存の設計要求違反をさらに悪くすることも予期されないことを保証しうる。次に、アプリケーション 418 は、決定された ECO を回路設計に引き渡すか、または ECO が後で回路設計に引き渡されうるよう、ECO をストレージ 408 内に記憶することかのどちらかをしうる。図 3 におけるアプリケーション 318 とは違って、アプリケーション 418 は、他のシナリオにおける ECO の影響をチェックするためにシナリオイメージを交換しないので、アプリケーション 418 は、他のシナリオにおける ECO の影響をチェックするために要求される時間の量を実質的に減らす。

#### 【0036】

ひとたびシナリオ S1 に対する ECO が、引き渡されるか、またはストレージ 408 内に記憶されるかのどちらかがされると、アプリケーション 418 は、別のシナリオに対応する第二のシナリオイメージをロードしうる。たとえば、アプリケーション 418 は、シナリオ S2 に対応するシナリオイメージ 422 をロードしうる。次に、アプリケーション 418 は、シナリオイメージ 422 を使用することで、シナリオ S2 における設計要求違反を修正する ECO を決定し、かつ複数シナリオ ECO データベース 426 を使用することで、他のシナリオにおける ECO の影響をチェックしうる。この態様で、システムは、各々のシナリオにおける設計要求違反を修正する ECO を決定し、かつ複数シナリオ ECO データベースを使用して ECO の影響をチェックしうる。

#### 【0037】

図 3 および 4 に示される実施形態は、例証の目的のためだけである。実施形態に対する種々の改変は、当業者にとって容易に明白である。たとえば、一実施形態において、コンピュータシステム 402 は、コンピュートファームの一部であり、かついずれのユーザーインターフェースデバイスも含まなくともよく、アプリケーション 418 は、コンピュートファームに作業として委ねられうる。別の実施形態において、コンピュータ 402 は、クラウドコンピューティングインフラストラクチャーの一部でありうる。

#### 【0038】

図 5 は、表形式の複数シナリオ ECO データベースの一部を図示する。表 500 の各々の列はシナリオに対応しえ、各々の行はパラメータ（たとえば、遅延、静電容量、スルーナーなど）に対応しうる。複数シナリオ ECO データベースは、すべてのシナリオにわたって関与する各々の対象（たとえば、ゲート、ネット、ピン、など）についてのパラメータの値を記憶しうる。表 500 は、回路設計において特定の対象と関連づけられる複数シナリオ ECO データベースの一部を表す。たとえば、値 V-501 ~ V-509 は、異なるシナリオにおけるゲート 208-S（図 2A を参照）と関連づけられるパラメータの値でありうる。

#### 【0039】

複数シナリオ ECO データベース内に記憶される情報は、シナリオイメージ（たとえばシナリオイメージ 420（図 4 を参照））内に記憶される情報の小さな断片でありうる。特に、複数シナリオ ECO データベースは、異なるシナリオにおける ECO の影響を分析するために要求される対象（たとえば、ゲート、ネット、ピンなど）についての情報を記憶するだけでありうる。たとえば、図 2A および 2B において、ゲート 214 はセットアップタイミング違反経路上にも、ホールドタイミング違反経路上にもないので、ゲート 214 についての情報は、複数シナリオ ECO データベース内に記憶される必要がない。さらに、複数シナリオ ECO データベースは、まばらでありえ、つまり、複数シナリオ ECO データベースは、異なるシナリオにおける ECO の影響を分析するために要求されるシナリオおよび / またはパラメータだけについての値を記憶しうる。たとえば、図 2A のゲート 208-S が静的漏れ電力バジェットに違反することが予期されない場合、ゲート 208-S の静的漏れ電力についての情報は、複数シナリオ ECO データベース内に記憶されなくともよい。同様に、回路設計が、特定のシナリオにおいていずれの設計要求違反も有さず、またそのシナリオにおいて何か設計要求違反を有することが予期されない場合、複数シナリオ ECO データベースは、そのシナリオについてのいずれの情報も記憶しなくてもよい。

10

20

30

40

50

## 【0040】

表500に示される情報は、特定のゲートと関連づけられうる。システムは、設計要求違反を修正するためにゲートを新しいゲートと取り替えうる。しかし、メモリーおよび複数シナリオECOデータベース内の現用のシナリオイメージは、新しいゲートについてのいずれの情報も有さなくてよい。したがって、本発明のいくつかの実施形態は、現用のシナリオイメージおよび複数シナリオECOデータベースを使用して、設計要求違反を修正するために使用される取り替えゲートについてのパラメータの値を推定する。

## 【0041】

たとえば、表500が図2Aに示されるゲート208-Sについてのパラメータの値を記憶すると仮定する。特に、図5におけるパラメータP1がゲート208-Sのゲート遅延に対応すると仮定する。さらに、ゲート208-Sをゲート208-Fと取り替えることが、シナリオS1において、図2Aに示される2つのセットアップ違反を修正することを、システムが決定すると仮定する。その場合、システムは、ゲート208-Sをゲート208-Fと取り替えることが、シナリオS2において何か問題を生成するかどうかをチェックすることを望みうる。しかし、表500は、ゲート208-Fについてのパラメータの値（たとえば、ゲート遅延）を有さず、シナリオS1についてのイメージは、シナリオS2についてのゲート遅延の値を有さない。

## 【0042】

図6は、どのように、パラメータの値が、シナリオイメージおよび複数シナリオECOデータベースを使用して推定されうるかの例を図示する。

## 【0043】

ゲート602についてのパラメータP1の値が、シナリオS1およびS2においてそれぞれ、10および5に等しく、ゲート604についてのパラメータP1の値が、シナリオS1において14に等しいと仮定する。破線の囲みは、複数シナリオECOデータベース内に記憶されうる情報を示し、点線の囲みは、シナリオS1についてのイメージ内に記憶されうる情報を示す。シナリオS2におけるゲート604についてのパラメータP1の値は、シナリオS1についてのイメージ内に記憶されず、複数シナリオECOデータベース内にも記憶されないということを留意されたい。

## 【0044】

シナリオS2におけるゲート604についてのパラメータP1の値は、ゲート602をゲート604と取り替えることが、新しい設計要求違反を生成すると予期されるか、またはシナリオS2において現存の設計要求違反をさらに悪くすると予期されるかどうかを決定するために要求されうる。本発明のいくつかの実施形態は、シナリオS1についてのイメージおよび複数シナリオECOデータベース内に含まれる情報に基づいて、シナリオS2におけるゲート604についてのパラメータP1の値を推定する。

## 【0045】

一般に、システムは、パラメータの値を推定するためにいずれの推定関数も使用しうる。一実施形態において、システムは、シナリオS1およびS2におけるゲート602についてのパラメータP1の値の間の比率を決定し、その比率を使用することにより、シナリオS2におけるゲート604についてのパラメータP1の値を決定しうる。たとえば、図6において、シナリオS1およびS2におけるゲート602についてのパラメータP1の値の間の比率は、2に等しい。それから、この比率は、使用されて、シナリオS2におけるゲート604についてのパラメータP1の値を7であると決定しうる。

## 【0046】

図7は、複数のシナリオにおける設計要求違反を修正する工程を図示するフローチャートを与える。

## 【0047】

工程は、シナリオイメージを受け取ることで始まりえ、そのシナリオイメージは、シナリオにおける回路対象についてのパラメータの値を記憶する（動作702）。

## 【0048】

10

20

30

40

50

シナリオは、工程コーナー、動作条件、または動作モードのうちの 1 つ以上と関連づけられる。シナリオイメージは、詳細なタイミング分析を行うため、および種々の設計要求との適合性をチェックするために使用される情報を含みうる。そのような場合、シナリオイメージは、非常に大きくありえ、コンピュータシステムは、所与の時にいつでも、単一のシナリオイメージをメモリー内に記憶することができるだけでありうる。

#### 【 0 0 4 9 】

パラメータの値は、回路設計における 1 つ以上のピンでのタイミングスラックの値、回路設計におけるゲートについての漏れ電力の値、回路設計における 1 つ以上のピンでの容量性負荷の値および遷移時間の値を含みうるが、これらに制限されない。以下の段落は、設計要求ならびに関連したパラメータの値および回路対象のいくつかの例を説明する。これらの例は、例証の目的のためだけであって、本発明の範囲を制限することは意図されない。

10

#### 【 0 0 5 0 】

「最大遅延タイミング」要求（別名「セットアップ時間」要求）は、信号にタイミングエンドポイントと関連した必要時間の前にタイミングエンドポイントに到達するように要求する。この設計要求が違反される場合、回路設計は、おそらく、より遅い速度で動作される必要がある。タイミングエンドポイントは、この設計要求を満たす必要がありうる回路対象の例である。タイミングエンドポイントでのスラックの値（たとえば、タイミングエンドポイントでの信号の必要時間と到達時間との間の差）は、ECO がこの設計要求の違反を修正するかどうかを決定するために、シナリオイメージおよび / または複数シナリオ ECO データベース内に記憶される必要がありうるパラメータの値の例である。スラックの値の大きさは、タイミングエンドポイントがこの設計要求に違反するときに負であり、タイミングエンドポイントが設計要求を満足するときに正でありうる。

20

#### 【 0 0 5 1 】

「最小遅延タイミング」要求（別名「ホールド時間」要求）は、信号に必要時間の後にタイミングエンドポイントに到達するように要求する。この設計要求が違反される場合、（たとえば信号がレジスターにより捕捉されなかったので）回路は、おそらく、正常に動作せず、かつ / または不完全な機能性を有する。タイミングエンドポイントは、この設計要求を満たす必要がありうる回路対象の例である。タイミングエンドポイントでのスラックの値（たとえば、タイミングエンドポイントでの信号の必要時間と到達時間との間の差）は、ECO がこの設計要求の違反を修正するかどうかを決定するために、シナリオイメージおよび / または複数シナリオ ECO データベース内に記憶される必要がありうるパラメータの値の例である。スラックの値の大きさは、タイミングエンドポイントがこの設計要求に違反するときに負であり、タイミングエンドポイントがこの設計要求を満足するときに正である。

30

#### 【 0 0 5 2 】

「電気的設計規則」（別名電気的 DRC）は、1 つ以上の制限を回路対象の 1 つ以上の電気的性質に課す。電気的設計規則の例は、最大許容信号遷移時間、各々のゲート上の最大許容容量性負荷、ネットの最大許容ファンアウト、およびネットの最大長さを含む。シナリオイメージおよび / または複数シナリオ ECO データベース内に記憶される必要がありうるパラメータの値の例は、回路対象の電気的性質の値（たとえば、静電容量）でありうる。この設計規則は、異なるタイプの回路対象に適用されうる。たとえば、最大許容信号遷移時間要求は、タイミングエンドポイントもしくはゲート（たとえば、ゲートの出力での遷移は、ある範囲内になければならない）またはネット（たとえば、ネット上のいずれのピン上の遷移は、ある値より小さくなければならない）に適用されうる。最大許容容量性負荷要求は、論理ゲートに適用されうる。最大許容ファンアウト要求および / または最大長さ要求はネットに適用されうる。

40

#### 【 0 0 5 3 】

「電力バジェット」制約または要求は、1 つ以上の制限を回路設計の 1 つ以上の電力に関連する性質に課しうる。電力に関連する設計要求の例は、回路対象の許容漏れ電力、動

50

的電力、および／または全電力の上限を含む。シナリオイメージおよび／または複数シナリオ ECO データベース内に記憶されうるパラメータの値は、回路対象の電力消費の値でありうる。この設計要求は、異なるタイプの回路対象に適用されうる。たとえば、電力に関連する設計要求は、全体の回路設計、または回路設計における各々のリーフレベルのセルインスタンス、または回路設計における特定のブロックに適用されうる。

#### 【0054】

図 7 の論述を続けると、システムは、それから、複数シナリオ ECO データベースを受け取りえ、その複数シナリオ ECO データベースは、複数のシナリオにおける回路対象の下位セットについてのパラメータの値の下位セットを記憶する（動作 704）。複数シナリオ ECO データベースは、複数のシナリオにわたって回路対象についての種々のパラメータの値を記憶する。しかし、複数シナリオ ECO データベースは、回路対象の下位セットだけについてのパラメータの値の下位セットを記憶する必要があるだけでありうるので、複数シナリオ ECO データベースは、シナリオイメージと比べると、サイズが実質的に小さくありうる。

#### 【0055】

いくつかの実施形態において、複数シナリオ ECO データベースは、関与する各々のパラメータについての値の範囲を記憶するだけである。範囲は、いずれの所与のシナリオにおいてもパラメータの値がその範囲内にあるように選択される。

#### 【0056】

いくつかの実施形態において、システムは、既知の設計要求違反に基づいて複数シナリオ ECO データベースを築く。たとえば、回路設計が、特定の数の設計要求に違反すると仮定する。システムは、設計要求違反により影響を与えられるパラメータおよび回路対象を決定しうる。次に、システムは、それらのパラメータの値だけを複数シナリオ ECO データベース内に記憶しうる。たとえば、図 2A および 2B に示されるように、ゲート 214 は、セットアップタイミング違反経路上にも、ホールドタイミング違反経路上にもないので、ゲート 214 と関連づけられるパラメータの値は、複数シナリオ ECO データベース内に記憶されなくてもよい。

#### 【0057】

いくつかの実施形態において、システムは、既知の設計要求違反および潜在的な設計要求違反に基づいて複数シナリオ ECO データベースを築く。たとえば、システムは、違反していないが、違反しそうなパラメータの値を考えうる。たとえば、ゲート 214 が、タイミング経路上にあり、その経路のスラックがほぼ 0 である（つまり、ゲート 214 はタイミング要求に違反しそうである）場合、ゲート 214 と関連づけられるパラメータの値は、複数シナリオ ECO データベース内に記憶されうる。

#### 【0058】

図 7 の論述を続けると、システムは、それから、1 つ以上の設計要求違反を修正する ECO を決定しえ、前記決定することは、シナリオイメージおよび複数シナリオ ECO データベース内に記憶されたパラメータの値に基づいて、複数のシナリオにおける回路対象についてのパラメータの値を推定することを含む（動作 706）。

#### 【0059】

特に、シナリオイメージは、第一のシナリオにおける第一のゲートおよび第二のゲートについてのパラメータの値を記憶しうる。複数シナリオ ECO データベースは、第二のシナリオにおける第一のゲートについてのパラメータの値を記憶しうる。システムは、それから、シナリオイメージおよび複数シナリオ ECO データベース内に記憶されたパラメータの値に基づいて、第二のシナリオにおける第二のゲートについてのパラメータの値を推定しうる。

#### 【0060】

##### （結論）

上記の説明は、当業者の誰もが実施形態を生産し、かつ使用することができるよう与えられる。開示された実施形態に対する種々の改変は、当業者にとって容易に明白であり

10

20

30

40

50

、本明細書中に定義される概括的な原理は、本開示の精神および範囲から逸脱することなく、他の実施形態および用途に応用できる。したがって、本発明は、示される実施形態に制限されずに、本明細書に開示される原理および特徴と一致する最も広い範囲を授けられる。

#### 【 0 0 6 1 】

本開示内に説明されるデータ構造およびコードは、コンピュータ読み取り可能な記憶媒体および／またはハードウェアモジュールおよび／またはハードウェア装置上に部分的にまたは完全に記憶されうる。コンピュータ読み取り可能な記憶媒体は、現時点で既知もしくはのちに開発される、コードおよび／またはデータを記憶することができる揮発性メモリー、不揮発性メモリー、ディスクドライブのような磁気および光学的記憶デバイス、磁気テープ、C D (コンパクトディスク)、D V D (デジタルバーサタイルディスクもしくはデジタルビデオディスク)、または他の媒体を含むが、これらに制限されない。本開示内に説明されるハードウェアモジュールまたは装置は、現時点で既知もしくはのちに開発される特定用途向け集積回路 (A S I C )、フィールドプログラマブルゲートアレイ (F P G A )、専用もしくは共有プロセッサー、および／または他のハードウェアモジュールもしくは装置を含むが、これらに制限されない。

#### 【 0 0 6 2 】

本開示内に説明される方法および工程は、コンピュータ読み取り可能な記憶媒体またはデバイス内に記憶されるコードおよび／またはデータとして部分的にまたは完全に具体化されえ、その結果、コンピュータシステムがコードおよび／またはデータを読み取り、かつ実行するとき、コンピュータシステムは、関連した方法および工程を行う。方法および工程は、ハードウェアモジュールまたは装置内にも部分的にまたは完全に具体化されえ、その結果、ハードウェアモジュールまたは装置が起動されるとき、ハードウェアモジュールまたは装置は関連した方法および工程を行う。方法および工程は、コード、データ、およびハードウェアモジュールもしくは装置の組み合わせを使用することで具体化されうるということを留意されたい。

#### 【 0 0 6 3 】

本発明の実施形態の上述の説明は、例証および説明の目的のためだけに与えられてきた。上述の説明は、網羅的であることも、本発明を開示された形態に制限することも意図されない。したがって、多数の改変および変化は、当業者にとって明白である。さらに、上記の開示は、本発明を制限することは意図されない。本発明の範囲は、添付の特許請求の範囲により定義される。

10

20

30

【図1】

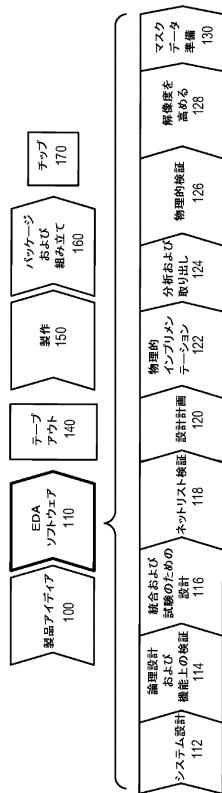


FIG. 1

【図2 A】

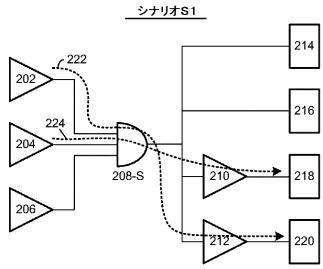


FIG. 2A

【図2 B】

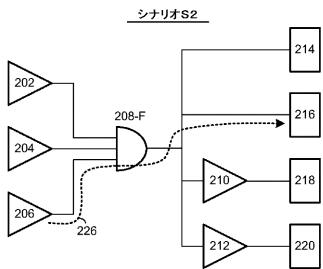


FIG. 2B

【図3】

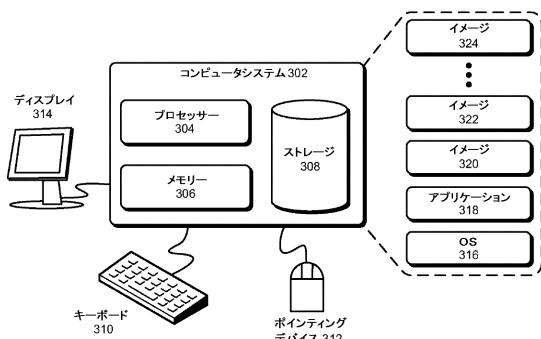


FIG. 3

【図4】

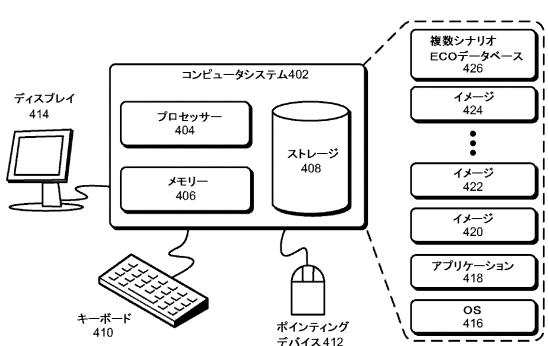


FIG. 4

【図5】

表 500				
	パラメータ P1	パラメータ P2	...	パラメータ Pm
シナリオ S1	V-501	V-502	...	V-503
シナリオ S2	V-504	V-505	...	V-506
...	...	...	...	...
シナリオ Sn	V-507	V-508	...	V-509

FIG. 5

【図6】

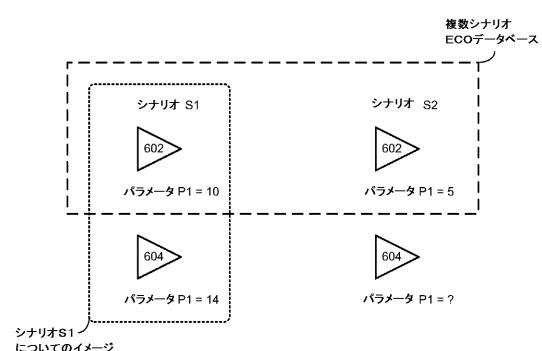


FIG. 6

【図7】

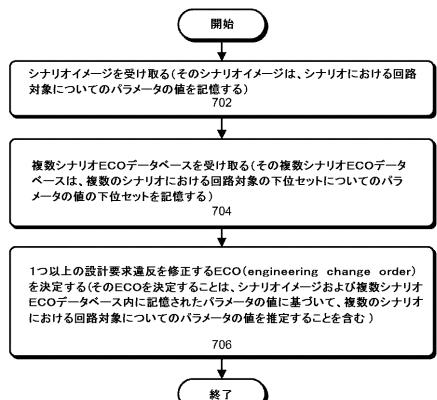


FIG. 7

---

フロントページの続き

(72)発明者 ナヤック , ルペシユ

アメリカ合衆国 カリフォルニア 94583 , サン ラモン , ブロードモア ドライブ 9  
848

(72)発明者 シュウ , ウィリアム チウ - ティン

アメリカ合衆国 カリフォルニア 94306 , パロ アルト , ハーバード ストリート 2  
155

審査官 合田 幸裕

(56)参考文献 特開平10-321725 (JP, A)

特開2008-305132 (JP, A)

特開2009-163490 (JP, A)

米国特許出願公開第2006/0026546 (US, A1)

(58)調査した分野(Int.Cl. , DB名)

G06F 17/50

IEEE Explore

Cini

JSTPlus (JDreamIII)