

申請日期	90 年 6 月 14 日
案 號	90114476
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型		
一、發明 新型名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 日下田惠一
	國 籍	(4) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的所有權本部內
	住、居所	
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝
訂
線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本 2000 年 7 月 11 日 2000-209946 ☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於半導體積體電路技術進而可以變更各電路方塊之設定之技術，例如，關於適用在內藏複數的記憶體之半導體積體電路之記憶體不良位元的救濟方式、記憶體的動作定時調整以及上述記憶體的診斷測試有效之技術。

發明背景

之前，在內藏 R A M（隨機存取記憶體）等之半導體記憶體或記憶體之半導體積體電路中，爲了救濟包含在記憶體之不良位元以提升產品良率，設置由預備之記憶體列或記憶體行以及記憶缺陷位址之位址設定電路等形成之冗餘電路。此種冗餘電路之缺陷位址的設定，一般係利用藉由雷射等可以程式之熔絲（fuse）而進行之方式。又，周知例有：特開平 4 - 2 7 4 0 9 6（對應美國專利第 5，4 3 0，6 7 9 號）以及特開平 1 0 - 2 7 5 4 9 4（對應美國專利第 5，8 5 9，8 0 1 號）。

可是，近年來伴隨半導體積體電路之高集成化，在 1 個之半導體晶片上內藏複數的記憶體之 L S I 也變成可以見到很多。例如，在計算機用之處理器等，爲了提供大容量 1 次快取或 2 次快取、T L B、T a g 快取、分歧預測用記憶體、寫入緩衝器等種種之 R A M，也有設置接近 1 0 0 個之內藏 R A M 者。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (2)

發明摘要

如上述般地，在內藏多數 R A M (記憶體) 之 L S I 中，如在各內藏 R A M 設置由記憶缺陷位址之位址設定電路等形成之冗餘電路，例如，內藏 R A M 之數目為 1 0 0 個，救濟位址考慮為 1 0 位元之情形，需要約 1 0 0 0 個之熔絲。因此，有導致由於冗餘電路之晶片大小增加之問題點。

可是，本發明者們發現：在 1 0 0 個程度設置具有 1 M bit 以下之記憶容量之內藏 R A M 之 L S I 中，在 1 0 0 個全部的內藏 R A M 產生可以救濟之不良位元之機率非常低，數個～數 1 0 個之內藏 R A M 產生可以救濟之不良位元者比較多之故，經由全部的內藏 R A M 設置冗餘電路，產品良率的提升效率有限。又，重點是在於合理地進行多數的 R A M 之診斷。

本發明之目的在於提供：於複數個內藏如 R A M 之記憶體電路之半導體積體電路中，效率良好地救濟記憶體電路之不良位元，能夠謀求產品良率之提升之半導體積體電路技術。

本發明之其它目的在於提供：於內藏複數的記憶體電路之半導體積體電路中，調整記憶體電路之存取定時以提高動作裕度，而且可以更高速存取記憶體電路之半導體積體電路。

本發明之其它目的在於提供：提供共用記憶體診斷以及記憶體特性設定之綜合匯流排方式之半導體積體電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

關於本發明之前述以及其它之目的與新特徵，於本說明書之記述以及所附圖面中明示之。

於本申請案所揭示之發明中，如說明代表性者之概要，則如下述。

即，具備：具有判定被輸入之辨識碼是否與自己的辨識碼一致之辨識碼一致檢測電路以及接收資料栓鎖電路或保持電路，進行對應栓鎖之資料的動作而被構成之複數的電路方塊；以及可以設定上述辨識碼與對應該辨識碼之資訊，可以串列輸出被設定之資訊之設定電路；以及透過串列式匯流排將由該設定電路來之設定資訊當成串列資料依序讀出，將其轉換為並列資料，可以傳送於上述複數的電路方塊之控制電路。上述複數的電路方塊，構成當輸入到各個上述辨識碼比對檢測電路的辨識碼與自己的辨識碼判定為一致時，傳送保存在上述接收資料栓鎖電路中所存取對應的上述設定資訊。

如依據上述手段，在半導體積體電路之製造後，可以對半導體積體電路內的各電路方塊變更救濟位址資訊或定時調整等之設定，藉由此，可以最大限度發揮各電路方塊的性能。進而，對於複數的電路方塊，可以使之共用設定應保持那些電路方塊之資訊在設定電路之故，可以大幅降低設定電路之規模。又，由於係將設定電路的設定資訊當成利用串列式匯流排之串列資料讀出之構成之故，不變更控制電路之電路可以於設定電路增加可以設定之資訊量。更且，設定電路之設定資訊的各電路方塊的傳送為，於系

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

統建立時等進行 1 次即可，以串列傳輸的方式其吞吐量 (throughpnt) 不會降低。

此處，期望由上述控制電路對上述複數的電路方塊之設定資訊的傳送係透過並列式匯流排進行。藉由此，由設定電路對於複數的電路方塊，可以共通化傳送設定資訊之並列式匯流排內之複數的信號線，與對於個別的電路方塊設置傳送設定資訊之專用信號線之情形相比，可以大幅減少信號的數目。

又，上述設定電路係藉由由半導體積體電路之外部可以程式之複數的程式元件；以及並列讀入各程式元件的狀態，串列式傳輸之移位寄存器而構成。藉由此，在半導體積體電路之製造後，可以設定任意的資訊之同時，也可以有效地進行被設定於設定電路之資訊的讀出。

進而，上述移位寄存器係依循由上述控制電路被供給之移位用時脈信號而做移位動作地構成。藉由此，不須在外部產生、給予移位用時脈，可以自動地進行設定資訊的傳送。

又，其構成可以為：設置可由半導體積體電路之外部輸入資訊之複數的端子，上述控制電路利用並列式匯流排可以將由上述複數的端子被輸入之資訊或被設定於上述設定電路之資訊之其一傳送於上述複數的電路方塊。藉由此，於設定電路設定資訊之前，使各電路方塊保持設定資訊以做測試動作，設定之資訊是否適當可以預先確認，能夠避免錯誤之設定。又，共用上述並列式匯流排而利用之故

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

，可以防止電路規模之增加。

上述複數的電路方塊在具有把具有缺陷之記憶體單元置換為預備的記憶體單元之冗餘電路之記憶體電路之情形，上述接收資料栓鎖電路取入使上述冗餘電路成為有效之救濟位址而加以保持地構成。複數的記憶體電路被內藏於1個的半導體積體電路，於各記憶體電路設置冗餘電路之情形，如於各記憶體電路設置包含程式元件之救濟位址設定電路，只是程式元件的數目便成為巨大之數目，成為晶片尺寸增加的原因，但如依據上述手段，可以共通化設定救濟位址之電路之故，可以減少整體之程式元件的數目，能夠減少晶片尺寸。

上述複數的電路方塊具備可以調整給予指定的電路之動作定時之信號的定時之定時調整手段，上述接收資料栓鎖電路取入上述定時調整手段之定時資訊而加以保持地構成。藉由此，各電路方塊之動作定時的最適當化成為可能，能夠提高電路的動作速度之同時，與於各電路設置設定定時資訊之電路的情形相比，可以大幅減少電路規模。

上述複數的電路方塊係具備：將具有缺陷之記憶體單元置換為預備的記憶體單元之冗餘電路以及可以調整給予指定的電路之動作定時之信號的定時之定時調整手段之記憶體電路，上述接收資料栓鎖電路係依據由上述控制電路所被供給之信號，取入上述救濟位址或上述定時調整手段之定時資訊而加以保持，進行對應取入之資訊之動作地構成。藉由此，可以共通化保持冗餘電路用之救濟位址之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

路與保持前述定時調整手段之定時資訊之電路之故，與個別設置電路之情形相比，可以降低電路規模。

設置爲了測試用使前述複數的電路方塊動作之測試控制電路，上述電路方塊接受由上述測試控制電路來之控制信號而動作，可以輸出動作結果地構成。藉由此，不使用高價之測試機，可以進行電路方塊之測試，能夠謀求成本降低。

進而，依據由上述測試控制電路之上述複數的電路方塊的測試結果，決定設定於上述設定電路之資訊，進行對於上述設定電路之資訊的設定。藉由此，不使用高價之測試機，可以進行電路方塊的測試，能夠謀求成本降低之同時，依據測試結果之對設定電路的資訊設定也可以簡單進行，能夠大幅縮短測試以及對設定電路之設定所需要之時間。

【發明之實施形態】

以下，依據圖面說明本發明之合適的半導體積體電路之實施例。

本發明之半導體積體電路係如圖 1 顯示其概略般地，設置：於被內藏在晶片之複數的記憶體方塊 M C L 1、M C L 2 …… M C L n 之個個預先給予辨識碼 (I D 碼)，比較該辨識碼與被輸入之辨識碼 (R A M - I D) 之比較器 C M P 以及栓鎖辨識碼一致時被輸入之位址等之資訊 (D a t a) 之栓鎖電路或保持電路 L T C。另一方面，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

在與記憶體方塊不同之場所設置：以對設定對於複數的記憶體方塊 M C L 1、M C L 2 …… M C L n，特定救濟位址 (D a t a 0 ~ D a t a M) 與救濟之記憶體方塊用之辨識碼 (R A M - I D 0 ~ R A M - I D M) 之設定電路 1 0；以及控制此設定電路 1 0 之控制電路之記憶體診斷控制器 2 0。進而，設定電路 1 0 係由：排列配置作為可以由外部程式之程式元件之熔絲之熔絲陣列 F -

A L Y 1 1；以及讀入個別之熔絲的狀態，串列傳送用之移位寄存器 S F T 所構成。而且，藉由上述記憶體診斷控制器 2 0，由上述設定電路 1 0 將設定資訊透過串列式匯流排 S B U S 串列讀入，將其轉換為並列資料，透過作為並列式匯流排之記憶體控制匯流排 3 0 供給於記憶體方塊 M C L 1、M C L 2 …… M C L n，使之自動地栓鎖救濟位址。

又，在設定電路 1 0 與記憶體診斷控制器 2 0 之間設置：使由設定電路 1 0 來之資料 F D A T A 或由外部端子來之資料 D A T A 之其一供給於記憶體診斷控制器用之選擇器 S E L。藉由此，在系統稼動中，在某一記憶體方塊產生新的不良位元之情形，代替由設定電路 1 0 來之資料 F D A T A 而將由外部來之資料 D A T A 送往產生不良之記憶體方塊而栓鎖之，不須進行晶片之更換或對熔絲的追加程式，可以排除故障。

進而，為了使之可以檢測構成上述設定電路 1 0 之移位寄存器本身之故障的有無，接續測試資料輸入用正反器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

F / F i n 之資料輸出端子於初段的正反器 F / F 1 之資料端子。又，接續移位寄存器之最終段之正反器 F / F z 之資料輸出端子於測試資料輸出用正反器 F / F o u t 之資料輸入端子。藉由此，例如，於測試資料輸入用正反器 F / F i n 設定 " 1 " 或 " 0 "，使之沿著移位寄存器而移位，判定最後被栓鎖於測試資料輸出用正反器

F / F o u t 之資料是否與輸入資料一致，可以檢測移位寄存器是否有異常。

又，上述測試資料輸入輸出用正反器 F / F i n、F / F o u t 例如藉由設置於被使用在邏輯部之測試或邊界掃描測試之掃描匯流排上，測試資料之設定與測試結果之讀出可以不須設置特別之構造而進行。又，代替設置測試資料輸入輸出用正反器 F / F i n、F / F o u t，設置測試資料輸入輸出用之外部端子，直接輸入測試資料，可以觀察測試結果地構成亦可。

圖 2 係顯示適用本發明之半導體積體電路之概略構成。又，顯示於圖 2 之電路方塊係全部被形成在如單結晶矽之 1 個的半導體晶片上。以 ◎ 印所示者係作為設置於該半導體晶片之外部端子之凸點，圖示之實際設置之外部端子之中，僅顯示與本發明有關聯者，在這些外部端子之外，設置有達成晶片原本之機能用之外部端子或電源電壓端子。

圖 2 中，以標號 M C L 1、M C L 2 …… M C L n 所示者係作為內藏記憶體之 R A M 巨集胞，以 L G C 1 1、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

L G C 1 2 …… L G C 2 n 所示係實現晶片本來之邏輯機能（系統邏輯）用之邏輯電路。上述 R A M 巨集胞 M C L 1 、 M C L 2 …… M C L n 如之後詳細說明般地，各個在記憶體陣列或選擇用之解碼器電路、讀出寫入電路之外，設為具備：構成置換與不良位元之預備記憶體列以及置換控制電路或使記憶體之測試容易化用之測試補助電路等。

又，於本說明書中，所謂 R A M 巨集胞係意指：預先設計，確認動作之電路，由登錄於資料庫等之複數的 R A M 之中選擇具有所期望之記憶容量、性能者而配置在晶片上便可，設為可以省略詳細之電路設計者。此種巨集胞在 R A M 以外，也有在 R O M 或邏輯運算電路、P L L（鎖相迴路）電路、時脈放大器等邏輯 L S I 經常使用之電路。

於此實施例中，設置：包含設定辨識上述 R A M 巨集胞 M C L 1 、 M C L 2 、 …… M C L n 用之資訊或缺陷位址資訊用之熔絲陣列之設定電路 1 0；以及具有將依據由外部端子來之測試模式設定信號 T M O D E 0 ~

T M O D E 2 或觸發信號 T R I G、控制脈衝 P U L S E，產生對於上述設定電路 1 0 之控制信號 F S E T 或移位時脈信號 S C K、讀入設定於設定電路 1 0 之資訊

F D A T A，傳送於上述 R A M 巨集胞 M C L 1、M C L 2 …… M C L n 之定時控制機能或設定資訊做串列—並列轉換之機能之記憶體診斷控制器 2 0；以及將由記憶體診斷控制器 2 0 來之設定資訊供給於上述 R A M 巨集

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

胞 M C L 1 、 M C L 2 … … M C L n 用之專用的記憶體控制匯流排 3 0 。雖無特別限制，但是此記憶體控制匯流排 3 0 係以 1 7 位元構成，上述測試模式設定信號 T M O D E 0 ~ T M O D E 2 原樣被輸出於其中 3 位元，關於由設定電路 1 0 被讀入，被傳送於 R A M 巨集胞 M C L 1 、 M C L 2 … … M C L n 之設定之資訊被輸出於 1 3 位元，給予栓鎖設定資訊之定時之信號被輸出於剩餘 1 位元。

又，雖無特別限制，但於此實施例中，設置由產生測試被內藏於晶片之上述 R A M 巨集胞 M C L 1 、 M C L 2 … … M C L n 用之測試形式之形式產生器等所形成之記憶體測試電路 4 0 。形式產生器可以利用 F S M (有限狀態機) 方式或微程式方式之電路。搭載的記憶體測試電路為將確定使用 BIST (內置自檢) 技術，只不過省略了詳細的說明。記憶體測試電路 4 0 一由外部給予記憶體測試之開始信號 M B I S T S T A R T ，產生測試形式或測試控制信號，透過測試信號線 5 0 而供給於各 R A M 巨集胞 M C L 1 、 M C L 2 … … M C L n 而構成。

又，代替將上述記憶體側電路 4 0 形成於晶片上，也可以如以虛線 A 所示般地，設置被接續於上述測試信號線 5 0 之測試用輸入端子 T E S T I N ，將與在外部的記憶體測試電路產生之上述測試形式或測試控制信號相同之信號或固定形式由上述測試用輸入端子 T E S T I N 輸入，以測試 R A M 巨集胞 M C L 1 、 M C L 2 … … M C L n 而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

構成。

圖 3 係顯示構成設定電路之移位寄存器的構成例。又，在圖 3 中，顯示各正反器為內建熔絲型的正反器。如圖 3 所示般地，此實施例之移位寄存器係設置由串聯接續之 13 個之正反器 $F / F_1 \sim F / F_{13}$ 所形成之 30 個的熔絲組 $FS_1 \sim FS_{30}$ ，這些之組進而串聯接續，藉由共通施加於各正反器之移位時脈 CLK ，1 位元 1 位元移位保持資料而構成。FSET 係對於全部的正反器，取入該內部之熔絲之狀態而加以保持用之熔絲組信號。

1 個之熔絲組內之 13 個的正反器 $F / F_1 \sim F / F_{13}$ 係分別如圖 4 所示般地，由：顯示用途之位元 B_1 、顯示 RAM 巨集胞之辨識碼之位元 $B_2 \sim B_7$ 、顯示救濟位址碼或定時調整碼之 $B_8 \sim B_{13}$ 所構成。此處，顯示用途之位元 B_1 係 $B_8 \sim B_{13}$ 之碼是否表示救濟位址碼或定時調整碼之其一而顯示之位元，具體為位元 B_1 為“0”時，表示 $B_8 \sim B_{13}$ 之碼為救濟位址碼，又，位元 B_1 為“1”時，表示 $B_8 \sim B_{13}$ 之碼為定時調整碼。進而， $B_8 \sim B_{13}$ 之碼為定時調整碼之情形，前 4 位元被設為讀出放大器之活性化定時的調整資訊，後 2 位元被設為字元驅動脈衝之脈衝寬的調整資訊。

又，表示 RAM 巨集胞之辨識碼之位元 $B_2 \sim B_7$ 係由進行表示巨集胞之種類之位元 B_2 、 B_3 與顯示巨集胞號碼之位元 $B_4 \sim B_7$ 所形成。表 1 係顯示巨集胞之種類與位元 B_2 、 B_3 之關係的一例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

【 表 1 】

B2、B3	RAM 種類	字元長	資料位元 寬	冗餘資料 位元
00	巨集胞 A	4kW	36	1
01	巨集胞 B	2kW	36	1
11	巨集胞 C	1kW	36	1

如顯示於表 1，位元 B 2、B 3 為“0 0”時，係表示所指定之 R A M 巨集胞具備 4 k 字元之記憶容量之單元，又位元 B 2、B 3 為“0 1”時，係表示所指定之 R A M 巨集胞為具備 2 k 字元之記憶容量之單元，而且，位元 B 2、B 3 為“1 0”時，表示所指定之 R A M 巨集胞為具備 1 k 字元之記憶容量之單元。

進而，位元 B 2、B 3 為“1 1”時，係表示指定全部的 R A M 巨集胞。藉由此位元 B 2、B 3 之 R A M 巨集胞之指定主要在位元 B 1 為“1”，位元 B 8 ~ B 1 3 為定時調整碼之情形被設為有效。同一晶片內之同一種類的 R A M 相互特性近似之故，期望總括調整定時之故。

又，雖無特別限制，在此實施例中，所謂「字元」係意指位元長度為 3 6 位元之資料。R A M 巨集胞的種類並不限定於表 1 所示。字元長度也沒有必要為 3 6 位元，又，依據單元，相互字元長不同亦可。

圖 5 係顯示構成具有圖 3 之移位寄存器機能之設定電路 1 0 之熔絲內藏的正反器 F / F 1 ~ F / F 1 3 之具體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

例。

如圖 5 所示般地，各正反器係由：由熔絲 F_i 以及與串聯接續該熔絲之 MOSFET Q_i 形成，使因應熔絲 F_i 之狀態（切換或未切斷）之電位（ V_{cc} 或 GND ）產生於該接續節點 N_i 之狀態設定手段 11；以及藉由由前述記憶體診斷控制器 20 所供給之熔絲組信號 $FSET$ ，將上述狀態設定手段 11 之設定電位傳達於內部用之傳送閘 12；以及保持藉由傳送閘 12 被傳達之電位狀態用之栓鎖電路 13；以及將被輸入資料輸入端子 IN 之資料傳送於上述栓鎖電路 13 或加以遮斷用之傳送閘 14 等所構成。又，設置：經由反運算 (negate) 後之熔絲組信號 $FSET$ 為低準位時，與由前述記憶體診斷控制器 20 被供給之移位時脈信號 CLK 同步，使輸入於資料輸入端子 IN 之資料傳達於上述栓鎖電路 13，形成控制上述傳送閘 14 之信號用之邏輯電路 15。

構成具有移位寄存器機能之設定電路 10 之圖 5 的熔絲內藏之正反器之熔絲組信號 $FSET$ 如圖 6 所示，主張為高準位，於栓鎖電路 13 栓鎖熔絲之狀態 $FUSE$ ，經由反運算後之熔絲組信號 $FSET$ 為低準位時，移位時脈 CLK 一進入，與其之上升同步，將被輸入資料輸入端子 IN 之資料栓鎖於栓鎖電路 13 動作。被栓鎖於栓鎖電路 13 之資料藉由輸出端子 OUT 被供給於下一段之正反器的資料輸入端子 IN 。

因此，於此實施例之電路中，首先藉由使熔絲組信號

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (14)

F S E T 變化為高準位，於栓鎖電路 1 3 栓鎖熔絲之狀態 F U S E，繼續使時脈信號 S C K 變化，可以使各正反器之保持資料陸續移位於下一段的正反器。又，上述傳送閘 1 4 以 2 段閘構成為了防止被輸入資料輸入端子 I N 之資料原樣地由輸出端子 O U T 被輸出之所謂的束緊 (lacing) 之故。

接著，利用圖 7 ~ 圖 9 說明記憶體診斷控制器 2 0 之具體例。

圖 7 係顯示記憶體診斷控制器 2 0 之諸機能之中，串列 - 並列轉換電路與 R A M 測試用之模式寄存器之具體例。串列 - 並列轉換電路係由：由串聯接續之 1 3 個的正反器所形成之移位寄存器 F D S R 以及使各正反器之輸出為一方之輸入，以傳送許可信號 T R E N 為另一方之輸入之 1 3 個的 A N D 閘 G 1 ~ G 1 3 所構成。又，設：由前述實施例 (圖 3) 之熔絲組 F S 1 ~ F S 3 0 來之熔絲設定資訊 F D A T A 或由外部端子來之輸入資料 D A T A 透過選擇器 S E L 1 可以選擇性地輸入由正反器形成之移位寄存器 F D S R。

又，不同於上述熔絲設定資訊移位用之移位寄存器 F D S R，另外設置保持 R A M 測試用之資料之模式寄存器 T M - R E G 之同時，在 A N D 閘 G 1 ~ G 1 3 之前段設置：將移位寄存器 F D S R 或模式寄存器 T M - R E G 之輸出選擇性地供給於 A N D 閘 G 1 ~ G 1 3 用之選擇器群 S E L 2。模式寄存器 T M - R E G 被設置於被使用於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

邏輯部之測試或邊界掃描測試之掃描匯流排上，透過掃描匯流排，構成設定 R A M 測試用之資料。

圖 8 係顯示依據由外部端子被輸入之觸發信號

T R I G 或控制脈衝 P U L S E 、時脈 C K ，形成對於上述熔絲組 F S 1 ~ F S 3 0 之控制信號 F S E T 或移位時脈 S C K 以及前述記憶體控制脈衝 3 0 上輸出之栓鎖定時信號 (M C 1 6) 之信號產生電路，又圖 9 係顯示依據由外部端子所輸入之測試模式設定信號 T M O D E 0 ~

T M O D E 2 ，形成控制上述 A N D 閘 G 1 ~ G 1 3 之傳送許可信號 T R E N 或控制選擇器 S E L 1 、 S E L 2 之信號 E X T S E L 、 T M S E L 等之解碼器電路。

圖 8 中，D V D 係分頻由外部而來之時脈 C K 之分頻電路，藉由此分頻電路，形成時脈 C K 之 $1/4$ 之頻率的移位時脈 S C K 。又，D L Y 1 ~ D L Y 3 係使內部信號只延遲適當時間用之延遲電路、C O U N T 係計數內部時脈 N C K 之數目之計數器電路、C M P 1 ~ C M P 3 係判定計數器電路之計數值分別是否到達「13」、「29」、「45」之比較器。其中，比較器 C M P 1 係將發生之移位時脈 S C K 區分為各 13 個，將串列式傳輸而來之資料以每 13 位元，即每 1 熔絲組之資料接收之，中斷移位，轉換為並列資料，使之輸出於記憶體控制匯流排 3 0 上用者，藉由此比較器 C M P 1 之輸出，重置栓鎖電路 L A T 1 0 ，A N D 閘 G 2 0 使上述移位時脈 S C K 之輸出停止。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

又，比較器 C M P 2 係給予 R A M 巨集胞開始取入記憶體控制匯流排 3 0 上之信號的定時者，比較器 C M P 3 係給予 R A M 巨集胞終了取入記憶體控制匯流排 3 0 上之信號的定時者。比較器 C M P 2 在由熔絲設定電路 1 0 來之串列資料取入開始後，一計數內部時脈 N C K 為「 2 9 」個，藉由該輸出，設定栓鎖電路 L A T 2 0，A N D 閘 G 3 0 建立給予 R A M 巨集胞之資料取入定時之匯流排上的信號 M C 1 6 為高準位。而且，比較器 C M P 3 在由熔絲設定電路 1 0 來之串列資料取入開始後，一計數內部時脈 N C K 為「 4 5 」個，藉由該輸出，重置栓鎖電路 L A T 2 0，A N D 閘 G 3 0 使給予 R A M 巨集胞之資料取入定時之信號 M C 1 6 降為低準位。

圖 1 0 係顯示輸入於圖 8 之電路之時脈信號 C K 以及觸發信號 T R I G 與圖 8 之電路的內部時脈 N C K，與由輸出於圖 8 之電路之信號熔絲組信號 F S E T、移位時脈 S C K、匯流排輸出信號 M C 3 ~ M C 1 5 以及 M C 1 6 之關係。由圖 1 0 可以明白，內部時脈 N C K 之 1 3 循環之間，輸出移位時脈 S C K，進行取入由熔絲設定電路 1 0 來之串列資料，以接著之 1 6 循環，信號由記憶體診斷控制器 2 0 輸出至記憶體控制匯流排 3 0 上。在此間，在 R A M 巨集胞中，解碼顯示匯流排上之巨集胞號碼之信號 B 3 ~ B 9，判定是否給自己的資料。而且，以之後的 1 6 循環，進行對 R A M 巨集胞之記憶體控制匯流排 3 0 上之資訊信號 B 1 0 ~ B 1 5 之栓鎖。而且，藉由只重複

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

熔絲組數之 30 次之合計 45 循環所需要之上述動作，全部的熔絲的設定資訊被傳送於對應之 R A M 巨集胞。

在上述記憶體診斷控制電路 20 如圖 8 所示，設置選擇器 S E L 3 於分頻電路 D V D 之下一段，改變時脈信號 C K，設為藉由外部來之控制脈衝 P U L S E 也可以動作之同時，控制此選擇器 S E L 3 藉由與進行資料之切換之前述的選擇器 S E L 為相同之控制信號 E X T S E L，輸入控制脈衝 P U L S E 而動作時，取入由外部端子被輸入之資料，傳送於 R A M 巨集胞。

此種記憶體診斷控制電路 20 之動作的切換係因應由外部被供給之測試模式設定信號 T M O D E 0 ~ T M O D E 2 而進行。雖無特別限制，在此實施例中，上述測試模式設定信號 T M O D E 0 ~ T M O D E 2 係當成 M C 0 ~ M C 2 被輸出於記憶體控制匯流排 30 上，被供給於 R A M 巨集胞 M C L 1 ~ M C L n。表 2 係顯示測試模式設定信號 T M O D E 0 ~ T M O D E 2 與藉由其被指定之動作模式之關係。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

【 表 2 】

#	動作模式	MC 匯 流 排																備註	
		模 式		傳送資訊													接 收 栓 鎖 觸 發 信號		
		指 定 *	1																
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
1	系統動作	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
2	MC 匯 流 排 接收栓鎖重置	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0		
3	救濟位址/定時 資訊傳送(FUSE 傳送)	0	1	0	用 途	巨 集 胞 種 類	巨 集 胞 號碼			救濟位址/定時資 訊									傳送資訊區 域係 FUSE 巨集胞之資 訊被傳送
4	救濟位址/定時 資訊傳送(外部 端子輸入)	0	1	1	用 途	巨 集 胞 種 類	巨 集 胞 號碼			救濟位址/定時資 訊									傳送資訊區 域係由外部 端子(DATA 端子)來之資 訊被傳送
5	RAM 循環測試 模式	1	1	1	0	巨 集 胞 種 類	巨 集 胞 號碼			測試對象資料位 元			0						記憶體診斷 控制器內之 TM 寄存器 之內容被傳 送

* 1) 被接續於 T M O D E (0 : 2) 端 子

如顯示於表 2，T M O D E 0 ~ T M O D E 2 一被設為“0 0 0”，記憶體診斷控制電路 2 0 停止其動作，設為系統動作模式。另一方面，T M O D E 0 ~ T M O D E 2 一被設為“0 0 1”，記憶體診斷控制電路 2 0 只使記憶體控制匯流排 3 0 上之信號 M C 1 6 提升為高準位，使各 R A M 巨集胞 M C L 1 ~ M C L n 之接收用栓鎖電路 1 2 1、1 2 2 重置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

又，T M O D E 0 ~ T M O D E 2 一被設為 " 0 1 0 "，控制信號 E X T S E L 被設為低準位，記憶體診斷控制電路 2 0 取入熔絲設定電路 1 0 之設定資料 F D A T A，轉換為並列資料，輸出於記憶體控制匯流排 3 0 上，往 R A M 巨集胞 M C L 1 ~ M C L n 之栓鎖電路 1 2 1、1 2 2 傳送。T M O D E 0 ~ T M O D E 2 一被設為 " 0 1 1 "，設定控制信號 E X T S E L 為高準位，記憶體診斷控制電路 2 0 取入由外部端子來之資料 D A T A，轉換為並列資料，輸出於記憶體控制匯流排 3 0 上，傳送於 R A M 巨集胞之栓鎖電路 1 2 1、1 2 2。進而，T M O D E 0 ~ T M O D E 2 一被設為 " 1 1 1 " 記憶體診斷控制電路 2 0 成為 R A M 循環測試的動作模式，將設置於其內部之前述測試模式寄存器 T M - R E G 之資料傳送於 R A M 巨集胞 M C L 1 ~ M C L n 而構成。

接著，利用圖 1 1，說明上述 R A M 巨集胞 M C L 1 ~ M C L n 之構成。

此實施例之 R A M 巨集胞 M C L 係由：包含複數的記憶體單元被配置為矩陣狀之記憶體陣列與冗餘電路等之周邊電路之 R A M 核心 1 1 0、由記憶體控制匯流排 3 0 取入 R A M 核心 1 1 0 內之缺陷位元置換為預備記憶體單元用之救濟位址而加以保持之救濟位址接收栓鎖電路 1 2 1、由記憶體控制匯流排 3 0 取入調整 R A M 核心 1 1 0 內之信號的定時用之定時資訊而加以保持之定時資訊接收栓鎖電路 1 2 2、檢測由記憶體控制匯流排 3 0 所供給之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

R A M 巨集胞的辨識碼 (巨集胞 I D) 是否與預先所給予自己之碼一致之巨集胞 I D 一致檢測電路 1 3 0 、解碼由記憶體控制匯流排 3 0 所供給之測試模式信號 T M O D E 0 ~ T M O D E 2 , 因應模式產生控制信號之測試模式解碼器 1 4 0 、產生在測試模式時, 解碼由記憶體控制匯流排 3 0 所供給之碼 (M C 1 0 ~ M C 1 5) , 指定測試對象位元之信號 T D B 0 ~ T D B 3 5 之測試位元解碼器 1 5 0 、在測試模式時讀出, 比較資料與期待值資料, 判定是否一致之測試結果比較判定電路 1 6 0 、由構成 L S I 本來之機能之系統邏輯電路被供給之位址信號 A 或讀取、寫入控制信號 W E 、由寫入資料 W D 或記憶體測試電路 4 0 被供給之位址信號 T A 或讀取、寫入控制信號 T W E 、選擇測試寫入資料 T W D 之其一用之選擇器群 1 7 0 等所構成。

上述巨集胞 I D 一致檢測電路 1 3 0 如圖 1 2 所示, 係由: 將記憶體控制匯流排 3 0 上之信號 M C 4 ~ M C 9 分別當成一方之輸入信號的或閘 E O R 1 ~ E O R 6 等形成, 這些或閘 E O R 1 ~ E O R 6 之另一方之輸入端子例如藉由主切片 (master slice) 方式之配線被接續於電源電壓 V c c 或接地點 G N D 之其一, 其中, 顯示巨集胞之信號 M C 4 、 M C 5 一與預先被設定之狀態一致, 巨集胞種類一致信號 T Y P - M A T C H 被產生, 顯示巨集胞號碼之信號 M C 6 ~ M C 9 一一一致, 巨集胞號碼一致信號 N U M - M A T C H 被產生, 進而, 全部的信號一一一致,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

高準位之 I D 一致信號 I D - M A T C H 被輸出地構成。

又，上述測試模式解碼器 1 4 0 如圖 1 3 所示，係具有與周知之位址解碼器等類似之構成，解碼記憶體控制匯流排 3 0 上之信號 M C 0 ~ M C 2，例如如表 3 所示般地，在 M C 0、M C 1、M C 2 為 " 0 0 1 " 時，對於栓鎖電路 1 2 1、1 2 2 之重置信號 R E S E T 設為邏輯 " 1 "，在 M C 0、M C 1、M C 2 為 " 1 1 1 " 時，將選擇器群 1 7 0 切換為測試信號側之控制信號 R A M T E S T 設為邏輯 " 1 "，M C 1 為 " 1 " 時，不論 M C 0、M C 2，對於栓鎖電路 1 2 1、1 2 2 之栓鎖信號 T R A N S F E R 設為邏輯 " 1 " 地構成。

【 表 3 】

MC0	MC1	MC2	
0	0	0	RESET="1"
1	1	1	RAMTEST="1"
*	1	*	TRANSFER="1"

救濟位址接收栓鎖電路 1 2 1 與定時資訊接收栓鎖電路 1 2 2 分別具有如圖 1 4、圖 1 5 所示之構成，依據記憶體控制匯流排 3 0 上之信號 M C 3 以及 M C 1 6 與上述控制信號 T R A N S F E R、I D - M A T C H、R E S E T，產生對於正反器 F F 3 1 ~ F F 3 6、F F 4 1 ~ F F 4 6 之栓鎖選通脈衝信號 S T R B，這些

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

之信號成為指定之組合時，栓鎖記憶體控制匯流排 30 上之信號 MC 10 ~ MC 15 地構成，而且，供給栓鎖之信號由救濟位址接收栓鎖電路 121 以救濟位址 RYA0 ~ RYA5 於 RAM 核心 110、又，供給由定時資訊接收栓鎖電路 122 以定時調整信號 TC0 ~ TC5 於 RAM 核心 110。

又，此處，匯流排上之信號 MC 3 由表 2 也可以清楚顯示用途，即是位址救濟或定時調整之信號，MC 16 係顯示是否進行栓鎖之信號。圖 14 與圖 15 之電路的不同之處，匯流排上之信號 MC 3 的輸入端子是否為反相器而已，MC 3 在顯示邏輯“0”，即位址救濟時，圖 14 之栓鎖電路將記憶體控制匯流排 30 上之信號 MC 10 ~ MC 15 栓鎖於正反器 FF 31 ~ FF 36，在 MC 3 顯示邏輯“1”，即定時調整時，圖 15 之栓鎖電路將記憶體控制匯流排 30 上之信號 MC 10 ~ MC 15 栓鎖於正反器 FF 41 ~ FF 46。作為正反器 FF 31 ~ FF 36、FF 41 ~ FF 46，可以使用一般的 D 型正反器。

測試位元解碼器 150 係解碼記憶體控制匯流排 30 上之信號 MC 0 ~ MC 15，如表 4，在 36 個資料位元 D0 ~ D35 之中，產生成為測試對象之位元的指定信號 TDB0 ~ 35。雖無特別限制，MC 10 ~ MC 15 全部為“1”時，全部之資料位元 D0 ~ D35 成為測試對象。測試位元解碼器 150 將由解碼 MC 0 ~ MC 2 之測

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (23)

試模式解碼器 1 4 0 被輸出之 R A M 循環測試信號
R A M T E S T 與由巨集胞 I D 一致檢測電路 1 3 0 來之一致信號當成啓動信號，解碼 M C 1 0 ~ M C 1 5 而構成。

【 表 4 】

測試對象資料位元	MC					
	10	11	12	13	14	15
D0	0	0	0	0	0	0
D1	0	0	0	0	0	1
D2	0	0	0	0	1	0
D3	0	0	0	0	1	1
...	...					
D34	1	0	0	0	1	0
D35	1	0	0	0	1	1
全部資料位元(36 位元)	1	0	0	1	0	0

測試結果比較判定電路 1 6 0 係對應 3 6 位元之資料分別被設定，將由 R A M 核心 1 1 0 來之讀取資料與由測試寫入資料 T W D 之輸入端子被供給之資料當成期待值資料加以比較之 3 6 個的比較器 1 6 1；及設置於各比較器 1 6 1 之輸出側，將由上述測試位元解碼器 1 5 0 來之位元指定信號 T D B 0 ~ T D B 3 5 當成一方之輸入之 A N D 閘 1 6 2；以及由保存此 A N D 閘之輸出之正反器

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

群形成之寄存器 1 6 3 所構成。被保存於此寄存器 1 6 3 之測試結果透過未圖示出之掃描匯流排讀出於晶片外部地構成。

圖 1 6 係顯示 R A M 核心 1 1 0 之具體的構成例。此實施例之 R A M 核心 1 1 0 係由：配置複數的記憶體單元 M C 為矩陣狀之記憶體陣列 1 1 1、栓鎖被輸入之位址信號之位址栓鎖電路 1 1 2、解碼行位址信號，選擇對應於此之記憶體陣列內之 1 條的字元線 W L 之行位址解碼器

1 1 3、輸入解碼之列位址信號，選擇記憶體陣列內之位元線 B L、／ B L 之列位址解碼器 1 1 4、產生寫入脈衝等之脈衝產生電路 1 1 5、延遲藉由脈衝產生電路 1 1 5 被產生之信號，產生記憶體陣列內之讀出放大器之活性化信號 ϕ_{sa} 之定時電路 1 1 6、由定時資訊接收栓鎖電路 1 2 2 被供給之定時調整信號 T C 0 ~ T C 5 之中，解碼 T C 4、T C 5，產生對於上述脈衝產生電路 1 1 5 之調整信號之調整用解碼器 1 1 7 a、相同 T C 0 ~ T C 5 之中，解碼 T C 0 ~ T C 3，產生對於上述定時電路 1 1 6 之調整信號之調整用解碼器 1 1 7 b、解碼由救濟位址接收栓鎖電路 1 2 1 被供給之救濟位址 R Y A 0 ~ R Y A 5，產生選擇器之切換信號之冗餘解碼器 1 1 8、依據藉由脈衝產生電路 1 1 5 產生之信號，產生記憶體陣列內之共通資料線 C D L、／ C D L 之預先充電信號 ϕ_p 之定時電路 1 1 9 等所構成。

記憶體陣列 1 1 1 一次對應被讀取、寫入之 3 6 個的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

位元資料，藉由 3 6 個之記憶體方塊 B L K 0 ~

B L K 3 5 與冗餘用，即預備的記憶體方塊 R - B L K 所構成。而且，各記憶體方塊係由：區域記憶體陣列 L M A、使該區域記憶體陣列 L M A 內之被選擇的一對的位元線接續於共通資料線 C D L、／ C D L 之列開關 C S W、放大由記憶體單元被讀出於共通資料線 C D L、／ C D L 上之資料信號之讀出放大器 S A、栓鎖藉由讀出放大器 S A 被放大之讀取資料之資料栓鎖電路 D L T、依據讀取、寫入控制信號 W E 與寫入資料 W D，進行對選擇記憶體單元之資料寫入用之寫入放大器 W A、取入寫入資料 W D 或讀取、寫入控制信號 W E 之輸入電路 I B F、依循由上述冗餘解碼器 1 1 8 來之切換控制信號，決定是否選擇相鄰之記憶體方塊之輸入電路 I B F i n 之其一之信號之寫入選擇器 W - S E L、相同地，依循由冗餘解碼器 1 1 8 來之切換信號，決定是否選擇相鄰之記憶體方塊之資料栓鎖 D L T 之其一之信號之讀出選擇器 R - S E L 等所構成。關於這些之選擇器之動作，之後詳細說明。

脈衝產生電路 1 1 5 如圖 1 7 所示般地，具備具有可變延遲段 V D L Y 1 之一發脈衝產生電路，藉由調整用解碼器 1 1 7 a 來之調整信號，決定可變延遲段 V D L Y 1 之延遲量，可以調整寫入脈衝寬地構成。又，定時電路 1 1 6 具備可變延遲段 V D L Y 2，藉由由調整用解碼器 1 1 7 a 來之調整信號，決定可變延遲段 V D L Y 2 之延遲量，可以調整讀出放大器活性化定時地構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

接著，利用圖 1 8 說明本實施例之冗餘方式。

本實施例之冗餘方式係如圖 1 8 所示，設置：在鄰接之記憶體方塊間可以單方向（在圖中，由右往左，即有冗餘用記憶體方塊之側往沒有之側）移位資料位元之寫入選擇器 W - S E L 與讀出選擇器 R - S E L，在有包含故障之記憶體方塊之情形，以鄰接之記憶體方塊置換，被使用於置換之記憶體方塊進而以鄰接之記憶體方塊置換，使之可以只救濟 1 個包含故障之記憶體方塊。右，在各記憶體方塊中，個別只有 1 個記憶體單元被選擇，相當於記憶體方塊數目之位元的資料同時可以讀取、寫入地構成。

作為其之一例，在圖 1 8 顯示於記憶體方塊 B L K 6 發現缺陷位元之情形的救濟方法。於同圖中，虛線係沒有缺陷之情形的本來的資料的輸入輸出路徑，又，實線係進行缺陷救濟用之選擇器的切換的情形之資料的輸入輸出路徑。又，此種資料的輸入輸出路徑的變更係藉由：冗餘解碼器 1 1 8 解碼被輸入其之救濟位址信號 R Y A 0 ~ R Y A 5，產生由缺陷方塊切換為對應冗餘方塊 R - B L K 之選擇器之信號而進行。表 5 係顯示包含缺陷位元之記憶體方塊與救濟位址信號 R Y A 0 ~ R Y A 5 之關係的一例。

五、發明說明 (27)

【 表 5 】

故障記憶 體方塊	救濟位址(RYA)					
	0	1	2	3	4	5
無	0	0	0	0	0	0
BLK0	0	0	0	0	0	1
BLK1	0	0	0	0	1	0
BLK2	0	0	0	0	1	1
BLK3	0	0	0	1	0	0
BLK4	0	0	0	1	0	1
...	...					
BLK34	1	0	0	0	1	1
BLK35	1	0	0	1	0	0

R A M 巨集胞之測試結果，爲了將發現故障位元之記憶體方塊以相鄰之記憶體方塊置換，依表 5，以對將有故障位元之記憶體方塊之 I D（辨識碼）與救濟位址設定於圖 3 所示之設定電路內之熔絲組，根據傳送 RAM 巨集胞之自動的冗餘電路，進行缺陷方塊的置換。例如，在巨集胞之種類爲“B”、巨集胞編號爲“3”之巨集胞的記憶體方塊 B L K 4 發現故障位元之情形，在圖 3 所示之 1 3 個的熔絲組設定“0 0 1 0 0 1 1 0 0 0 1 0 1”即可。此處，對應出現“1”之位元的熔絲係被切斷，對應出現“0”之位元的熔絲係被切斷。前端位元之“0”係表示用途爲位址救濟，接著的 2 位元“0 1”係巨集胞之種類爲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (28)

“ B ”、接著的 4 位元 “ 0 0 1 1 ” 係巨集胞號碼為 “ 3 ”、剩餘之 6 位元 “ 0 0 0 1 0 1 ” 係表示缺陷方塊為記憶體方塊 B L K 4。

接著，說明 R A M 巨集胞內之定時的調整。圖 1 6 所示之 R A M 巨集胞中，如圖 1 9 (A) 所示般地，一將字元線 W L 提升為選擇準位，位元線 B L、／ B L 之電位差開始放大，以適當之定時提升活性化信號 ϕ_{sa} ，一使讀出放大器 S A 之動作開始，位元線 B L、／ B L 之電位差被放大，“ 0 ”或“ 1 ”之資料確定。在實際的裝置中，由於元件的偏差，於讀出放大器產生偏置電壓或偏置電流，由於此，位元線 B L、／ B L 之電位差小時，即，字元線提升後之時間還早中，一使讀出放大器活性化，有放大在反方向電位差之誤動作產生之虞。另一方面，為了確實迴避誤動作，使活性化讀出放大器 S A 之定時變慢，一使裕度變大，導致讀出時間之劣化。

因此，期望因應個別之 R A M 巨集胞之實力，調整讀出放大器 S A 之活性化定時。於本實施例之 R A M 巨集胞中，如前述般地，係利用信號 T C 0 ~ T C 3 以進行此種讀出放大器活性化定時之調整而構成。具體之調整方法例如首先由外部資料端子 D A T A 輸入產生適當之調整信號 T C 0 ~ T C 3 用之資料，使之保持於定時資訊接收栓鎖電路 1 2 2 以進行測試，將其錯開定時重複幾次，以檢測最適當之定時，將獲得此種定時之資料設定於圖 3 之熔絲組，藉由將其傳送於 R A M 巨集胞，可以自動地進行定時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

調整。

又，在此種定時調整之情形，R A M 巨集胞之種類如係相同，成為相同之特性之故，可以於各巨集胞之種類進行同一的設定。具體為：將圖 4 所示之用途用的位元 B 1 設定為“1”，指定定時調整之同時，於指定巨集胞之種類的位元 B 2、B 3 設定顯示欲調整之巨集胞之種類之碼。進而，可以在位元 B 8 ~ B 11 設定所期望之定時資訊。又，在此情形，藉由在位元 B 4 ~ B 7 之巨集胞號碼設定“1111”，可以宣言全部的巨集胞為對象。

可是，於此實施例中，於位元 B 8 ~ B 13 設定救濟位址或定時資訊，其係表示哪種以用途指定用之位元 B 1 指定之故，於同一種類的 R A M 巨集胞之中，有 1 個需要進行缺陷位元的置換之晶片中，變成無法進行定時調整。即，藉由使缺陷位元之置換優先，可以一面保證產品率一面最大限度發揮 R A M 之能力。

又，依據測試結果以及定時調整結果，也可以使 R A M 因應其之能力賦予等級而加以出貨。

接著，說明寫入脈衝寬之調整。藉由寫入放大器 W A 之對選擇記憶體單元之資料的寫入在字元線 W L 被設為選擇準位之間必須終了。如參考圖 19 (B) 可以容易明白地，假如寫入脈衝寬短，藉由寫入放大器 W A 之對選擇記憶體單元之資料的寫入終了之前，字元線 W L 一被變化為非選擇準位，在要使記憶資料反轉之情形，會有在反轉之前，選擇記憶體單元之資料輸入端子關閉後產生寫入之虞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

。又，反之使寫入脈衝長，使裕度太過於大，循環時間由時脈決定之故，至下一動作開始為止之時間變短，藉由定時電路 119 之預先充電時間變短，位元線在未回復至所期望的準位為止，下一動作被開始，引起誤動作。為了避免此，延長時脈週期，一使循環時間設定為長，變成 R A M 之性能降低。

因此，期望因應個別之 R A M 巨集胞之實力以調整寫入脈衝寬。於本實施例之 R A M 巨集胞中，如前述般地，係利用信號 T C 4、T C 5 以進行此種寫入脈衝寬之調整。具體之調整方法為係與前述之讀出放大器之活性化定時相同之故，詳細說明省略。但是，在此情形中，R A M 巨集胞之種類如相同，成為相同之特性之故，於各巨集胞之種類進行相同之設定即可。又，於同一種類的 R A M 巨集胞之中，有 1 個需要進行缺陷位元的置換之晶片中，變成無法進行定時調整之故，藉由使缺陷位元之置換優先，可以一面保證產品率一面最大限度發揮 R A M 之能力。

又，於上述實施例中，作為定時調整之對象，雖以讀出放大器之活性化定時與寫入脈衝寬為例而做說明，但是作為調整對象之記憶體內部的信號之定時，在其以外例如也可以考慮以下者。

(1) 列開關等 Y 系選擇信號之非選擇定時

(2) 位元線、讀出放大器、讀出放大器之後段的資料匯流排等之均衡開始定時

(3) 位元線、讀出放大器、讀出放大器之後段的資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

料匯流排等之均衡終了定時

(4) 輸入電路 I B F 之設定、保持時間

(5) 輸出資料栓鎖 D L T 之栓鎖定時

藉由調整這些之全部或幾個，進而，可以謀求藉由記憶體單元存取時間或循環時間之縮短之記憶體的高速化。

接著，利用圖 20 (B) 說明本實施例之 L S I 之 R A M 巨集胞的特性評價以及定時調整之方法。

關於 R A M 巨集胞之特性評價以及定時調整，首先，將對於記憶體診斷控制器 20 之由外部來之觸發信號

T R I G 設為否定為低準位之狀態 (步驟 S 1)，作為模式信號 T M O D E 0 ~ T M O D E 2 給予 " 0 1 1 " (步驟 S 2)。藉由此，記憶體診斷控制器 20 認知由外部端子 D A T A 來之資料輸入模式，開始對應之控制。

接著，由外部對於記憶體診斷控制器 20 輸入控制脈衝 P U L S E (步驟 S 3)。如此一來，以最初的控制脈衝 P U L S E，重置記憶體診斷控制器 20。接著，將上述觸發信號 T R I G 主張為高準位 (步驟 S 4)。之後，一面給予控制脈衝 P U L S E 一面由外部資料端子輸入要設定於 R A M 巨集胞之資料 D A T A (步驟 S 5)。如此一來，記憶體診斷控制器 20 與控制脈衝 P U L S E 同步，取入資料，轉換為並列資料。

一取入輸入之資料，記憶體診斷控制器 20 將這些資料透過記憶體控制匯流排 30 傳送於 R A M 巨集胞 (步驟 S 6)。此資料如前述般地，由 13 位元 (參考圖 4) 形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

成，在此情形，為特性評價之故，顯示用途之最初的位元 B 1 被設為“1”，顯示巨集胞之種類的位元 B 2、B 3 被設為顯示成為對象之巨集胞之“00”、“01”之其一。於位元 B 8 ~ B 15 被設定適當之定時資訊碼。

記憶體診斷控制器 20 在資料傳送後，在等待 R A M 巨集胞之接收栓鎖電路取入匯流排上之資料所必要的時間後，進行下一資料的取入。而且，此資料取入與資料傳送只重複資料組之數目（在此情形，巨集胞為 3 種類之故，共 3 次），資料之傳送終了。之後，將由外部來之觸發信號 T R I G 否定為低準位，一連串之資料傳送處理終了（步驟 S 7）。圖 2 1 係顯示由上述外部端子來之資料輸入與對 R A M 巨集胞之資料傳送時之主要信號的定時。於圖中，T 1 係記憶體診斷控制器 20 之重置期間、T 2 係由外部端子來之 1 組之資料取入期間、T 3 係透過匯流排之對 R A M 巨集胞之 1 組的資料傳送期間、T 4 係 R A M 巨集胞之接收栓鎖電路之 1 組之資料取入期間、T 5 係重複期間。

本實施例之 L S I 係內置自檢電路（B I S T）之故，在上述資料傳送終了後，如圖 2 0（C）所示般地，首先將測試模式信號 T M O D E 0 ~ T M O D E 2 設定為“111”後，如將開始信號 M B I S T S T A R T 給予記憶體測試電路 4 0，可以自動地進行 R A M 巨集胞之測試之故，依據由此測試所獲得之結果，進行特性評價與缺陷位元之判定，產生應設定於包含熔絲組之設定電路 1 0 之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (33)

救濟位址與辨識碼或巨集胞之種類與定時資訊。

而且，爲了確認產生之設定資訊是否正確，將產生之設定資訊傳送於 R A M 巨集胞，再度進行藉由記憶體測試電路 4 0 之依循圖 2 0 (C) 之測試。在此之際，在將設定資訊傳送於 R A M 巨集胞之前，爲了將已經被設定於 R A M 巨集胞之接收栓鎖電路之資料設爲無效，進行依循圖 2 0 (D) 之栓鎖的重置處理。在此栓鎖重置處理中，首先，將對於記憶體診斷控制器 2 0 之由外部來之觸發信號 T R I G 設爲否定爲低準位之狀態，作爲模式信號 T M O D E 0 ~ T M O D E 2 給予 " 0 0 1 "。藉由此，記憶體診斷控制器 2 0 認知栓鎖之重置模式，接著，觸發信號 T R I G 被主張爲高準位後至被否定爲低準位爲止之期間，作爲傳送資料將全部 " 0 " 輸出於記憶體控制匯流排 3 0 上，輸出只有給予栓鎖觸發定時之信號 (M 1 6) 爲 " 1 "。如此一來，R A M 巨集胞於接收栓鎖電路取入記憶體控制匯流排 3 0 上之全部 " 1 " 之資料，接收栓鎖電路之重置終了。

接收栓鎖電路之重置接收栓鎖電路的重置一終了，進行依循 2 0 (B) 之由外部端子來之資料輸入、傳送處理。而且，再度進行依循圖 2 0 (C) 之藉由記憶體測試電路之 R A M 巨集胞的測試，產生之熔絲設定資訊一被判定爲正確，進行將該設定資訊設定於設定電路 1 0 之各熔絲之處理。

之後，進行依循圖 2 0 (E) 之設定電路 1 0 之熔絲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

設定資訊之傳送。在此設定資訊傳送處理中，首先，將對於記憶體診斷控制器 20 之由外部來之觸發信號 T R I G 設為被否定為低準位之狀態，作為模式信號 T M O D E 0 ~ T M O D E 2 給予“0 1 0”。藉由此，記憶體診斷控制器 20 認知為熔絲設定資訊之傳送模式，接著，觸發信號 T R I G 被主張為高準位後至被否定為低準位為止之期間，自動地由設定電路 10 串列取入設定資訊，並列轉換，進行將其透過記憶體控制匯流排 30 傳送於 R A M 巨集胞之處理。又，R A M 巨集胞藉由將記憶體控制匯流排 30 上之資料取入接收栓鎖電路，對接收栓鎖電路之熔絲設定資訊之傳送終了。此時之資料傳送係依循由外部被供給之時脈信號 C K 而進行。

而且，為了確認所設定之設定資訊是否正確，再度進行藉由記憶體測試電路 40 之依循圖 20 (C) 之測試。藉由此，R A M 巨集胞之除錯終了。又，具備熔絲設定電路以及記憶體診斷控制器之本實施例之 L S I 藉由利用圖 20 (B) 之機構，在將晶片搭載於系統基板後產生故障之情形，在基板之救濟或性能之最適當化成為可能。即，在系統基板上例如搭載快閃記憶體等，將與設定於晶片內之熔絲設定電路之資訊相同之資訊儲存於該快閃記憶體，以依循圖 20 (C) 之測試如發現不良，產生可以避免該不良之資訊，依據該資訊，重寫快閃記憶體之資料即可。

又，由上述設定電路 10 之熔絲設定資訊之對 R A M 巨集胞之傳送也可以在系統之建立時進行。在圖 20 (A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

) 係顯示系統建立時之資料傳送順序。

於系統之建立中，首先，對於記憶體診斷控制器 20，作為由外部給予之模式信號 T M O D E 0 ~ T M O D E 2，設為“000”（步驟 S 3 1）。藉由此，記憶體診斷控制器 20 認知由設定電路 10 來之熔絲設定資訊之對 R A M 巨集胞之傳送為必要。

接著，系統時脈安定為止，等待 1 μ 秒程度後（步驟 S 3 2），接受將上述觸發信號 T R I G 主張為高準位，開始設定資訊之傳送（步驟 S 3 3、S 3 4），由設定電路 10 串列讀入設定資訊，並列轉換，進行將其透過記憶體控制匯流排 30 傳送於 R A M 巨集胞之處理。而且，R A M 巨集胞將記憶體控制匯流排 30 上之資料取入接收栓鎖電路，對接收栓鎖電路之熔絲設定資訊之傳送終了（步驟 S 3 5）。之後，觸發信號 T R I G 被否定為低準位後（步驟 S 3 6），本來之系統的動作被開始（步驟 S 3 7）。

接著，利用圖 2 2 以及圖 2 3 說明本發明之其它實施例。

圖 2 2 之實施例係代替由第 1 實施例（參考圖 2）之 B I S T 形成之記憶體測試電路 40，而設置以 J T A G（Joint Test Action Group：聯合測試行動群）所規定之 T A P（Test Access Port：測試存取埠）控制器 50 者。記憶體診斷控制器 20 以及熔絲設定電路 10 之構成與前述實施例相同。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (36)

在此實施例中，在 J T A G 之命令之一準備熔絲設定電路之自動傳送命令，使 T A P 控制器 5 0 之狀態一由 " U p d a t a - I R " 轉換為 " R u n - t e s t / I d l e "，由 T A P 控制器 5 0 對於記憶體診斷控制器 2 0 之控制信號 T A P F U S E 被主張。而且，記憶體診斷控制器 2 0 在控制信號 T A P F U S E 一被主張，進行被設定於熔絲設定電路 1 0 之資訊的自動傳送。將 R A M 巨集胞之測試或由外部端子來之資料傳送於 R A M 巨集胞、R A M 巨集胞內之接收栓鎖電路之重置等，其它之模式也定義於 J T A G 之操作命令而可以實行地構成。

圖 2 3 之實施例係代替設置輸入圖 2 2 中之測試模式信號 T M O D E 0 ~ T M O D E 2 或觸發信號 T R I G 之外部端子，可以由正反器 F F 5 1、F F 5 2 給予者。又，期望此正反器 F F 5 1、F F 5 2 藉由設置於內部邏輯電路之測試掃描匯流排上或邊界掃描測試用之掃描匯流排上，透過掃描匯流排以進行設定。又，藉由將正反器 F F 5 1、F F 5 2 設置於邊界掃描測試用之掃描匯流排上，在系統基板上之設定以及藉由此之 R A M 巨集胞之測試也變成可能。

又，於前述實施例中，雖以 R A M 巨集胞之缺陷救濟或讀取、寫入定時之調整為例做說明，但是本發明也可以適用於 P L L 電路之倍增比之設定或時脈放大器之傳達時脈之定時調整等 R A M 巨集胞以外之電路時脈的性能調整或動作模式之設定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

作為其它應用例之 1，利用圖 2 4 以及圖 2 5 說明對時脈放大器之適用例。

圖 2 4 係簡略化顯示將由外部被供給之時脈信號 C K 分配於被設置在晶片內部之 R A M 或運算單元等之巨集胞之時脈分配系統。在大規模之邏輯 L S I 中，由時脈信號 C K 被輸入之外部端子 I N c k 至接受時脈之供給之巨集胞之類的末端的電路方塊 B L K 1、B L K 2、... 為止之距離比較大，在方塊間，時脈供給匯流排之長度不同之故，會產生時脈失真，由此時脈失真，信號之栓鎖定時偏差，有產生誤動作之虞。因此，在具有與時脈同步而動作之電路方塊的大規模邏輯 L S I 中，在時脈供給匯流排之中途設置有被稱為時脈放大器之緩衝器 C - A M P 1、C - A M P 2 ... 。

圖 2 5 係顯示為了防止此種時脈失真，於時脈放大器適用本發明之情形的實施例之概略。此實施例之時脈放大器 C - A M P 在本來的緩衝放大器 A M P 之前段設置：為了調整輸入時脈 C K 之定時，延遲時間不同之複數的延遲電路 D L Y 1 1、D L Y 1 2、D L Y 1 3、D L Y 1 4 ... ；以及選擇或切換通過這些延遲電路之其一之時脈之選擇器 S E L 1 0；以及保持藉由控制器 2 0'，透過記憶體控制匯流排 3 0' 由熔絲設定電路 1 0' 傳送於時脈放大器 C - A M P 之選擇器 S E L 1 0 之切換控制信號之定時資訊栓鎖電路 L A T 1 0；以及檢查相同由熔絲設定電路 1 0' 傳送於時脈放大器 C - A M P 之 I D（辨識碼）與預

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (38)

先給予自己之 I D 是否一致之 I D 一致檢測電路 C M P 1 0 。

熔絲設定電路 1 0 '或控制器 2 0 '可以設為與於前述實施例中，對應 R A M 巨集胞被設置之熔絲設定電路 1 0 或控制器 2 0 類似之構成，以與於前述實施例說明者同樣之方法，由熔絲設定電路 1 0 '對時脈放大器 C - A M P 傳送選擇器之切換控制資訊與 I D (辨識碼)。時脈放大器 C - A M P 一檢測 I D 一致檢測電路 C M P 1 0 所傳送來之 I D (辨識碼) 與自己的 I D 一致，將那時之記憶體控制匯流排 3 0 '之選擇器切換控制資訊取入定時資訊栓鎖電路 L A T 1 0 而加以保持。藉由此，可以將該時脈放大器 C - A M P 之時脈調整為最適當之定時而輸出。

以上依據實施例具體說明由本發明者所完成之發明，但是本發明並不限定於上述實施例，在不脫離其要旨之範圍，不用說有種種變更可能。例如，代替調整救濟位址或讀出放大器電路之活性化定時等之設定電路內的熔絲元件，也可以使用與構成快閃記憶體之非揮發性記憶元件相同之元件。

在以上之說明中，雖就將由本發明者所完成之發明適用於成為其之背景之利用領域之內藏複數的 R A M 之微處理器之類的 L S I 之情形而說明，但是本發明並不限定於此，也可以利用在製造後，想設定內部電路之性能調整或動作模式之半導體積體電路全部。

於本申請案所揭示之發明之中，如簡單說明由代表性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

者所獲得之效果，則如下述。

即，製造後於半導體積體電路內之各電路方塊可以變更定時調整等之設定，藉由此，可以最大限度發揮各電路方塊之性能，同時，能夠提升產品良率。例如，於內藏複數的記憶體電路之半導體積體電路中，調整記憶體電路之存取定時，提高動作裕度，而且可以更高速存取記憶體電路。又，於內藏複數的記憶體電路之半導體積體電路中，效率良好地救濟記憶體電路之不良位元，能夠謀求產品率之提升。

【圖面之簡單說明】

圖 1 係顯示本發明之概略之方塊圖。

圖 2 係適用本發明之半導體積體電路之概略構成圖。

圖 3 係構成設定電路之移位寄存器之方塊圖。

圖 4 係構成設定電路之熔絲組之構成圖。

圖 5 係構成具有圖 3 之移位寄存器機能之設定電路的熔絲內藏之正反器之具體例。

圖 6 係圖 5 之熔絲內藏之正反器的動作定時圖。

圖 7 係記憶體診斷控制器之串列－並列轉換電路與 R A M 測試用之模式寄存器的具體例。

圖 8 係記憶體診斷控制器的方塊圖。

圖 9 係顯示記憶體診斷控制器內之測試模式信號的解碼電路例之電路構成圖。

圖 1 0 係記憶體控制器匯流排的傳送定時圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

圖 1 1 係顯示 R A M 巨集胞之一例之方塊圖。

圖 1 2 係顯示宏觀一致檢測電路之一例之方塊圖。

圖 1 3 係顯示測試模式解碼器之一例之方塊圖。

圖 1 4 係顯示救濟位址接收栓鎖電路之一例的電路構成圖。

圖 1 5 係顯示定時資訊接收栓鎖電路之一例之電路構成圖。

圖 1 6 係顯示 R A M 核心單元之一例的電路構成圖。

圖 1 7 係顯示脈衝產生電路之一例之電路構成圖。

圖 1 8 係本實施例之資料位元移位式冗餘救濟方式的動作說明圖。

圖 1 9 係 R A M 核心單元內之定時圖。

圖 2 0 係本實施例之 L S I 之動作順序。

圖 2 1 係記憶體控制匯流排之傳送定時圖。

圖 2 2 係設置 T A P 控制器之半導體積體電路之概略構成圖。

圖 2 3 係於圖 2 2 中，進而設置正反器電路之半導體積體電路之概略構成圖。

圖 2 4 係顯示將由外部被供給之時脈信號分配於被設置在晶片內部之電路方塊之分配系統之概略構成圖。

圖 2 5 係顯示於時脈放大器適用本發明之情形的實施例之方塊圖。

【標號之說明】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

- 1 0 : 設 定 電 路
- 2 0 : 記 憶 體 診 斷 控 制 器
- 3 0 : 記 憶 體 控 制 匯 流 排
- 4 0 : 記 憶 體 測 試 電 路
- 5 0 : T A P 控 制 器
- F i : 熔 絲
- F S : 熔 絲 組
- M C L 1 ~ M C L n : R A M 巨 集 胞
- 1 1 0 : R A M 核 心
- 1 1 1 : 記 憶 體 陣 列
- 1 2 1 : 救 濟 位 址 接 收 栓 鎖 電 路
- 1 2 2 : 定 時 資 訊 接 收 栓 鎖 電 路
- 1 3 0 : 巨 集 胞 I D 一 致 檢 測 電 路
- 1 7 0 : 選 擇 器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 半導體積體電路)

於內藏複數的記憶體之半導體積體電路中，效率良好地救濟記憶體的不良位元，可以謀求產品率之提升。設置：具有被輸入之辨識碼是否與自己的辨識碼一致之辨識碼一致檢測電路以及接收資料栓鎖電路，進行對應栓鎖之資料的動作而被構成之複數的電路方塊（RAM巨集胞）；以及可以設定上述辨識碼與對應該辨識碼之資訊，可以串列輸出被設定之資訊之設定電路（10）；以及由該設定電路依序讀出設定資訊，轉換為並列資料，可以傳送於上述複數的電路方塊之控制電路（20），上述複數的電路方塊將個別之辨識碼一致檢測電路判定被輸入之辨識碼與自己的辨識碼為一致時被傳送來之上述設定資訊取入上述接收資料栓鎖電路而加以保持地構成。

英文發明摘要(發明之名稱: Semiconductor intergrated circuit)

A semiconductor integrated circuit can efficiently repair a defective bit in a memory and comprises a plurality of circuit blocks (RAM macro cells) each having an identification code coincidence detecting circuit for determining whether an input identification code coincides with a self identification code and a reception data latch and performing an operation according to latched data; a setting circuit capable of setting the identification code and information corresponding to the identification code and serially outputting the set information; and a control circuit capable of sequentially reading the set information from the setting circuit, converting the set information to parallel data, and transferring the parallel data to the plurality of circuit blocks. Each of the plurality of circuit blocks captures and holds the set information transferred when the identification code coincidence detecting circuit determines that the input identification code and the self identification code coincide.

六、申請專利範圍 1

1.一種半導體積體電路，其特徵係具備

擁有判定輸入之識別碼是否與自己的識別碼一致的檢出電路及門鎖電路，前述門鎖電路進行對應門鎖之資料的動作所構成複數之記憶體電路，

和可設定上述識別碼和對應於上述識別碼之資訊，將被設定之設定資訊，串列地加以輸出的設定電路。

2.如申請專利範圍第1項之半導體積體電路，其中，上述設定電路乃並列讀取自外部之可程式之複數程式元件和各程式元件之狀態，經由串列地加以傳送的偏移暫存器而構成者。

3.如申請專利範圍第2項之半導體積體電路，其中，上述偏移暫存器乃根據偏移用時脈信號，進行偏移動作者。

4.如申請專利範圍第1項之半導體積體電路，其中，具備，可將自外部之資訊輸入之端子，將自上述端子輸入之資訊或設定於上述設定電路之資訊的任一者，傳送至在於上述複數之記憶體電路的門鎖電路地加以構成者。

5.如申請專利範圍第1項之半導體積體電路，其中，上述複數之記憶體電路乃具備將具有缺陷之記憶格置換為預備之記憶格的冗長電路。

6.如申請專利範圍第1項之半導體積體電路，其中，上述複數之記憶體電路乃具備可調整供予所定之電路之動作時間的信號時間的時間調整手段，上述門鎖電路乃置入上述時間調整之時間資訊加以保持者。

7.如申請專利範圍第1項之半導體積體電路，其中，具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍²

有為測試上述複數之記憶體電路而動作之測試控制電路，上述複數之記憶體電路乃接受自上述測試控制電路之控制信號而動作，可輸出測試動作結果地加以構成者。

8.一種半導體積體電路，其特徵係具備

擁有判定輸入之第1識別碼是否與自己的識別碼一致的檢出電路及門鎖電路，前述門鎖電路進行對應門鎖之資料的動作所構成複數之記憶體電路，

和可設定上述第1識別碼和對應於上述第1識別碼之資訊，將被設定之設定資訊，串列地加以輸出的設定電路；

上述複數之記憶體電路乃將具有缺陷之記憶格與預備之記憶格置換的冗長電路，和上述門鎖電路乃置入對應顯示具有上述缺陷之記憶格之第2識別碼的上述第2識別碼的資訊，根據該資訊，置換具有上述缺陷之記憶格和上述預備之記憶格者。

9.如申請專利範圍第8項之半導體積體電路，其中，上述設定電路乃並列讀取自外部之可程式之複數程式元件和各程式元件之狀態，經由串列地加以傳送的偏移暫存器而構成者。

10.如申請專利範圍第9項之半導體積體電路，其中，上述偏移暫存器乃根據偏移用時脈信號，進行偏移動作者。

11.如申請專利範圍第8項之半導體積體電路，其中，具備，可將自外部之資訊輸入之端子，將自上述端子輸入之資訊或設定於上述設定電路之資訊的任一者，傳送至於上述複數之記憶體電路的上述門鎖電路地加以構成者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍³

12.如申請專利範圍第8項之半導體積體電路，其中，上述複數之記憶體電路乃具備可調整供予所定之電路之動作時間的信號時間的時間調整手段，上述門鎖電路乃置入上述時間調整之時間資訊加以保持者。

13.如申請專利範圍第8項之半導體積體電路，其中，具有為測試上述複數之記憶體電路而動作之測試控制電路，上述複數之記憶體電路乃接受自上述測試控制電路之控制信號而動作，可輸出測試動作結果地加以構成者。

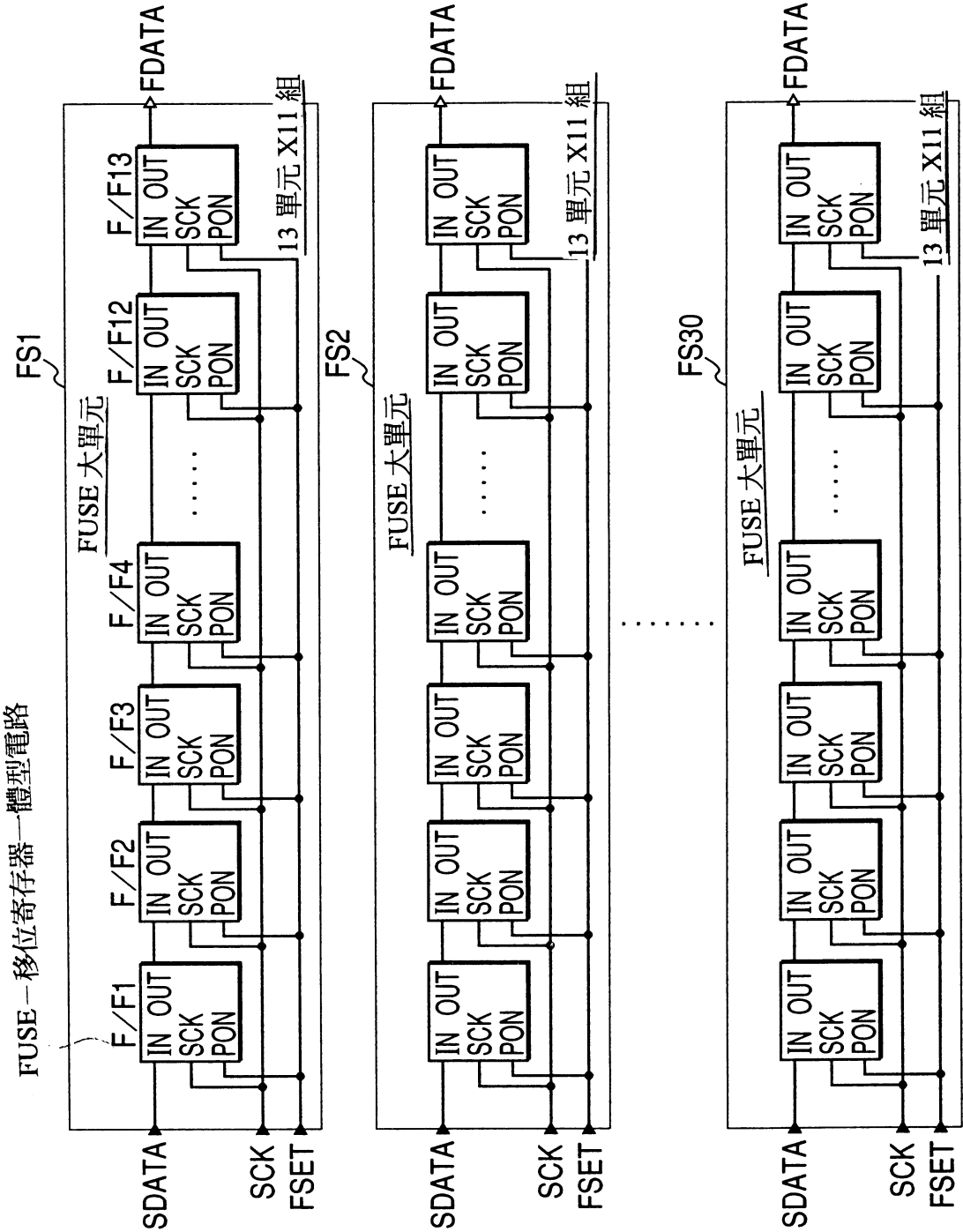
(請先閱讀背面之注意事項再填寫本頁)

裝

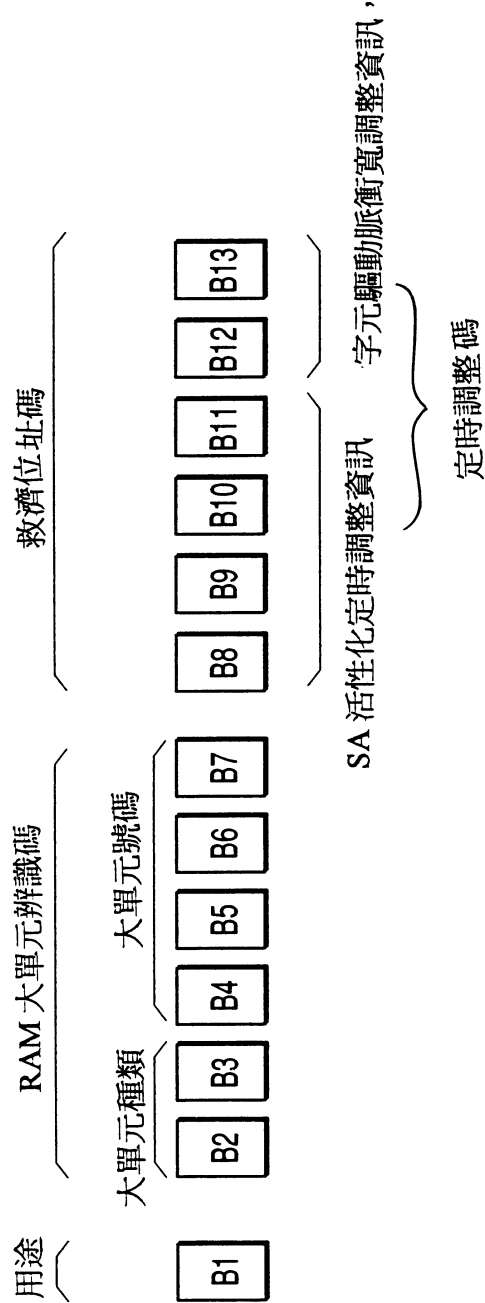
訂

線

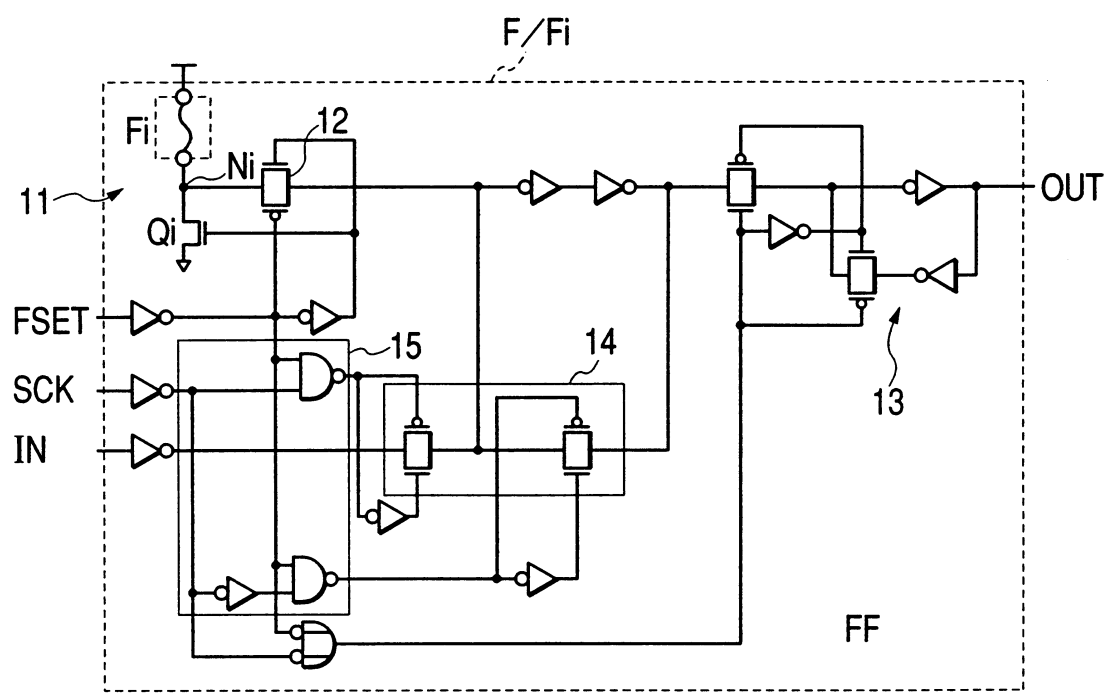
第 3 圖



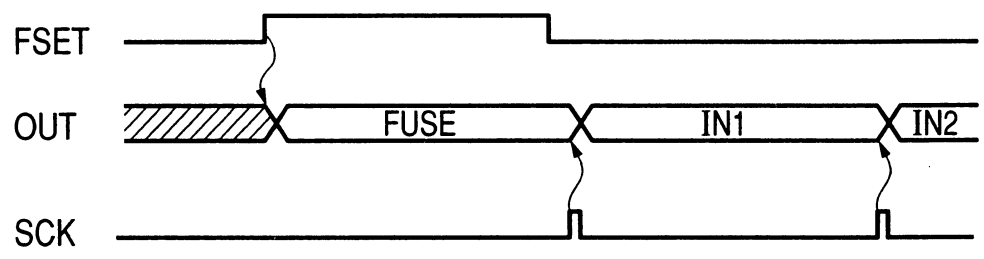
第 4 圖



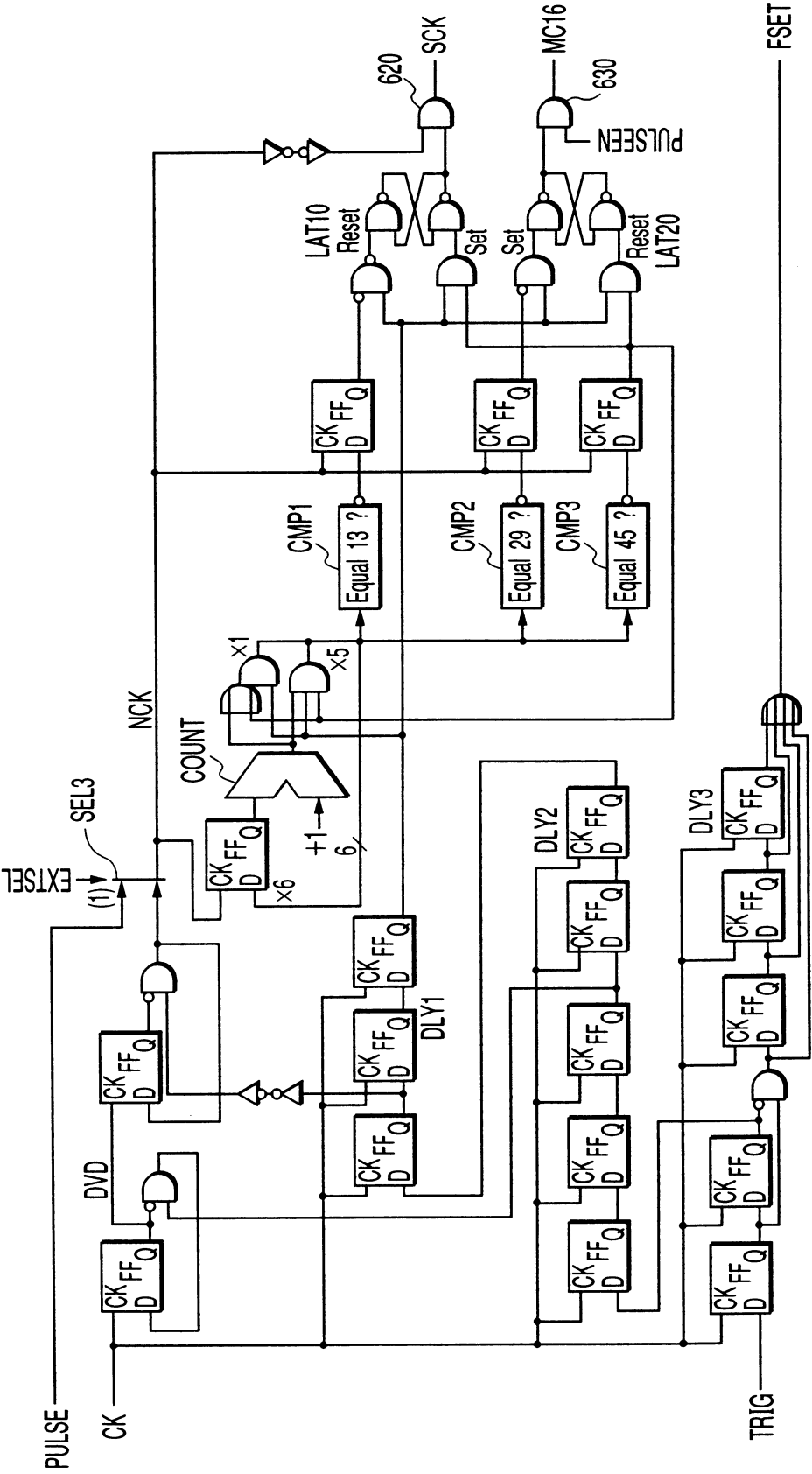
第 5 圖



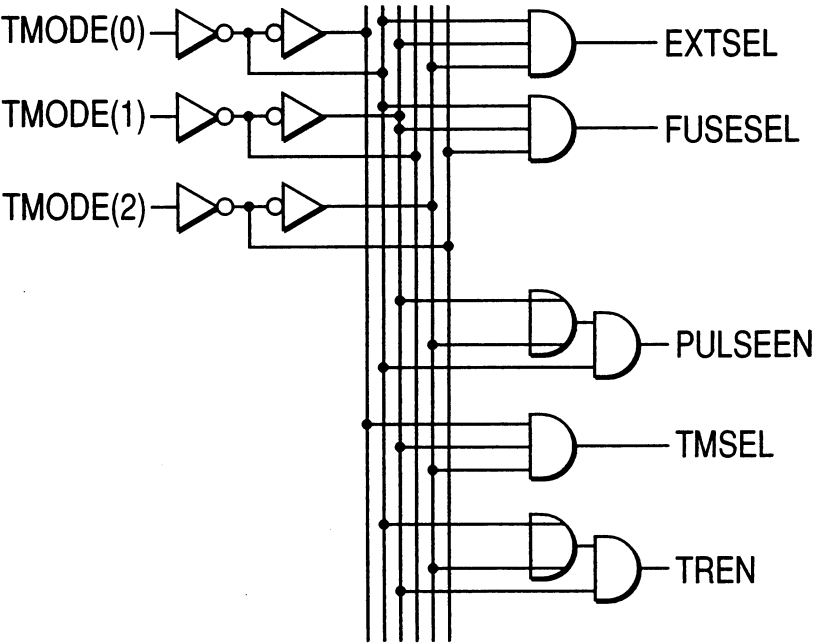
第 6 圖



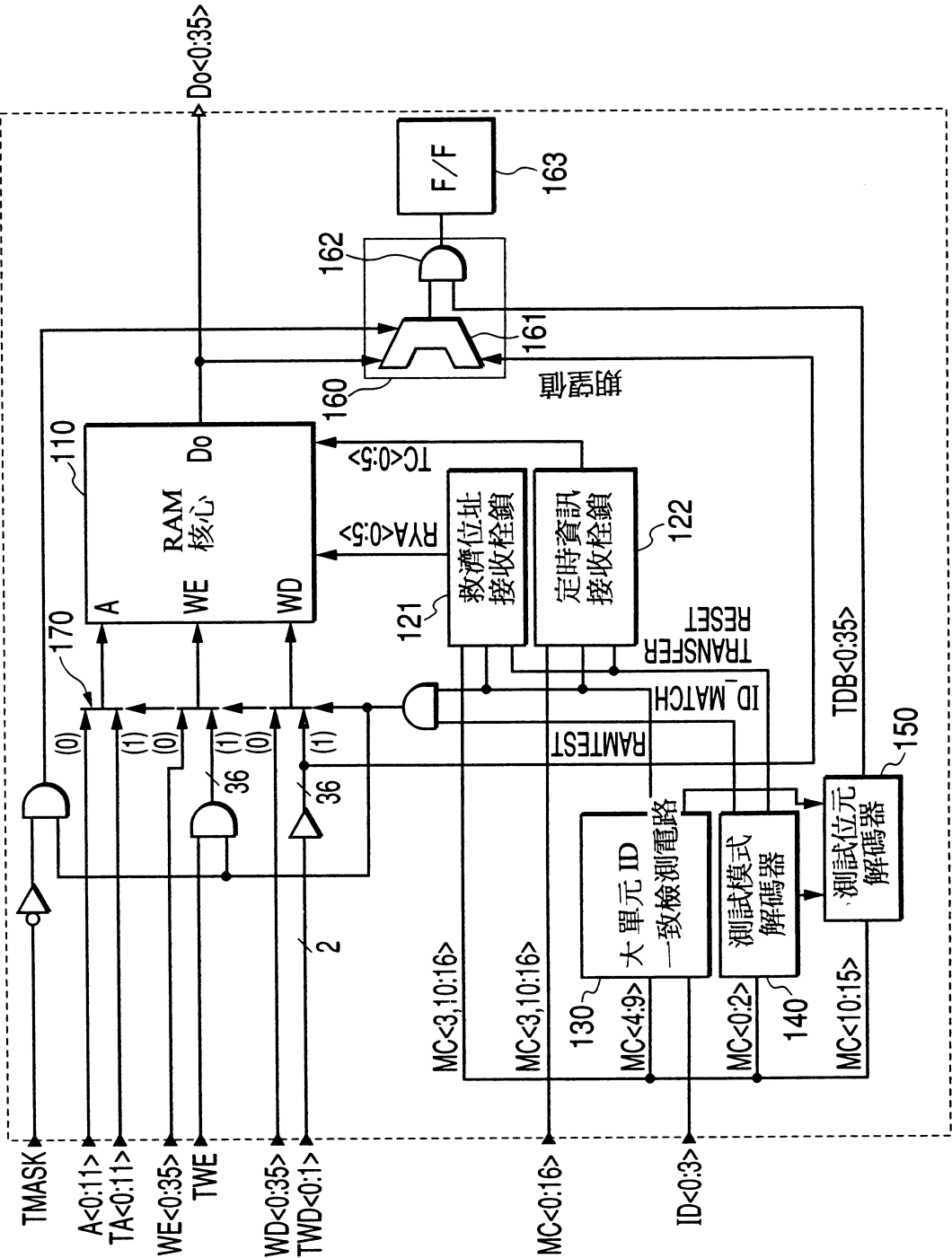
第 8 圖



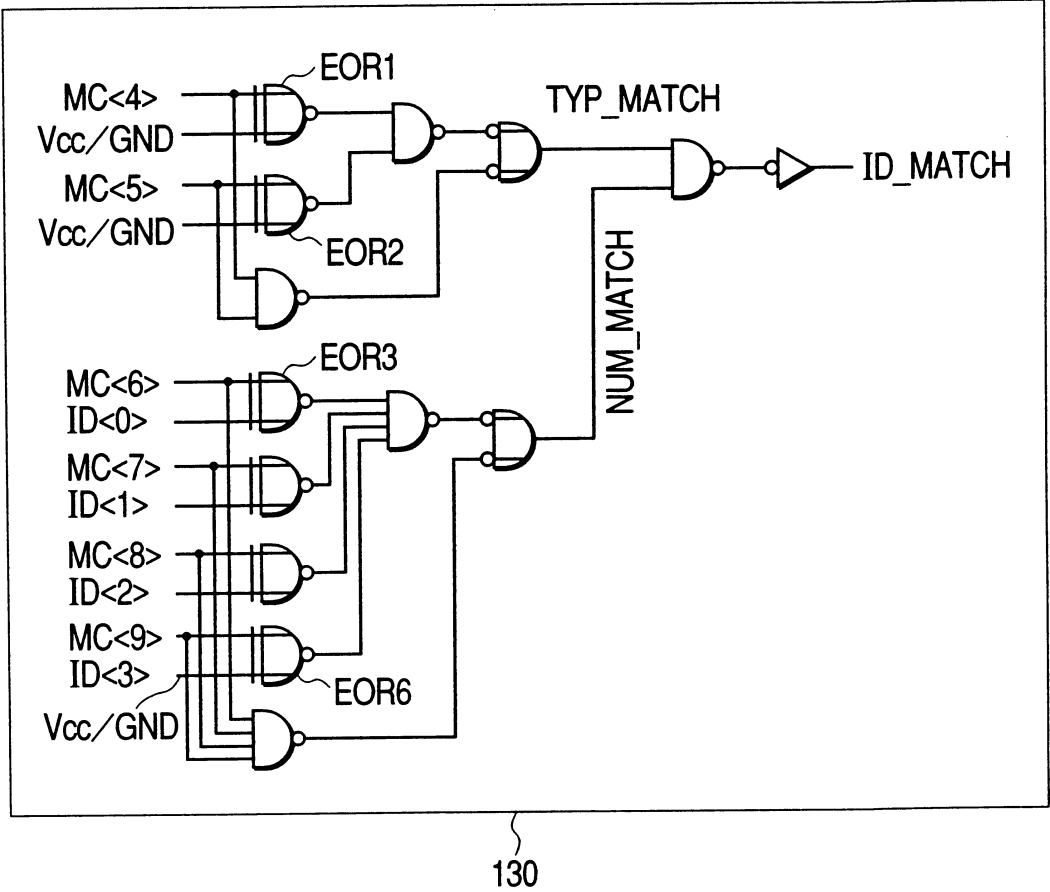
第 9 圖



第 11 圖

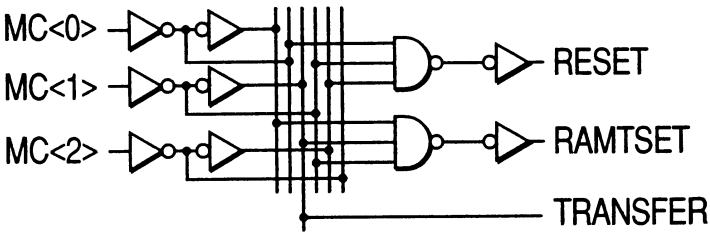


第 12 圖

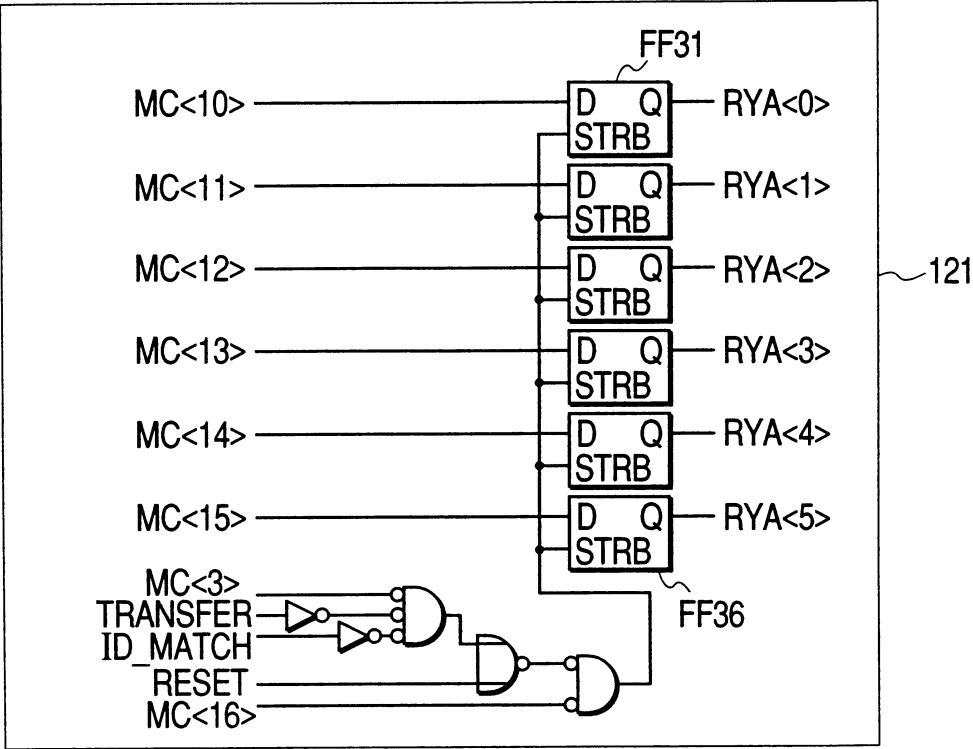


130

第 13 圖



第 14 圖



第 15 圖

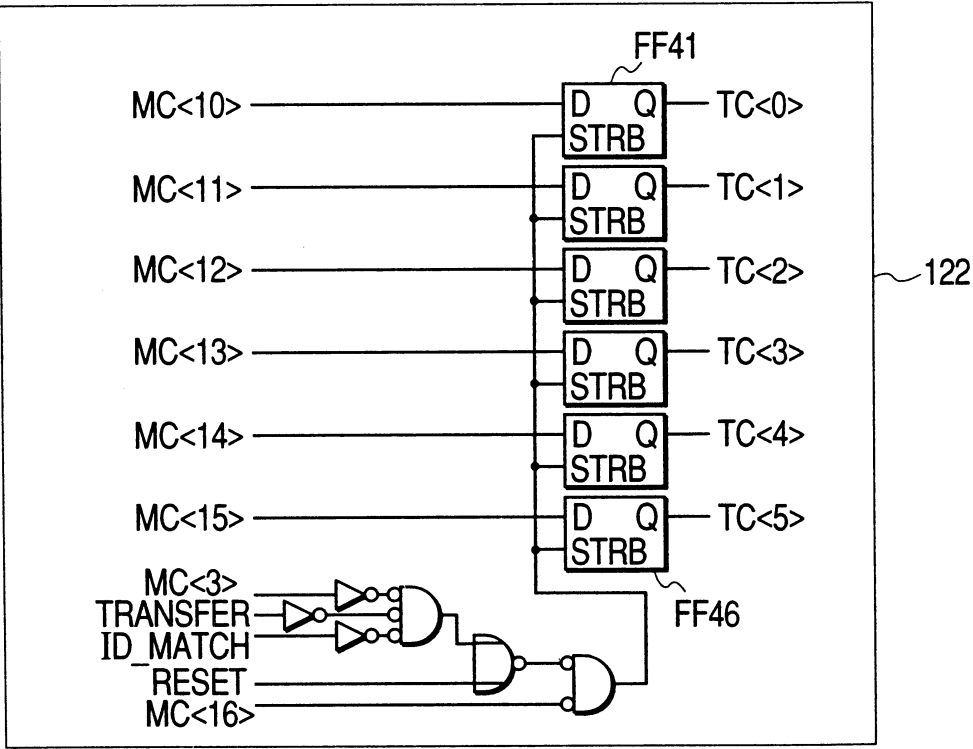
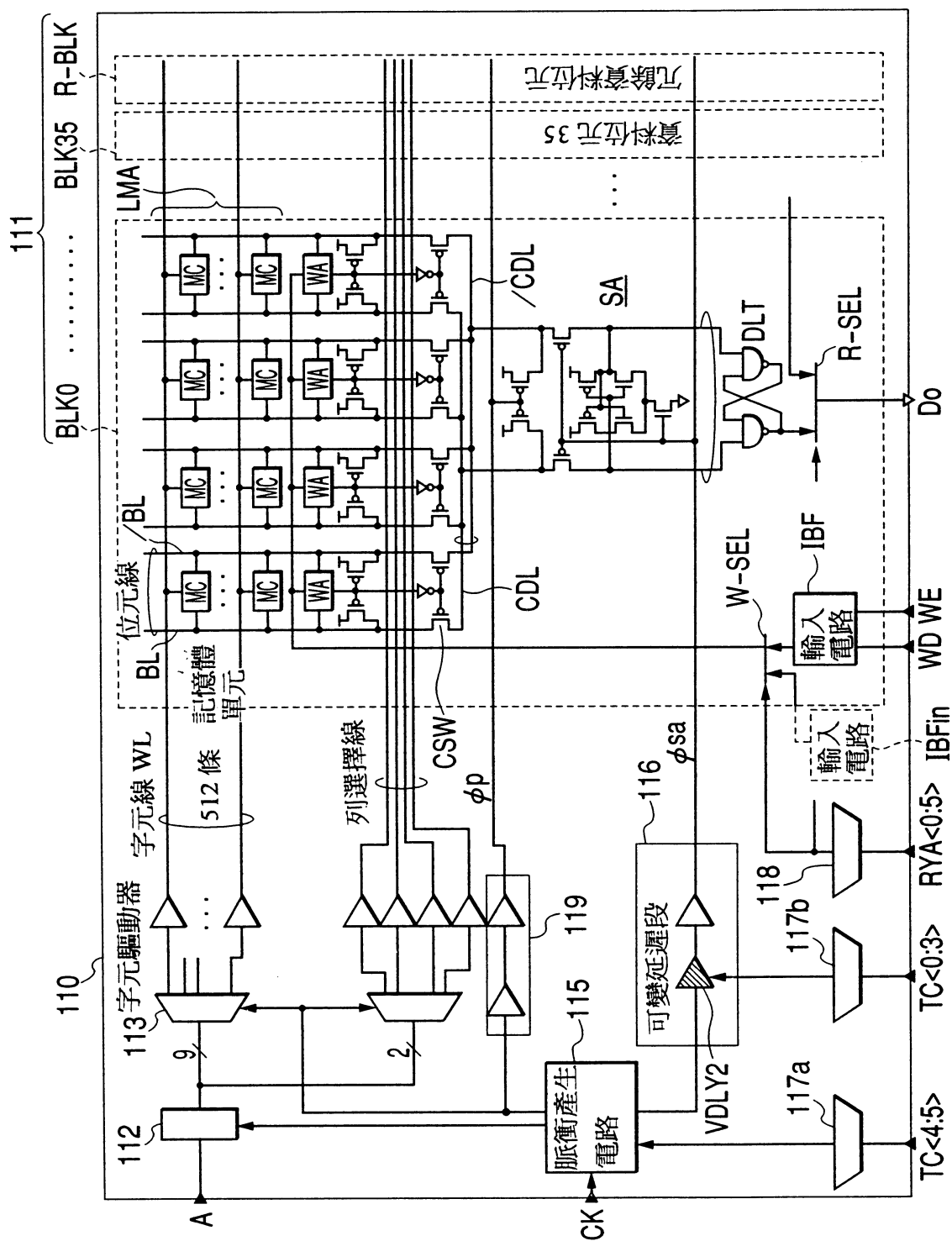


圖 16 第



第 17 圖

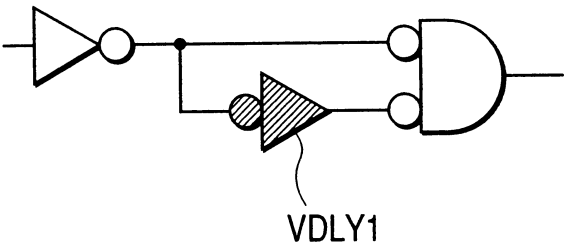
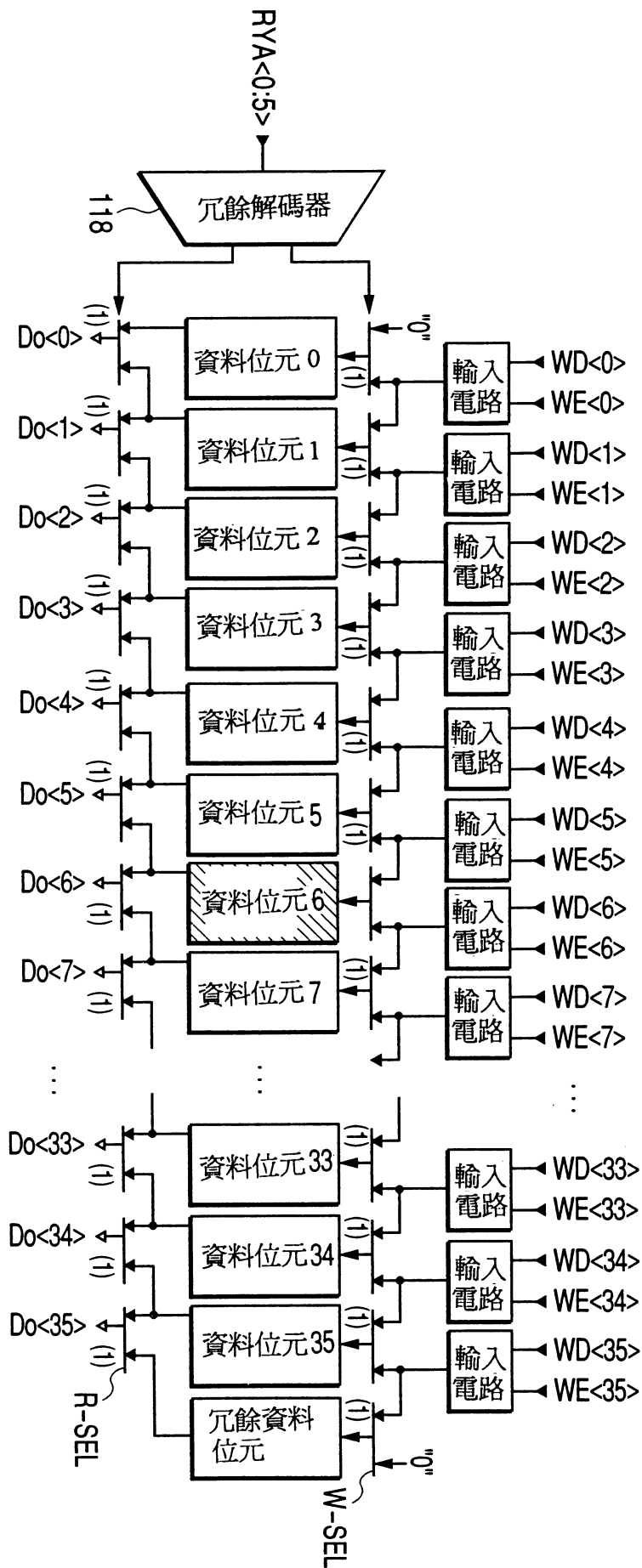
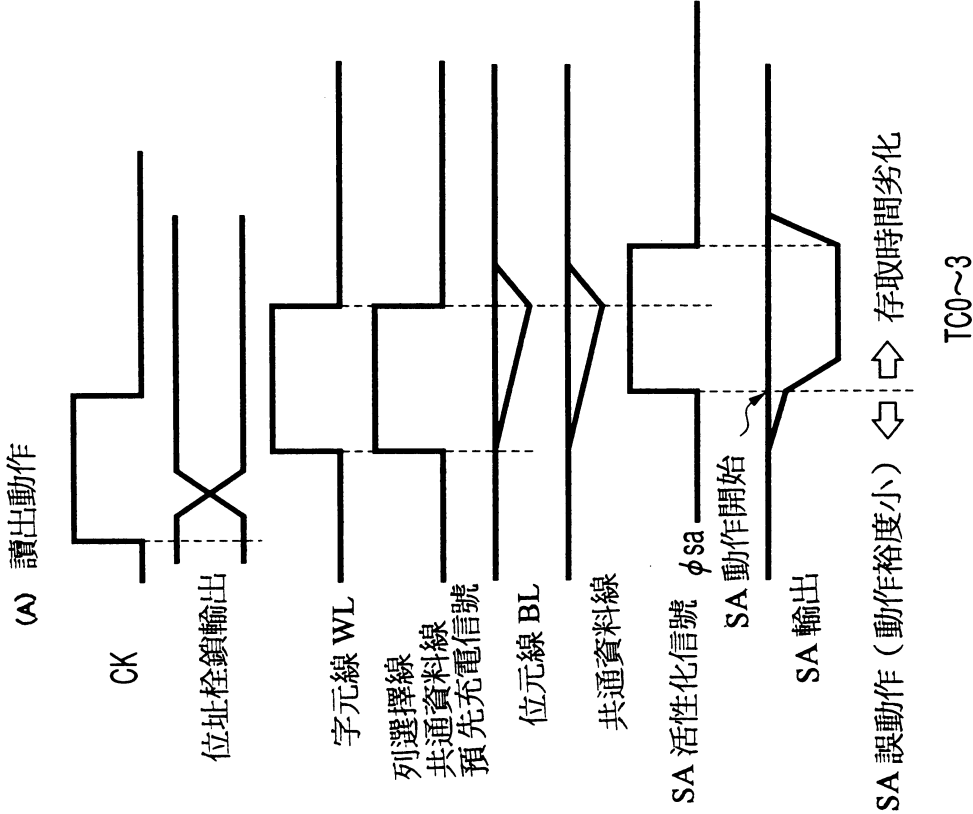


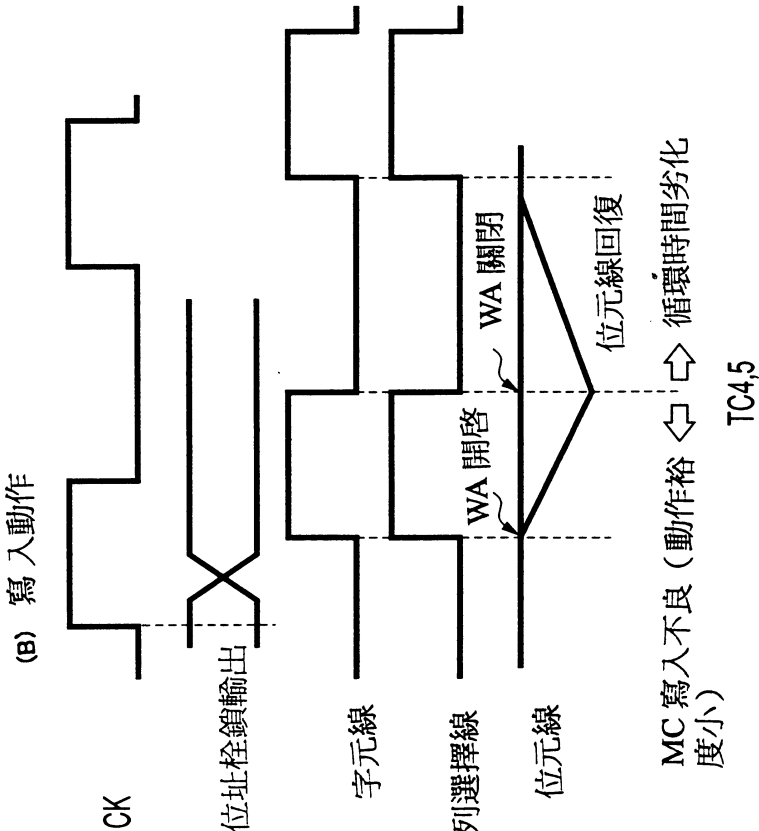
圖 18 第



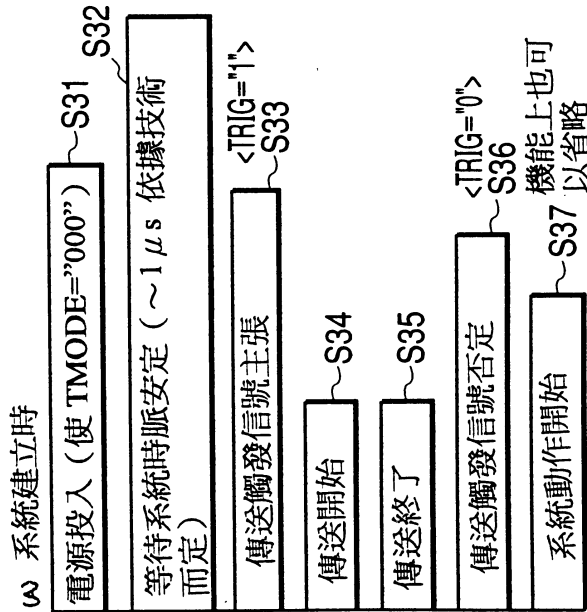
第 19 A 圖



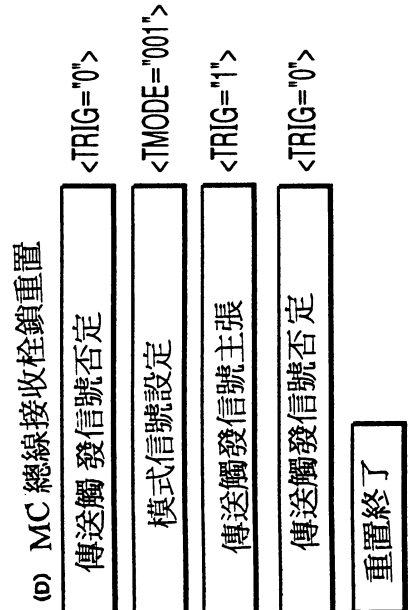
第 19B 圖



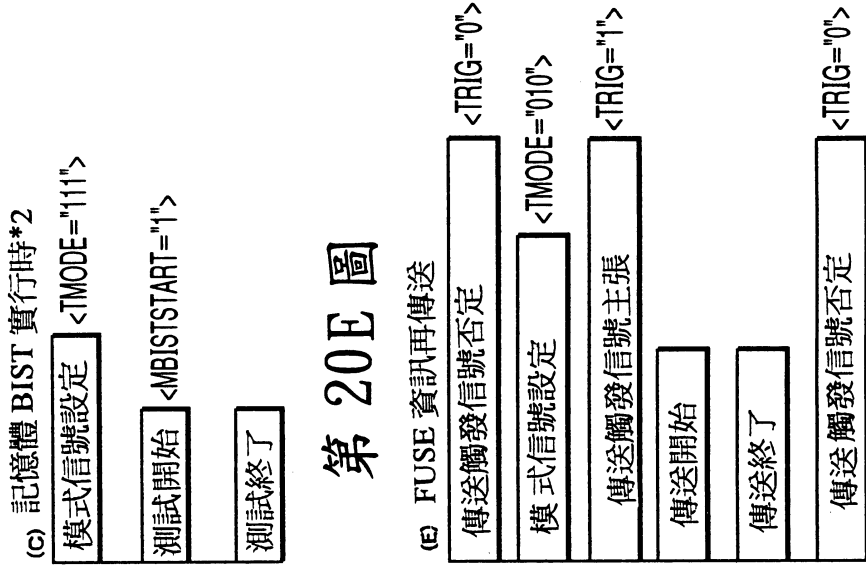
第 20A 圖



第 20D 圖

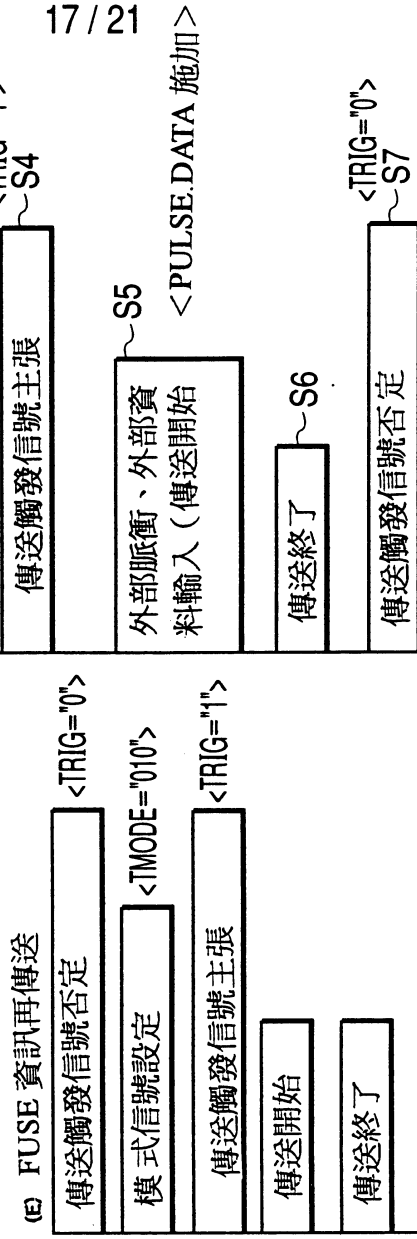


第 20C 圖

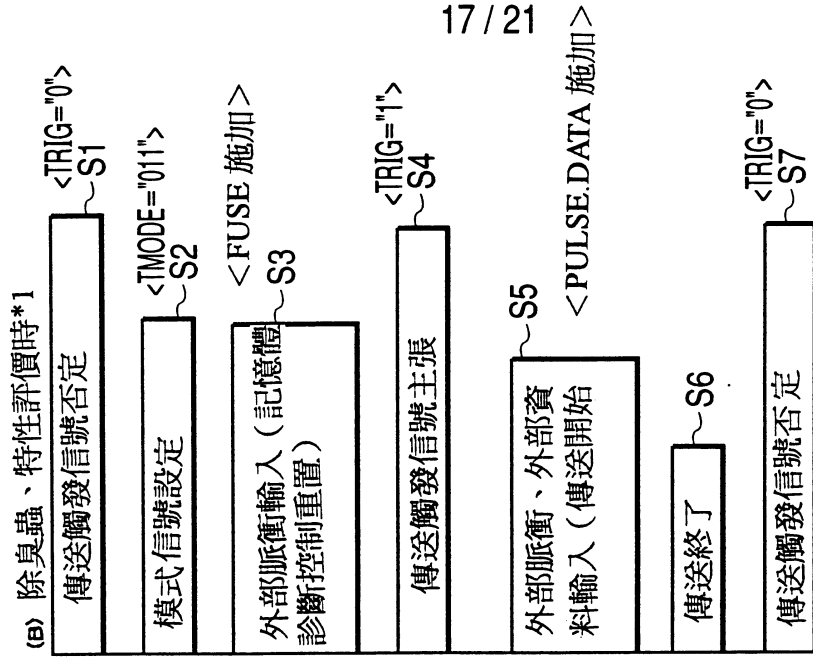


< > 內係使用者選項

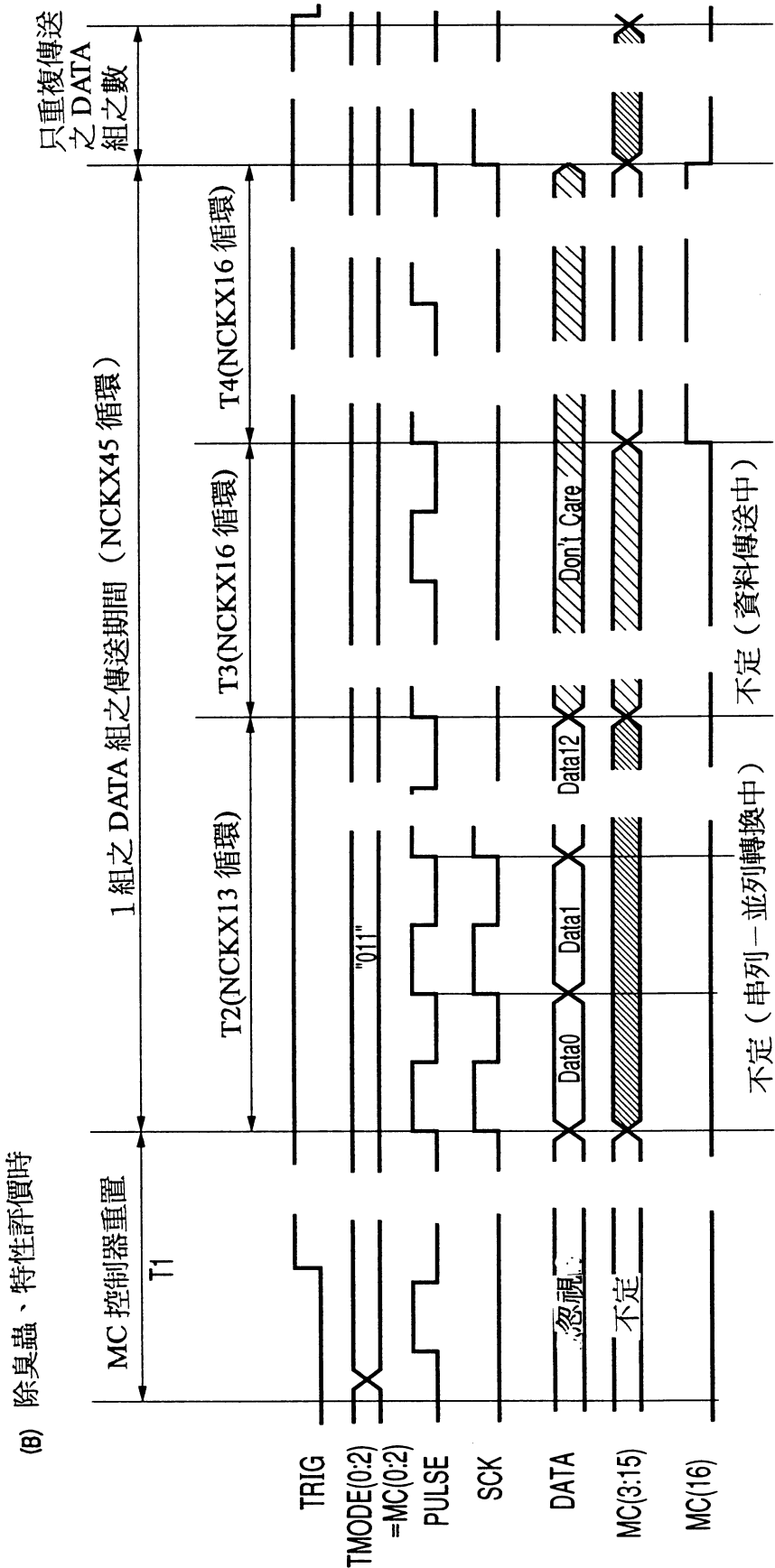
第 20E 圖



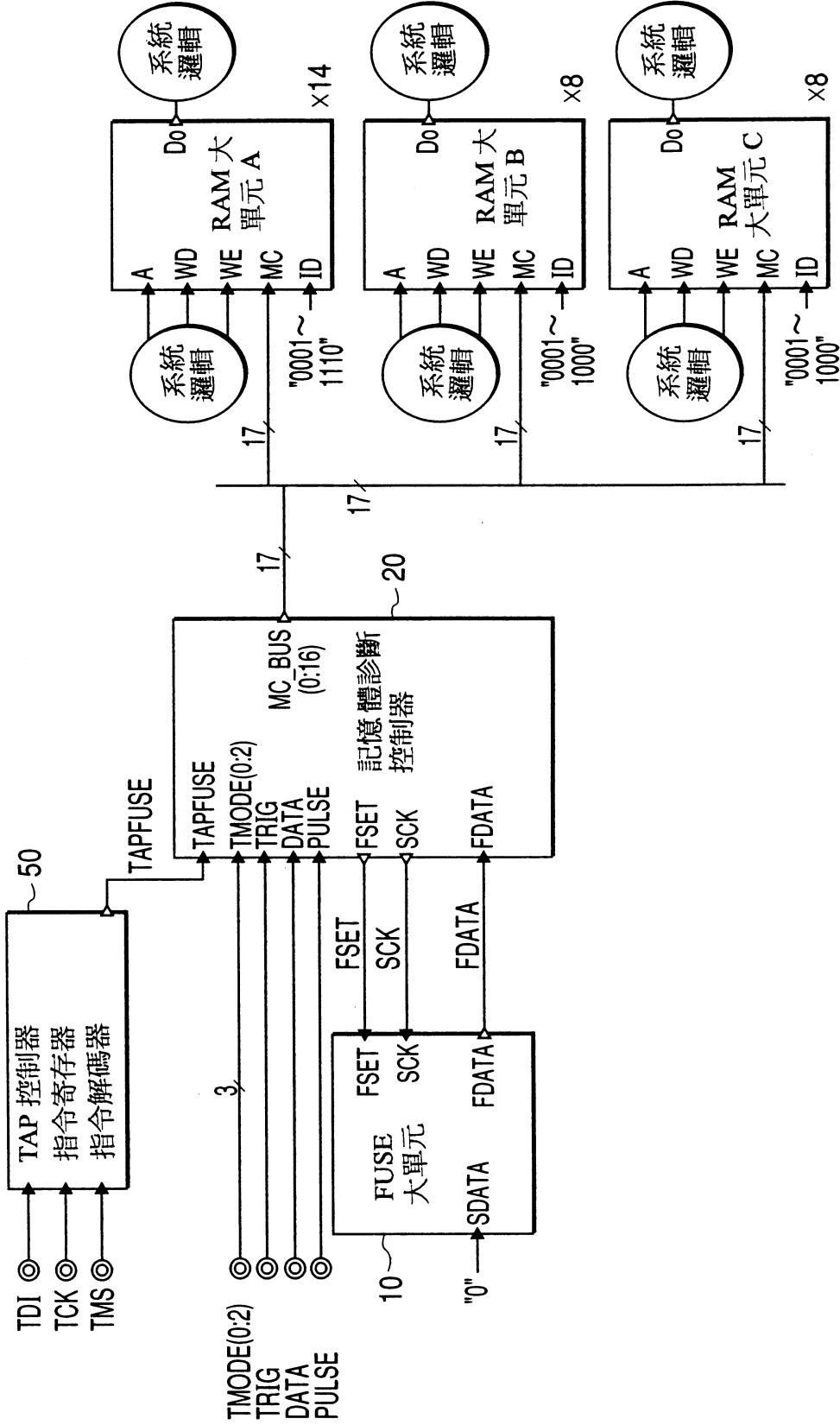
第 20B 圖



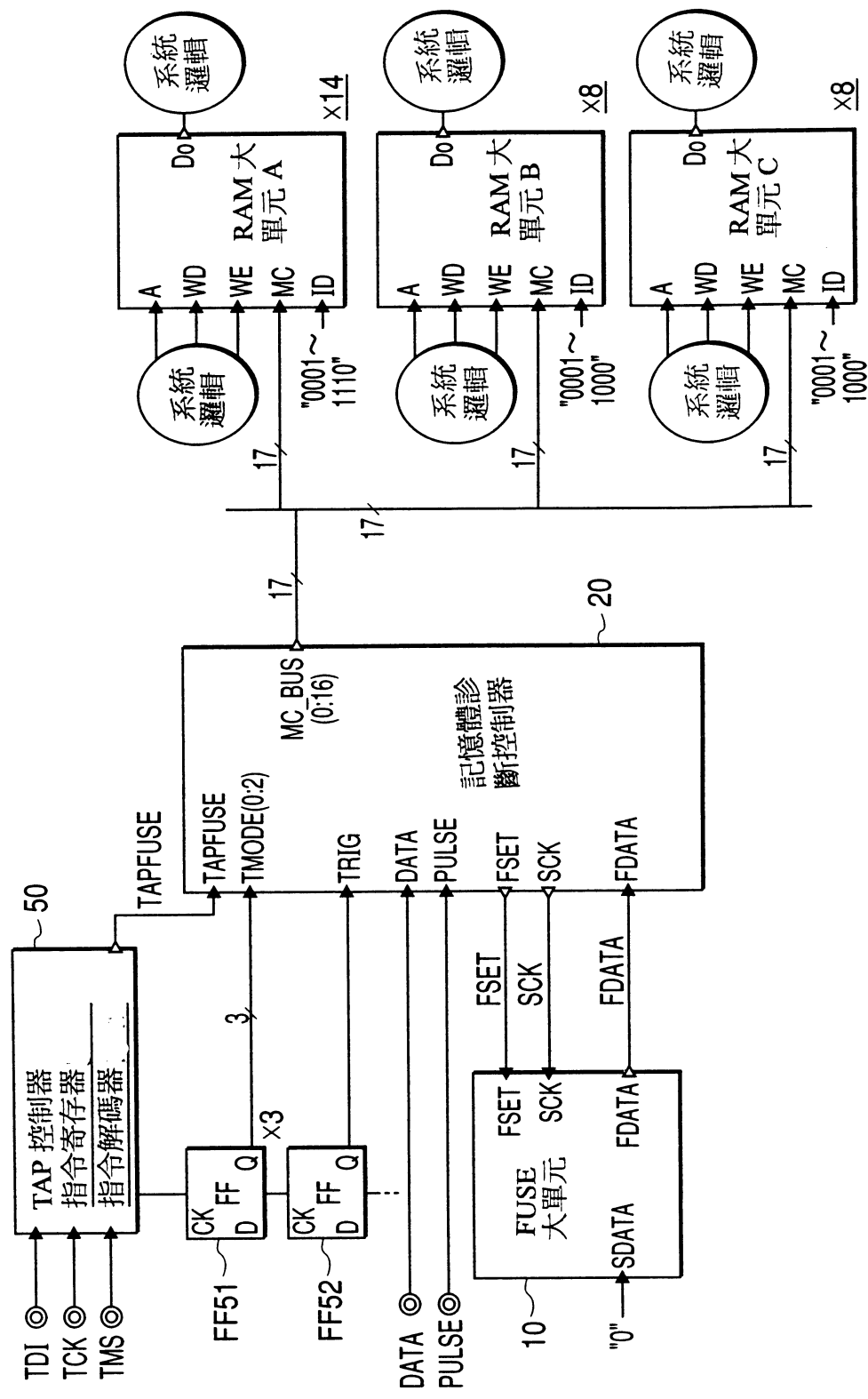
第 21 圖



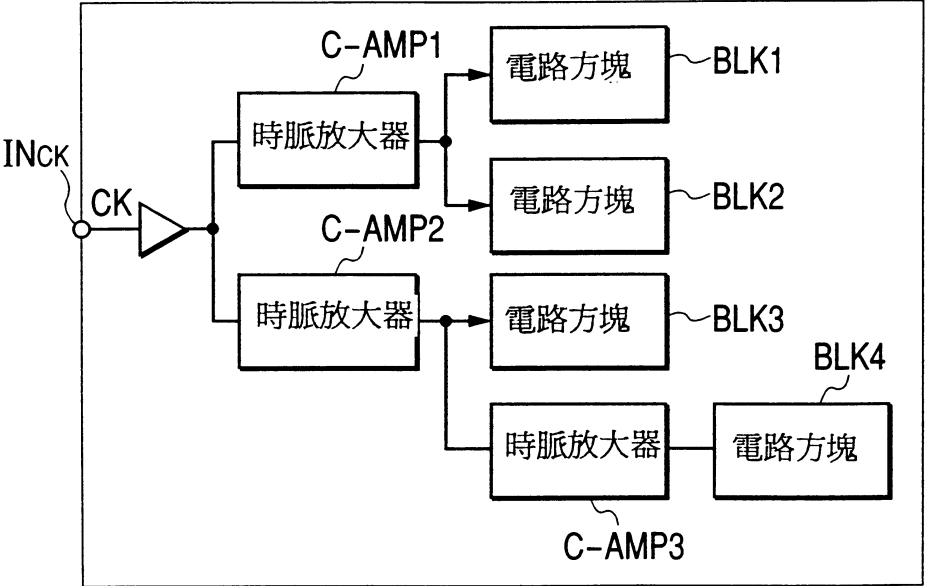
第 22 圖



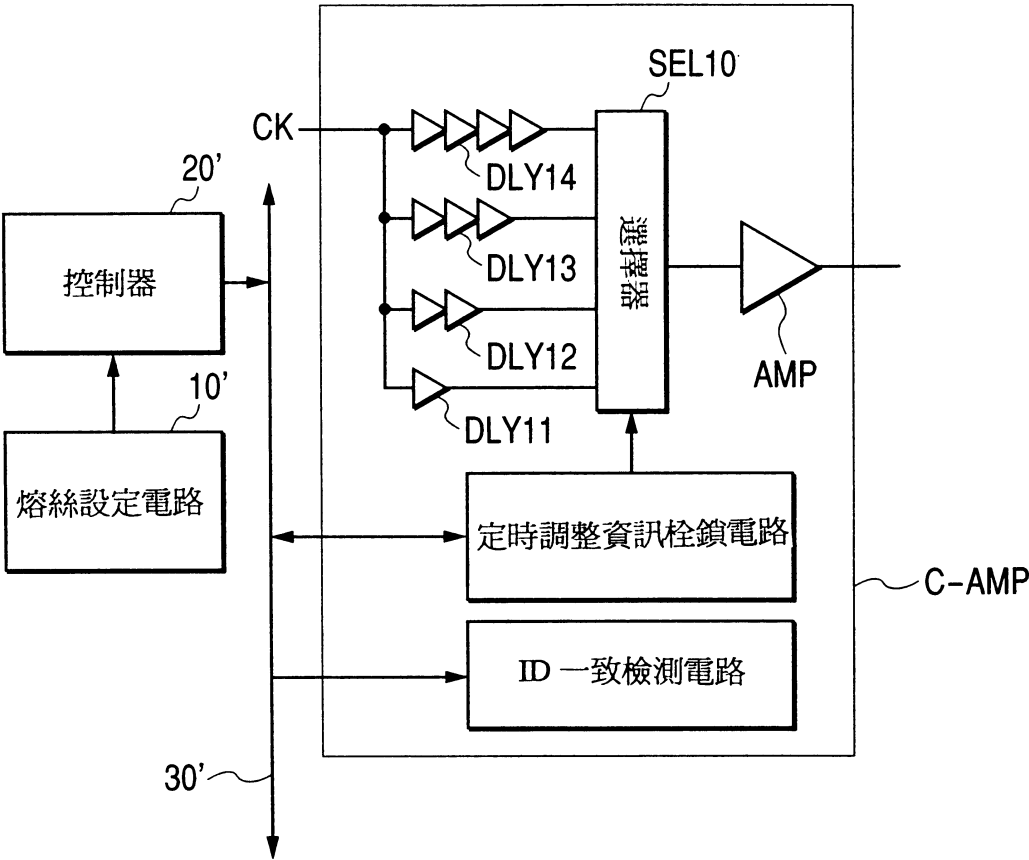
第 23 圖



第 24 圖



第 25 圖



申請日期	90 年 6 月 14 日
案 號	90114476
類 別	G11C 29/00, G06F 11/6

93年3月11日
修正本

A4
C4

(以上各欄由本局填註)

594773

發明專利說明書

一、發明 名稱	中 文	半導體積體電路
	英 文	Semiconductor integrated circuit
二、發明 人	姓 名	(1) 中原茂 (2) 林秀樹 (3) 鈴木武史
	國 籍	(1) 日本國東京都千代田區丸之內一丁目五番一號新九大樓日立製作所(股)知的所有權本部內
	住、居所	(2) 日本國東京都小平市上水本町五丁目二二番一號日立超愛爾·愛斯·愛·系統股份有限公司 (3) 日本國東京都千代田區丸之內一丁目五番一號新九大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾·愛斯·愛·系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二二番一號
	代 表 人 姓 名	(1) 庄山悅彦 (2) 鈴木仁一郎

裝

訂

線