



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0015420
(43) 공개일자 2015년02월10일

- (51) 국제특허분류(Int. Cl.)
H02M 1/08 (2006.01) *H02M 3/155* (2006.01)
H01L 31/04 (2014.01)
 (21) 출원번호 10-2014-0098094
 (22) 출원일자 2014년07월31일
 심사청구일자 없음
 (30) 우선권주장
 JP-P-2013-159082 2013년07월31일 일본(JP)
 JP-P-2014-051689 2014년03월14일 일본(JP)

- (71) 출원인
 가부시카이가이사 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 교야마 준
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시카이가이사 한도오따이 에네루기 켄큐쇼 내
 다카하시 케이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시카이가이사 한도오따이 에네루기 켄큐쇼 내
 오마르 타쿠로
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시카이가이사 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장훈

전체 청구항 수 : 총 12 항

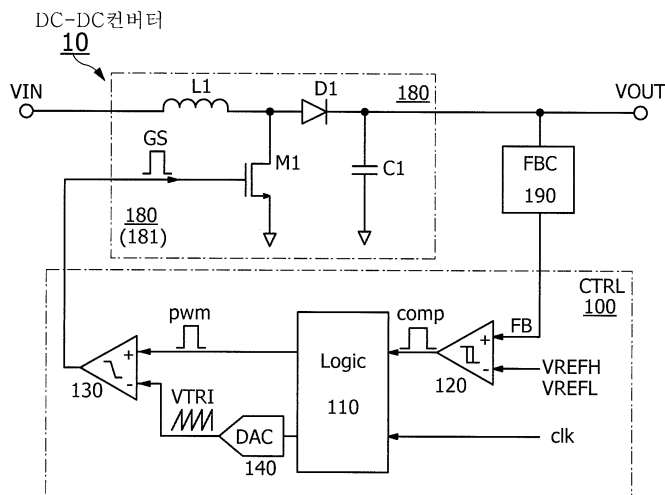
(54) 발명의 명칭 제어 회로 및 DC-DC컨버터

(57) 요약

본 발명은 단일 도전형을 갖는 트랜지스터로 제작할 수 있는 DC-DC컨버터의 제어 회로를 제공한다.

제어 회로는 펄스 신호(GS)를 생성하는 회로이고, 히스테리시스 콤파레이터, 로직부, 디지털-아날로그 변환 회로, 및 콤파레이터를 갖는다. 히스테리시스 콤파레이터는 DC-DC컨버터의 출력 전압에 대응하는 신호(FB)를 디지털 신호(comp)로 변환한다. 로직부는 신호(comp)에 따라 신호(GS)의 펄스폭을 결정하는 펄스폭 변조 신호(pwm)를 생성한다. 또한, 기준 클럭 신호를 분할하여 m비트(m은 2 이상)의 제 2 디지털 신호를 생성한다. 디지털-아날로그 변환 회로는 m비트의 제 2 디지털 신호를 아날로그 신호로 변환하여 2^m 계조의 삼각파 신호를 생성한다. 콤파레이터는 신호(pwm)와 삼각파 신호를 비교한 결과를 신호(GS)로서 출력한다.

대표도 - 도3



특허청구의 범위

청구항 1

제어 회로에 있어서,
아날로그-디지털 변환 회로와;
상기 아날로그-디지털 변환 회로와 전기적으로 접속되는 로직부와;
상기 로직부와 전기적으로 접속되는 디지털-아날로그 변환 회로와;
상기 디지털-아날로그 변환 회로와 전기적으로 접속되는 콤퍼레이터를 포함하고,
상기 아날로그-디지털 변환 회로는 입력 신호의 전압에 따른 제 1 디지털 신호를 생성하고,
상기 로직부는 상기 제 1 디지털 신호에 따라 펄스폭 변조 신호를 생성하고,
상기 펄스폭 변조 신호는 펄스 신호의 펄스폭을 결정하고,
상기 로직부는 입력되는 기준 클럭 신호를 분할하여 m비트의 제 2 디지털 신호를 생성하고,
상기 디지털-아날로그 변환 회로는 상기 m비트의 제 2 디지털 신호를 아날로그 신호로 변환하여 2^m 계조의 삼각파 신호를 생성하고,
m은 2 이상이고,
상기 콤퍼레이터는 상기 펄스폭 변조 신호와 상기 2^m 계조의 삼각파 신호를 비교한 결과를 상기 펄스 신호로서 출력하는, 제어 회로.

청구항 2

제 1 항에 있어서,
상기 아날로그-디지털 변환 회로는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, 제어 회로.

청구항 3

제 1 항에 있어서,
상기 로직부는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, 제어 회로.

청구항 4

제 1 항에 있어서,
상기 디지털-아날로그 변환 회로는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, 제어 회로.

청구항 5

제 1 항에 있어서,
상기 콤퍼레이터는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, 제어 회로.

청구항 6

DC-DC컨버터에 있어서,
제 1 전압이 입력되는 입력 단자와, 제 2 전압이 출력되는 출력 단자와, 트랜지스터를 포함하는 전압 변환 회로와;

상기 전압 변환 회로와 전기적으로 접속되는 귀환 회로와;

상기 귀환 회로와 전기적으로 접속되는 아날로그-디지털 변환 회로와, 상기 아날로그-디지털 변환 회로와 전기적으로 접속되는 로직부와, 상기 로직부와 전기적으로 접속되는 디지털-아날로그 변환 회로와, 상기 디지털-아날로그 변환 회로 및 상기 트랜지스터와 전기적으로 접속되는 콤퍼레이터를 포함하는 제어 회로를 포함하고,

상기 귀환 회로는 상기 출력 단자의 전압 변화를 감시하고, 상기 출력 단자의 전압 변화에 따라 피드백 신호를 생성하고,

상기 아날로그-디지털 변환 회로는 상기 피드백 신호의 전압에 따라 제 1 디지털 신호를 생성하고,

상기 로직부는 상기 제 1 디지털 신호에 따라 펄스폭 변조 신호를 생성하고,

상기 펄스폭 변조 신호는 펄스 신호의 펄스폭을 결정하고,

상기 로직부는 입력되는 기준 클럭 신호를 분할하여 m비트의 제 2 디지털 신호를 생성하고,

상기 디지털-아날로그 변환 회로는 상기 m비트의 제 2 디지털 신호를 아날로그 신호로 변환하여 2^m 계조의 삼각파 신호를 생성하고,

상기 콤퍼레이터는 상기 펄스폭 변조 신호와 상기 2^m 계조의 삼각파 신호를 비교한 결과를 상기 펄스 신호로서 출력하고,

m은 2 이상이고,

상기 펄스 신호는 상기 트랜지스터의 온/오프를 제어하는, DC-DC컨버터.

청구항 7

제 6 항에 있어서,

상기 아날로그-디지털 변환 회로는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, DC-DC컨버터.

청구항 8

제 6 항에 있어서,

상기 로직부는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, DC-DC컨버터.

청구항 9

제 6 항에 있어서,

상기 디지털-아날로그 변환 회로는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, DC-DC컨버터.

청구항 10

제 6 항에 있어서,

상기 콤퍼레이터는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, DC-DC컨버터.

청구항 11

제 1 전압을 제 2 전압으로 변환하는 DC-DC컨버터에 있어서, 상기 DC-DC컨버터는,

상기 제 1 전압이 입력되는 입력 단자와, 상기 제 2 전압이 출력되는 출력 단자와, 트랜지스터를 포함하는 전압 변환 회로와;

귀환 회로와;

콤퍼레이터와, 버퍼 회로를 포함하는 제어 회로를 포함하고,

상기 귀환 회로는 상기 출력 단자의 전압 변화를 감시하고, 상기 출력 단자의 전압 변화에 따라 피드백 신호를 생성하고,

상기 콤퍼레이터는 상기 피드백 신호의 전압 변화에 따라 펄스 신호를 생성하고,

상기 콤퍼레이터로부터 출력되는 신호는 상기 버퍼 회로를 통하여 상기 트랜지스터의 게이트에 입력되고,

상기 콤퍼레이터 및 상기 버퍼 회로는 각각 채널 형성 영역을 포함하는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, DC-DC컨버터.

청구항 12

제 11 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, DC-DC컨버터.

명세서

기술분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스, 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 특히, 본 발명의 일 형태는 DC-DC컨버터 및 그 제어 회로 등에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란 반도체 특성을 이용한 장치이고, 반도체 소자(트랜지스터, 다이오드 등)를 포함한 회로 및 상기 회로를 갖는 장치 등을 가리킨다. 또한, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 예를 들어, 집적 회로, 집적 회로를 구비한 칩은 반도체 장치의 일례다. 또한, 표시 장치, 발광 장치, 조명 장치 및 전자 기기 등은 반도체 장치를 갖는 경우가 있다.

배경 기술

[0003] DC-DC컨버터란, 정(定)전압 회로 중 하나이며, 직류(DC) 전압을 다른 직류 전압으로 변환하는 기능을 갖는다. DC-DC컨버터로서는 스위칭 방식과 리니어 방식이 알려져 있다.

[0004] 예를 들어, 채널이 실리콘(Si)으로 형성되는 트랜지스터(이하, Si트랜지스터라고 함)와, 채널이 산화물 반도체(OS)로 형성되는 트랜지스터(이하, OS트랜지스터라고 함)를 조합한 스위칭 방식의 DC-DC컨버터가 제안되어 있다 (특허문헌 1 및 특허문헌 2).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2012-19682호 공보
(특허문헌 0002) 일본국 특개 2012-100522호 공보

발명의 내용

해결하려는 과제

[0006] 특허문헌 1 및 특허문헌 2에 제시되는 바와 같이, 스위칭 방식의 DC-DC컨버터는 스위치의 온/오프를 제어하는 펄스 신호를 생성하는 기능을 구비하는 제어 회로와, 스위치를 흐르는 전류로부터 직류 전압을 생성하는 전압 생성 회로를 구비한다. 일반적으로 제어 회로는, CMOS프로세스를 사용하여 Si트랜지스터로 제작된다.

[0007] 현재, 산화물 반도체층의 도전형은 도펀트의 첨가에 의하여 제어하기 어렵기 때문에, 산화물 반도체층으로부터 n채널형 OS트랜지스터를 제작할 수 있지만 p채널형 OS트랜지스터를 제작할 수 없다. 그러므로 OS트랜지스터를 사용한 CMOS회로는 실용화되어 있지 않다.

- [0008] OS트랜지스터는 Si트랜지스터보다 높은 온도로 사용할 수 있다. 시제(試製)된 트랜지스터의 온도 특성의 측정 결과를 도 22에 나타냈다. 도 22의 (A)가 OS트랜지스터의 측정 결과이고 도 22의 (B)가 Si트랜지스터의 측정 결과다. -25°C , 50°C , 150°C 의 온도(Tmp)하에서, 게이트 전압(V_G)-드레인 전류(I_D) 특성, 및 게이트 전압(V_G)-전계 효과 이동도(μ_{FE}) 특성에 대하여 측정하였다. 측정하였을 때의 드레인 전압(V_D)은 1V로 하였다.
- [0009] 또한, OS트랜지스터는, 채널 길이(L)= $0.45\ \mu\text{m}$, 채널 폭(W)= $10\ \mu\text{m}$, 게이트 절연층의 등가 산화막 두께(T_{ox})= 20nm 다. Si트랜지스터는 채널 길이(L)= $0.35\ \mu\text{m}$, 채널 폭(W)= $10\ \mu\text{m}$, 게이트 절연층의 등가 산화막 두께(T_{ox})= 20nm 다.
- [0010] OS트랜지스터의 산화물 반도체층은 In-Ga-Zn계 산화물로 제작되고 Si트랜지스터는 SOI형 단결정 실리콘 웨이퍼로부터 제작되었다.
- [0011] 도 22를 보면, OS트랜지스터의 드레인 전류가 상승될 때의 게이트 전압의 온도 의존성은 작고, 단결정 Si트랜지스터와 같은 정도인 것을 알 수 있다. 또한, OS트랜지스터의 오프 전류가 온도와 상관없이 측정 하한 이하이지만 단결정 Si트랜지스터의 오프 전류 특성은 온도 의존성이 크다. 도 22의 (B)에 나타난 측정 결과를 보면 150°C 에서의 단결정 Si트랜지스터는 오프 전류가 상승되고 전류 온/오프 비율이 충분히 크게 되지 않는 것을 알 수 있다.
- [0012] 그래서 본 발명의 일 형태에 따른 과제 중 하나는 단일 도전형을 갖는 트랜지스터로 제작할 수 있는, 펄스 신호를 생성하는 회로를 제공하는 것이다. 본 발명의 일 형태에 따른 과제는 DC-DC컨버터의 제어 회로로서 사용할 수 있는 펄스 신호 생성 회로를 제공하거나, 또는 단일 도전형을 갖는 트랜지스터로 제작할 수 있는 DC-DC컨버터의 제어 회로를 제공하는 것 등이다.
- [0013] 또는, 본 발명의 일 형태에 따른 과제 중 하나는 사용 가능한 온도 범위가 확장된 DC-DC컨버터를 제공하는 것이다. 본 발명의 일 형태는 특히, 고온 환경하에서 사용 가능한 DC-DC컨버터를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태에 따른 과제 중 하나는 신규 반도체 장치를 제공하는 것이다.
- [0014] 또한, 복수의 과제의 기재는 과제의 존재를 서로 방해하는 것이 아니다. 또한 본 발명의 일 형태는 상술한 과제 모두를 해결할 필요는 없다. 또한, 열거한 과제 외의 과제가 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고 이들 과제도 본 발명의 일 형태가 될 수 있다.

과제의 해결 수단

- [0015] 본 발명의 일 형태는 펄스 신호를 생성하는 제어 회로이며, 입력 신호의 전압의 변동에 따라 펄스 신호의 펄스폭 변조를 수행하는 기능을 구비하고, 아날로그-디지털 변환 회로와, 로직부와, 디지털-아날로그 변환 회로와, 콤퍼레이터를 갖고, 아날로그-디지털 변환 회로는 입력 신호의 전압에 따른 제 1 디지털 신호를 생성하는 기능을 갖고, 로직부는 제 1 디지털 신호에 따라 펄스 신호의 펄스폭을 결정하는 펄스폭 변조 신호를 생성하는 기능과 입력되는 기준 클럭 신호를 분할하여 m비트(m은 2 이상)의 제 2 디지털 신호를 생성하는 기능을 갖고, 디지털-아날로그 변환 회로는 m비트(m은 2 이상)의 제 2 디지털 신호를 아날로그 신호로 변환하여 2^m 계조의 삼각파 신호를 생성하는 기능을 갖고, 콤퍼레이터는 펄스폭 변조 신호와 삼각파 신호를 비교한 결과를 펄스 신호로서 출력하는 기능을 갖는 제어 회로다.
- [0016] 상술한 일 형태에 따른 제어 회로는 단일 도전형을 갖는 트랜지스터로 구성할 수 있다. 또는 OS트랜지스터로 구성할 수 있다.
- [0017] 또한, 상술한 일 형태에 따른 제어 회로를 DC-DC컨버터의 제어 회로로서 사용할 수 있다.

발명의 효과

- [0018] 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다. 예를 들어, 단일 도전형을 갖는 트랜지스터로 제작할 수 있는, 펄스 신호를 생성하는 회로를 제공할 수 있다. 또는 단일 도전형을 갖는 트랜지스터로 제작할 수 있는 DC-DC컨버터의 제어 회로를 제공할 수 있다. 또는 사용 가능한 온도 범위가 확장된 DC-DC컨버터를 제공할 수 있다.

도면의 간단한 설명

[0019]

- 도 1은 DC-DC컨버터의 구성의 일례를 도시한 블록도.
- 도 2는 전압 변환 회로와 귀환 회로의 구성의 일례를 도시한 블록도이고, (A)는 승압형, (B)는 강압형.
- 도 3은 DC-DC컨버터의 제어 회로(CTRL)의 구성의 일례를 도시한 블록도.
- 도 4는 DC-DC컨버터의 구성의 일례를 도시한 블록도.
- 도 5는 제어 회로의 회로(AVEC)의 구성의 일례를 도시한 블록도.
- 도 6은 회로(DUTYC)의 구성의 일례를 도시한 블록도.
- 도 7의 (A)는 디지털-아날로그 변환 회로(DAC)의 구성의 일례를 도시한 블록도이고, 도 7의 (B)는 그 회로도.
- 도 8은 콤퍼레이터, 히스테리시스 콤퍼레이터, 및 버퍼 회로의 구성의 일례를 도시한 블록도.
- 도 9의 (A)는 콤퍼레이터(CMP_A)의 구성의 일례를 도시한 블록도이고, 도 9의 (B)는 그 회로도.
- 도 10의 (A)는 CMP_A의 전원 회로의 구성의 일례를 도시한 블록도이고, 도 10의 (B)는 그 회로도.
- 도 11의 (A)는 CMP_A의 인버터 회로(INVA)의 구성의 일례를 도시한 블록도이고, 도 11의 (B)는 그 회로도.
- 도 12의 (A)는 CMP_A의 차동 증폭 회로(AMPA)의 구성의 일례를 도시한 블록도이고, 도 12의 (B)는 그 회로도.
- 도 13의 (A)는 CMP_A의 차동 증폭 회로(AMPB)의 구성의 일례를 도시한 블록도이고, 도 13의 (B)는 그 회로도.
- 도 14의 (A)는 히스테리시스 콤퍼레이터의 NAND 게이트 회로(NAND_A)의 구성의 일례를 도시한 블록도이고, 도 14의 (B)는 그 회로도.
- 도 15의 (A)는 버퍼 회로(BUF-A)의 구성의 일례를 도시한 블록도이고, 도 15의 (B)는 그 회로도.
- 도 16의 (A)는 OS트랜지스터의 구성의 일례를 도시한 상면도, 도 16의 (B)는 도 16의 (A)를 절단선 B1-B2를 따라 자른 단면도, 도 16의 (C)는 도 16의 (A)를 절단선 C1-C2를 따라 자른 단면도.
- 도 17의 (A)는 OS트랜지스터의 구성의 일례를 도시한 상면도, 도 17의 (B)는 도 17의 (A)를 절단선 B3-B4를 따라 자른 단면도, 도 17의 (C)는 도 17의 (A)를 절단선 C3-C4를 따라 자른 단면도.
- 도 18은 전자 기기의 구성의 일례를 도시한 도면.
- 도 19는 전자 기기의 구성의 일례를 도시한 도면.
- 도 20은 전자 기기의 구성의 일례를 도시한 도면.
- 도 21은 전자 기기의 구성의 일례를 도시한 도면.
- 도 22의 (A)는 OS트랜지스터의 온도 특성의 측정 결과를 나타낸 그래프이고, 도 22의 (B)는 단결정 Si트랜지스터의 온도 특성의 측정 결과를 나타낸 그래프.
- 도 23은 DC-DC컨버터의 구성의 일례를 도시한 블록도.
- 도 24는 시제된 제어 회로를 설명하는 블록도.
- 도 25는 시제된 제어 회로의 광학 현미경 사진.
- 도 26은 오실로스코프로 측정된 콤퍼레이터의 입력 신호 및 출력 신호의 파형.
- 도 27은 DC-DC컨버터의 동작 검증 방법을 설명하기 위한 도면.
- 도 28은 시제된 DC-DC컨버터의 부하 전력에 대한 전력 효율, 및 제어 회로의 소비 전류를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0020]

이하에서 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자라면 쉽게 이해된다. 따라서 본 발명은 이하에 기재되는 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것이 아니다.

[0021]

또한, 본 발명의 실시형태를 설명하기 위하여 사용되는 도면에서 동일 부분 또는 같은 기능을 갖는 부분에는 동

일한 부호를 붙이며 그 반복되는 설명은 생략한다.

- [0022] (실시형태 1)
- [0023] 도 1~도 15를 사용하여 본 실시형태에 따른 반도체 장치를 설명한다. 여기서는 반도체 장치로서 스위칭 방식의 DC-DC컨버터에 대하여 설명한다.
- [0024] <<DC-DC컨버터>>
- [0025] 도 1은 DC-DC컨버터의 구성의 일례를 도시한 블록도다.
- [0026] 도 1에 도시된 DC-DC컨버터(10)는 입력 전압(VIN)을 출력 전압(VOUT)으로 변환하는 기능을 갖고, 제어 회로(CTRL)(100), 전압 변환 회로(VCNVC)(180), 및 귀환 회로(FBC)(190)를 갖는다.
- [0027] 또한, 이하에 기재된 설명에서 입력 전압(VIN)을 전압(VIN), 또는 VIN이라고 생략하여 기재하는 경우가 있다. 이것은 다른 전압, 신호, 회로, 신호선 등에 대해서도 마찬가지다.
- [0028] VIN의 전원으로서는 배터리 등의 DC 전원이 사용된다. 또한, 상용 전원 등의 교류(AC) 전원을 사용하는 경우에는 AC 전원으로부터의 출력 전압을 DC 전압으로 변환하여 DC-DC컨버터(10)에 입력하면 좋다.
- [0029] CTRL(100)은 VCNVC(180)의 스위치의 온/오프를 제어하는 펄스 신호(GS)를 생성하는 기능을 갖는다.
- [0030] VCNVC(180)는 DC 전압(VIN)을 DC 전압(VOUT)으로 변환하는 기능을 구비한 회로이고, VCNVC(180)는 스위치로서 기능하는 트랜지스터를 갖고, 이 트랜지스터의 온/오프를 주기적으로 전환시킴으로써 입력 전압(VIN)을 승압 또는 강압한 전압(VOUT)으로 변환하는 회로다. 트랜지스터의 온/오프의 듀티 비율을 변화시킴으로써 VOUT의 크기를 조절할 수 있다.
- [0031] VCNVC(180)로부터 일정 전압(VOUT)이 출력되도록 CTRL(100)은 펄스 신호(GS)의 듀티 비율을 제어한다. 그러므로 CTRL(100)에는 FBC(190)에서 생성된 피드백 신호(FB)가 입력된다. FBC(190)는 출력 단자의 전압 변화를 감시하고, 감시한 결과를 신호(FB)로서 출력한다. 신호(FB)는 전압(VOUT)에 따른 신호다.
- [0032] CTRL(100)은 신호(FB)에 따라 펄스 신호(GS)의 듀티 비율을 변화시키는 펄스폭 변조(PWM) 방식에 의하여 VCNVC(180)를 제어한다.
- [0033] <<전압 변환 회로(VCNVC), 귀환 회로(FBC)>>
- [0034] VCNVC(180)로서는 대표적으로 초퍼 회로를 적용할 수 있다. 도 2에 초퍼 회로의 구성예를 도시하였다. 도 2의 (A)가 승압형의 예이고, 도 2의 (B)가 강압형의 예다.
- [0035] 또한, 도 2에는 FBC(190)의 회로 구성예도 함께 도시되었다. FBC(190)로서는 예를 들어, 분압 회로를 적용할 수 있다. 도 2에는 FBC(190)로서 분압 회로(191)가 사용된 예를 도시하였다. 분압 회로(191)는 저항 분압 회로이며 직렬로 접속된 2개의 저항(R1 및 R2)을 갖는다. 노드(Nr)의 전압 변화가 신호(FB)로서 분압 회로(191)로부터 출력된다.
- [0036] <승압형>
- [0037] 도 2의 (A)에 도시된 초퍼 회로(181)는 트랜지스터(M1), 코일(L1), 다이오드(D1), 및 콘덴서(C1)를 갖는다. 초퍼 회로(181)에서는 VIN<VOUT가 된다.
- [0038] 트랜지스터(M1)는 스위치로서 기능한다. 여기서는 트랜지스터(M1)는 n채널형으로 하였다. 트랜지스터(M1)의 게이트에는 펄스 신호(GS)가 입력된다. 초퍼 회로(181)에서 코일(L1)은 초크 코일이라고 불릴 수 있다. 콘덴서(C1)는, 다이오드(D1)로부터의 출력 전압을 평활하게 하는 평활 회로로서 기능한다.
- [0039] 트랜지스터(M1)가 온 상태가 되면 VIN의 입력 단자와 트랜지스터(M1) 사이를 전류가 흐른다. 이 전류에 의하여 코일(L1)에는 자기 에너지로서 전류 에너지가 축적된다. 트랜지스터(M1)가 오프 상태가 되면 코일(L1)에 축적된 에너지에 의하여 기전력이 생겨 트랜지스터(M1)의 드레인 전압은 VIN보다 높게 된다. 이로써 코일(L1)로부터 다이오드(D1)로 전류가 흘러 콘덴서(C1)가 충전된다. 콘덴서(C1)에 축적되는 전하에 따른 전압이 VOUT로서 출력된다.
- [0040] <강압형>
- [0041] 도 2의 (B)에 도시된 바와 같이, 초퍼 회로(182)도 트랜지스터(M2), 코일(L2), 다이오드(D2), 및 콘덴서(C2)를

찾는다. 초퍼 회로(182)에서는 $VIN > VOUT$ 가 된다. 초퍼 회로(182)의 각 소자는 초퍼 회로(181)의 소자와 같은 기능을 갖는다.

- [0042] 트랜지스터(M2)가 온 상태가 되면 VIN의 입력 단자와 VOUT의 출력 단자 사이에 전류가 흘러 콘덴서(C2)가 충전된다. 또한, 이 전류에 의하여 코일(L2)에 역기전력이 생겨 콘덴서(C2)의 전압은 전압(VIN)보다 낮게 된다. 트랜지스터(M2)가 오프 상태가 되면 다이오드(D2), 코일(L2), 및 콘덴서(C2)에 의하여 폐회로가 형성되기 때문에 콘덴서(C2)에 축적된 전하에 따른 전압이 VOUT로서 출력된다.
- [0043] 여기서는 DC-DC컨버터(10)는 디지털 제어 방식의 컨버터로 한다. CTRL(100)에서는 신호(FB)를 디지털 신호로 변환하여, 이 디지털 신호를 논리 연산한 결과로부터 신호(GS)의 펄스폭을 설정한다. 이하, 도면을 참조하여 CTRL(100)의 더 구체적인 예에 대하여 설명한다.
- [0044] <<CTRL(100)>>
- [0045] 도 3은 DC-DC컨버터(10)의 구성의 일례를 도시한 블록도다. 도 3에는 VCNVC(180) 및 FBC(190)로서 각각 도 2의 (A)에 도시된 초퍼 회로(181) 및 분압 회로(191)를 적용한 예가 도시되었다.
- [0046] 도 3에 도시된 바와 같이, CTRL(100)은 로직부(110), 히스테리시스 콤퍼레이터(120), 콤퍼레이터(130), 및 디지털-아날로그 변환 회로(DAC)(140)를 갖는다.
- [0047] 히스테리시스 콤퍼레이터(120)는 신호(FB)의 전압을 디지털 신호로 변환한 신호(comp)를 생성하는 아날로그-디지털 변환 회로로서 기능한다. 구체적으로는 히스테리시스 콤퍼레이터(120)는 기준 전압(VREFH 및 VREFL)과 신호(FB)의 전압을 비교하여 비교한 결과를 "H"(하이 레벨) 신호(comp) 또는 "L"(로 레벨) 신호(comp)로 하여 로직부(110)로 출력한다.
- [0048] 로직부(110)는 펄스폭 변조 신호인 신호(pwm)를 생성하는 기능을 갖는다. 로직부(110)는 히스테리시스 콤퍼레이터(120)로부터의 입력 신호(comp)를 연산 처리하여 신호(GS)의 듀티 비율을 설정하는 설정값을 결정한다. 이 설정값은 신호(pwm)로서 출력된다. 즉, 로직부(110)는 히스테리시스 콤퍼레이터(120)에 의하여 디지털화된 신호(FB)(신호(comp))를 연산 처리하여 신호(GS)의 듀티 비율을 결정하는 디지털 신호(pwm)를 생성하는 회로다.
- [0049] 또한, CTRL(100)은, DAC(140)가 처리하는 m (m 은 2 이상의 정수(整數))비트의 디지털 신호를 클럭 신호(CLK)로부터 생성한다. m 비트의 디지털 신호는 DAC(140)에 입력된다. DAC(140)에서는 이 디지털 신호를 아날로그 신호로 변환하여 2^m 계조의 삼각파 신호(VTRI)를 생성하고 출력한다. 즉, DAC(140)는 삼각파 생성 회로로서 기능한다.
- [0050] 콤퍼레이터(130)는 신호(GS)를 생성하는 회로다. 콤퍼레이터(130)는 신호(VTRI)의 전압과 신호(pwm)의 전압을 비교하여, 비교한 결과로부터 신호(GS)가 하이 레벨인지 로 레벨인지를 설정한다. 즉, CTRL(100)에서는 신호(pwm)에 의하여 신호(GS)의 듀티 비율이 조절된다.
- [0051] CTRL(100)은 일반적인 아날로그 제어 방식의 제어 회로와 마찬가지로 트랜지스터(M1)를 제어하는 신호(GS)의 생성을 콤퍼레이터로 수행하는 점이 같지만 VOUT의 오차를 증폭하는 에리 증폭기(적분 회로)의 처리와 삼각파의 생성을 디지털 신호 처리로 수행하는 점에서 상이하다.
- [0052] OS트랜지스터에 관한 우리의 연구에서, OS트랜지스터만을 사용하여 제작한 연산 증폭기는 필요한 성능을 얻기 어렵다는 결과가 나왔다. 그래서 CTRL(100)과 같이, 에리 증폭기(연산 증폭기)를 사용하지 않는 회로 구성으로 함으로써 단일 도전형을 갖는 트랜지스터에서(특히 OS트랜지스터에서) 펄스폭 변조 방식에 의하여 신호(GS)를 생성할 수 있는 제어 회로를 제공할 수 있다.
- [0053] <CTRL의 구성예 1>
- [0054] 도 4에 CTRL(100)(DC-DC컨버터(10))의 더 자세한 구성예를 도시하였다. 도 4에는 VCNVC(180)에 초퍼 회로(181)를 적용하고, FBC(190)에 분압 회로(191)를 적용한 승압형 컨버터의 예를 도시하였다. 초퍼 회로(181)를 대신하여 초퍼 회로(182)를 제공하여 강압형 컨버터로 할 수 있는 것은 말할 나위도 없다.
- [0055] 도 4에 도시된 CTRL(100)은 로직부(110), 히스테리시스 콤퍼레이터(120), 콤퍼레이터(130), 및 DAC(140)를 갖는다. 버퍼 회로(150), 및 2개의 로패스 필터 회로(LPF)(161, 162)를 더 갖는다. 버퍼 회로(150), 및 로패스 필터 회로(LPF)(161, 162)는 필요에 따라 제공하면 좋다.
- [0056] LPF(161)는 저항(R61) 및 콘덴서(C61)를 갖고, LPF(162)는 저항(R62) 및 콘덴서(C62)를 갖는다. 로직부(110)

의 출력 신호(pwm)는 LPF(161)를 통하여 DAC(140)에 입력되고, DAC(140)의 출력 신호(VTRI)는 LPF(162)를 통하여 콤퍼레이터(130)에 입력된다.

- [0057] 도 4의 CTRL(100)에서, 회로 블록(200)은 한 칩에 집적화하기 쉬운 회로군의 일례다. 회로 블록(200)에는 그 내부 회로의 동작에 필요한 전압(VDD, VSS, VREFH, VREFL, IREF 등), 신호(기준 클럭 신호(c1k) 등)가 단자를 통하여 입력된다. 또한, 도 4의 예에서는 저전원 전압(VSS)을 접지 전위(GND)로 하였다.
- [0058] <로직부(110)>
- [0059] 로직부(110)는 3개의 회로(111~113)를 갖는다.
- [0060] [CLKDIV 회로]
- [0061] 회로(CLKDIV)(111)는 분주 회로다. CLKDIV(111)는 클럭 신호(c1k)를 1~m분주하여 m개의 클럭 신호를 생성한다. 이들 m개의 클럭 신호는 m비트의 디지털 신호(cnt[m-1:0])로서 DAC(140) 및 DUTYC(113)에 입력된다. 또한, 일부의 클럭 신호는 로직부(110)의 내부 클럭 신호로서 사용된다.
- [0062] 예를 들어, CLKDIV(111)는 m비트 동기식 카운터 회로로 구성할 수 있다. 도 4에서는 m=6의 예를 도시하였다. CLKDIV(111)에서는 c1k를 1~6분주하여 6비트의 디지털 신호(cnt[5:0])를 생성한다. 신호(cnt[5:0]) 중 하나는 AVEC(112)의 클럭 신호(c1k2)로서 입력된다. 여기서는 c1k를 3분주한 신호가 c1k2(주파수가 1/8)로서 AVEC(112)에 출력된다.
- [0063] [AVEC]
- [0064] 회로(AVEC)(112)는 일정한 주기로 히스테리시스 콤퍼레이터(120)의 출력 신호(comp)를 업 카운트하고 이 카운트값의 평균값을 산출하는 회로다. 산출된 평균값을 나타내는 신호가 ave다.
- [0065] AVEC(112)는 예를 들어, 도 5에 도시된 바와 같이, n비트 동기식 카운터 회로(222) 및 n비트 가산 회로(221)를 구비한다. 가산 회로(221)에는 카운트값을 리셋하는 리셋 회로(223)가 제공된다. 여기서는 일례로서 n=3의 경우를 설명한다.
- [0066] 카운터 회로(222)는 클럭 신호(c1k2)를 1~3분주하여, 가산 회로(221)에서 사용하는 3개의 클럭 신호를 생성한다. 클럭 신호 중 하나는 클럭 신호(c1k3)로서 DUTYC(113)에 출력된다. 예를 들어, c1k3은 c1k2의 2분주 신호로 한다. 이 경우, c1k3의 주파수는 c1k의 1/512이 된다.
- [0067] 가산 회로(221)는 comp의 값(1 또는 0)을 1카운트마다 가산하는 기능을 갖는다. 구체적으로는 comp가 "H"인지 여부를 판정하여 comp가 "H"라면 카운트값에 +1을 가산한다. 또한, 가산 회로(221)는 일정 카운트마다(예를 들어, 7카운트마다) 카운트값으로부터 평균값을 산출하여 평균값을 신호(ave)로서 출력한다. 이 예에서는 신호(ave)로서 카운트값이 4 이상이라면 "H"의 신호가 출력되고 4 미만이라면 "L"의 신호가 출력된다. 8카운트마다 리셋 회로(223)에 의하여 가산 회로(221)의 카운트값은 제로로 리셋된다. 리셋 회로(223)의 이 처리는 로직부(110)의 외부로부터 입력되는 리셋 신호(RST)에 의하여 제어된다.
- [0068] [DUTYC]
- [0069] 회로(DUTYC)(113)는 AVEC(112)의 출력 신호(ave)를 기초로 하여 신호(GS)의 듀티 비율을 설정하는 신호(pwm)를 생성하는 회로다. DUTYC(113)는 외부로부터 입력된 GS의 듀티 비율을 설정하는 값(듀티 비율 설정값)과 출력 신호(ave)를 비교하고, 비교한 결과로부터 신호(pwm)의 논리 레벨을 "H" 또는 "L"로 설정한다.
- [0070] 예를 들어, 도 6에 도시된 바와 같이, DUTYC(113)는 가감산 회로(231), 리미터 회로(232), 카운트 비교 회로(233), 및 래치 회로(234)를 포함한다. 여기서는 DUTYC(113)는 6비트의 디지털 신호를 처리하는 회로로 한다.
- [0071] DUTYC(113)에는 듀티 비율 설정값의 초기값으로서 CTRL(100)의 외부로부터 6비트의 신호가 입력된다. 가감산 회로(231)는 신호(ave)의 값(0 또는 1)에 의하여 이 듀티 비율 설정값에 +1의 가산 또는 -1의 감산을 수행하는 기능을 갖는다. 여기서는 ave가 "H"라면 듀티 비율 설정값=듀티 비율 설정값+1의 가산을 수행하고, "L"이라면 듀티 비율 설정값=듀티 비율 설정값-1의 감산을 수행한다.
- [0072] 카운트 비교 회로(233)는 6비트의 신호(cnt[5:0])를 카운트하는 기능을 갖는다. 즉, DUTYC(113)의 처리의 1주기에서, 카운트 비교 회로(233)에서는 1로부터 64까지의 값을 1씩 카운트한다. 여기서는 카운트 비교 회로(233)의 카운트값을 digCNT로 부른다. 카운트 비교 회로(233)에서 1카운트마다 digCNT에 대하여 연산 처리가 수행되고 이 연산 결과는 래치 회로(234)에 래치된다. 래치 회로(234)의 출력이 신호(pwm)다.

- [0073] 카운트 비교 회로(233)는 digCNT가 0 또는 1일 때에, 래치 회로(234)에 "H"의 신호를 래치한다. 또한, 카운트 비교 회로(233)는, digCNT가 듀티 비율 설정값과 일치하면 래치 회로(234)에 "L"의 신호를 래치한다. 예를 들어, 듀티 비율 설정값이 32인 경우, digCNT가 32가 되면, pwm은 "L"로부터 "H"로 천이한다. 이 경우, pwm에 의하여 신호(GS)의 듀티 비율은 50%로 설정된다.
- [0074] 리미터 회로(232)는 가감산 회로(231)의 연산 처리를 제한하는 회로이고, 듀티 비율 설정값의 최대값 및 최소값을 설정하기 위한 회로다. 예를 들어, 듀티 비율 설정값의 최대값을 56, 최소값을 8로 한다. 이로써 64카운트마다 pwm의 전위 레벨을 적절하게 설정할 수 있다.
- [0075] 로직부(110)의 회로(111~113)는, 단일 도전형을 갖는 트랜지스터로 구성되는 인버터 회로나, NOR 게이트 회로, AND 게이트 회로 등의 기본적인 로직 회로를 조합함으로써 제작될 수 있다.
- [0076] <DAC>
- [0077] 도 7의 (A)는 DAC(140)의 구성의 일례를 도시한 블록도이고, 도 7의 (B)는 그 회로도다. 여기서는 DAC(140)는 R-2R래더 저항 회로를 사용한 6비트 DAC다. 이 경우, DAC(140)에서는 $64(2^6)$ 계조의 삼각파 신호(VTRI)가 생성된다.
- [0078] DAC(140)는 전압(VDD, VSS, REFD)용 입력 단자, 디지털 신호용 입력 단자(IN[0]~IN[7]), 및 출력 단자(DACOUT)를 갖는다. 전압(REFD)은 아날로그 변환 시의 참조 전압이다. VDD는 REFD보다 고전압으로 한다.
- [0079] 8개의 입력 단자(IN[0]~IN[7]) 중 6개에는 CLKDIV(111)로부터 출력된 6비트의 신호(cnt[5:0])가 입력된다. 예를 들어, IN[0], IN[1]에는 VSS를 입력하고, IN[2]~IN[7]에는 각각 신호(cnt)[0]~신호(cnt)[6]를 입력하면 좋다.
- [0080] DAC(140)에 입력된 cnt[5:0]는 아날로그 신호로 변환되어, 삼각파 신호(VTRI)로서 출력 단자(DACOUT)로부터 출력된다.
- [0081] 도 7의 (B)에 도시된 예에서는 DAC(140)는 18개의 저항을 갖는 래더 저항 회로(40), 회로(41), 및 8개의 회로(42)를 갖는다. 회로(41)는 한 트랜지스터(Md1) 및 인버터 회로(INVd1)를 갖는다. 회로(42)는 트랜지스터(Md2, Md3) 및 인버터 회로(INVd2, INVd3)를 갖는다.
- [0082] <<히스테리시스 콤퍼레이터, 콤퍼레이터, 및 버퍼 회로>>
- [0083] 이하, 도 8~도 15를 참조하여 히스테리시스 콤퍼레이터(120), 콤퍼레이터(130), 및 버퍼 회로(150)의 구성에 대하여 설명한다. 히스테리시스 콤퍼레이터(120), 콤퍼레이터(130), 및 버퍼 회로(150)도 로직부(110)와 마찬가지로 단일 도전형을 갖는 트랜지스터로 구성할 수 있다. 여기서는 n채널형 트랜지스터를 예로 들어, 이들 회로 구성을 설명한다.
- [0084] 도 8은 히스테리시스 콤퍼레이터(120), 콤퍼레이터(130), 및 버퍼 회로(150)의 구성의 일례를 도시한 블록도다. 히스테리시스 콤퍼레이터(120)는 콤퍼레이터(121), 콤퍼레이터(122), NAND 게이트 회로(123), 및 NAND 게이트 회로(124)를 포함한다. 도 8에서는 히스테리시스 콤퍼레이터(120)의 출력이 버퍼 회로(125)와 접속되는 예를 도시하였다.
- [0085] 또한, 콤퍼레이터(130), 콤퍼레이터(121), 및 콤퍼레이터(122)는 같은 구성을 갖는 콤퍼레이터 회로(CMP_A)로 구성할 수 있다. 또한, 버퍼 회로(150)와 버퍼 회로(125)는 같은 구성을 갖는 버퍼 회로(BUF_A)로 구성할 수 있다. 그러므로 회로 블록(200)(도 4 참조)의 레이아웃에서, 3개의 CMP_A를 한 영역(콤퍼레이터부(30))에 집적할 수 있다. 또한, 2개의 버퍼 회로(BUF_A)도 한 영역(버퍼부(50))에 집적할 수 있다.
- [0086] 또한, NAND 게이트 회로(123), 및 NAND 게이트 회로(124)도 같은 구성을 갖는 회로(NAND_A)로 구성할 수 있다. 2개의 NAND_A에는 로직부(110)를 구성하는 로직 회로가 형성되는 영역에 집적하면 좋다.
- [0087] 콤퍼레이터(130)의 비반전 입력 단자(+)에는 DAC(140)의 출력 신호(VTRI)가 입력되고, 반전 입력 단자(-)에는 DUTYC(113)의 출력 신호(pwm)가 입력된다. 콤퍼레이터(130)의 출력 신호(outc)는 버퍼 회로(150)의 입력 단자(IN)에 입력된다. 또한, 버퍼 회로(150)의 입력 단자(INB)에는, 신호(outc)를 인버터 회로 등에 의하여 반전한 반전 신호(outcb)가 입력된다.
- [0088] 버퍼 회로(150)의 출력은 신호(GS)로서 트랜지스터(M1)의 게이트에 입력된다(도 4 참조).
- [0089] 히스테리시스 콤퍼레이터(120)의 기준 전압(VREFH)은 신호(FB)의 설정 전압(VREF)보다 높은 전압이고 기준 전압

(VREFL)은 VREF보다 낮은 전압이다. 콤퍼레이터(121)에서는 신호(FB)의 전압이 VREF를 넘으면 "H"의 신호가 출력된다. 콤퍼레이터(122)에서는 신호(FB)의 전압이 VREF 이하가 되면 "H"의 신호가 출력된다.

[0090] 콤퍼레이터(121)의 출력 신호(outcH)와 콤퍼레이터(122)의 출력 신호(outcL)는 NAND 게이트 회로(123) 및 NAND 게이트 회로(124)에서 논리 연산된다. NAND 게이트 회로(123)의 출력(Q) 및 NAND 게이트 회로(124)의 출력(Q B)은 각각 버퍼 회로(125)에 입력된다. 버퍼 회로(125)의 출력이 신호(comp)로서 로직부(110)에 입력된다. 또한, 버퍼 회로(125)를 제공하지 않는 경우에는 출력(Q)이 히스테리시스 콤퍼레이터(120)로 생성된 신호(comp)로서 로직부(110)에 입력된다.

[0091] <콤퍼레이터(CMP_A)>

[0092] 도 9의 (A)는 CMP_A의 구성의 일례를 도시한 블록도이고, 도 9의 (B)는 그 회로도다.

[0093] CMP_A는 전압(VDD, VSS, IREF)이 공급되는 입력 단자, 입력 단자(VINP, VINN), 및 출력 단자(CMPOUT)를 갖는다. 입력 단자(VINP)는 비반전 입력 단자이고 입력 단자(VINN)는 반전 입력 단자다.

[0094] CMP_A는 참조 전원 회로(210), 차동 증폭 회로(AMPA)(211), 차동 증폭 회로(AMPB)(212), 및 인버터 회로(INVA)(213)를 갖는다. AMPA(211)는 1단 또는 복수단 제공되고 INVA(213)는 짝수단 제공된다. 이하, 각 회로(210~213)의 구체적인 구성에 대하여 설명한다.

[0095] [참조 전원 회로]

[0096] 도 10의 (A)는 참조 전원 회로(210)의 구성의 일례를 도시한 블록도이고, 도 10의 (B)는 그 회로도다.

[0097] 참조 전원 회로(210)는 전압(IREF, VSS)이 공급되는 입력 단자와, 내부에서 생성된 전압을 출력하는 단자(Vb1, Vb2)를 갖는다. 참조 전원 회로(210)는 분압 회로로 구성할 수 있다. 예를 들어, 도 10의 (B)에 도시된 바와 같이, 저항(Rirf1)과, 트랜지스터(Mirf1, Mirf2, Mirf3)를 포함하는 분압 회로로 할 수 있다.

[0098] [INVA]

[0099] 도 11의 (A)는 INVA(213)의 구성의 일례를 도시한 블록도이고, 도 11의 (B)는 그 회로도다.

[0100] INVA(213)는 전압(VDD, VSS)이 공급되는 입력 단자, 입력 단자(A), 및 출력 단자(Y)를 갖는다. INVA(213)는 예를 들어, 도 11의 (B)에 도시된 바와 같이, 트랜지스터(Minv1~Minv4)와, 콘덴서(Cinv1)를 포함한다.

[0101] [AMPA]

[0102] 도 12의 (A)는 AMPA(211)의 구성의 일례를 도시한 블록도이고, 도 12의 (B)는 그 회로도다.

[0103] AMPA(211)는 전압(VDD, VSS)이 공급되는 입력 단자, 참조 전원 회로(210)로부터 전압이 공급되는 입력 단자(Vb1, Vb2), 입력 단자(INP, INN), 및 출력 단자(OUTP, OUTN)를 갖는다. 단자(INP)는 비반전 입력 단자이고 단자(INN)는 반전 입력 단자다. 단자(OUTP)는 비반전 출력 단자이고 단자(OUTN)는 반전 출력 단자다. 예를 들어, 도 12의 (B)에 도시된 바와 같이, AMPA(211)는 트랜지스터(Ma1~Ma20)를 포함한다.

[0104] [AMPB]

[0105] 도 13의 (A)는 AMPB(212)의 구성의 일례를 도시한 블록도이고, 도 13의 (B)는 그 회로도다.

[0106] AMPB(212)는 전압(VDD, VSS)이 공급되는 입력 단자, 참조 전원 회로(210)로부터 전압이 공급되는 입력 단자(Vb1, Vb2), 입력 단자(INP, INN), 및 출력 단자(OUTA)를 갖는다. 단자(INP)는 비반전 입력 단자이고 단자(INN)는 반전 입력 단자다. AMPB(212)는 예를 들어, 도 13의 (B)에 도시된 바와 같이, 트랜지스터(Mb1~Mb14)를 포함한다.

[0107] <NAND 게이트 회로>

[0108] 도 14의 (A)는 히스테리시스 콤퍼레이터(120)(도 8 참조)에 포함되는 NAND_A의 구성의 일례를 도시한 블록도이고 도 14의 (B)는 그 회로도다.

[0109] NAND_A는 전압(VDD, VSS)이 공급되는 입력 단자, 입력 단자(A, B), 및 출력 단자(Y)를 갖는다. NAND_A는 예를 들어, 도 14의 (B)에 도시된 바와 같이, 트랜지스터(Mna1~Mna3)를 포함한다.

[0110] <버퍼 회로(BUF_A)>

[0111] 도 15의 (A)는 히스테리시스 콤퍼레이터(120)에 포함되는 버퍼 회로(BUF_A)의 구성의 일례를 도시한

블록도이고, 도 15의 (B)는 그 회로도다.

- [0112] BUF_A는 전압(VDD, VSS, VDDP, VSSP)이 공급되는 입력 단자, 입력 단자(BUFIN, BUFINB), 및 출력 단자(BUFOU T)를 갖는다.
- [0113] 상술한 바와 같이, 로직부(110)의 회로 블록(200) 내의 회로(120, 130, 140, 및 150)를 단일 도전형을 갖는 트랜지스터로 구성할 수 있다(도 4 참조). 또한, 트랜지스터(M1) 및 다이오드(D1)도 같은 도전형을 갖는 트랜지스터로 제작할 수 있다. 다이오드(D1)는 다이오드 접속된 트랜지스터로 구성하면 좋다.
- [0114] 이 경우, 로직부(110), 트랜지스터(M1), 및 다이오드(D1)를 OS트랜지스터로 구성함으로써 150℃ 이상의 온도하에서도 동작할 수 있는 DC-DC컨버터를 제공할 수 있다.
- [0115] 종래라면 신호(GS)를 생성하는 제어 회로(본 실시형태의 로직부(110)에 상당하는 회로)는 단결정 Si 웨이퍼로부터 제작된 Si트랜지스터로 구성된다. 하지만 도 22의 (B)에 나타난 측정 결과는 Si트랜지스터로 구성되는 제어 회로는 150℃ 이상의 환경하에서는 사용할 수 없는 것을 나타내고 있다. 그러므로 제어 회로의 온도 상승을 방지하기 위하여 큰 방열판 등이 제공되고 있지만, 방열판은 제어 회로의 비용 증가를 초래한다.
- [0116] 한편, 도 22의 (A)에 나타난 측정 결과는 OS트랜지스터로 제어 회로를 구성함으로써 큰 방열판을 사용하지 않고 종래의 Si트랜지스터가 사용된 제어 회로에 비하여 동작 가능한 온도 범위를 넓힐 수 있어 제어 회로의 비용 절감에 기여한다.
- [0117] OS트랜지스터에 대해서는 실시형태 2에서 설명한다.
- [0118] <CTRL의 구성예 2>
- [0119] 로직부(110)에서, 신호(FB)의 전압이 기준 전압보다 높으면 신호(pwm)의 듀티 비율이 작게 되고, 기준 전압보다 낮으면 신호(pwm)의 듀티 비율이 크게 된다. 그러므로 신호(pwm)를 트랜지스터(M1)의 게이트에 출력하도록 하여도 좋다. 신호(pwm)의 듀티 비율은 신호(FB)의 변동에 따라 설정되기 때문에 신호(pwm)에 의하여 DC-DC컨버터(10)의 VOUT를 제어할 수 있다. 이 경우에는 CTRL(100)에 콤퍼레이터(130), DAC(140) 등은 제공하지 않아도 좋다.
- [0120] <CTRL의 구성예 3>
- [0121] DC-DC컨버터(10)(도 4 참조)에서, 히스테리시스 콤퍼레이터(120)의 출력 신호(comp)를 트랜지스터(M1)의 온/오프를 제어하는 제어 신호로서 사용할 수 있다. 이와 같은 DC-DC컨버터의 구성의 일례를 도 23에 도시하였다.
- [0122] 도 23에 도시된 DC-DC컨버터(11)는, DC-DC컨버터(10)와 제어 회로(CTRL)의 구성이 상이하다. DC-DC컨버터(11)의 제어 회로(CTRL)(101)는 히스테리시스 콤퍼레이터(120) 및 버퍼 회로(150)를 갖는다. CTRL(101)은 DC-DC컨버터(10)의 CTRL(100)로부터 디지털 신호 처리부(로직부(110), DAC(140))를 제외한 회로에 대응한다. 따라서 DC-DC컨버터(11)에는 LPF(161) 및 LPF(162)가 불필요하게 된다.
- [0123] CTRL(101)은 히스테리시스 콤퍼레이터(120) 및 버퍼 회로(150)를 갖는다. 즉, CTRL(101)이 펄스폭 변조 제어 방식의 DC-DC컨버터의 제어 회로인 한편, CTRL(101)은 히스테리시스 제어 DC-DC컨버터의 제어 회로가 된다.
- [0124] DC-DC컨버터(10)의 로직부(110)는 디지털 신호 처리부를 갖기 때문에 외부로부터 입력되는 제어 신호(소프트웨어)의 변경에 의하여 성능이나 기능을 변경할 수 있기 때문에 확장성이 뛰어나다. DC-DC컨버터(11)의 CTRL(101)은 히스테리시스 콤퍼레이터(120) 및 버퍼 회로(150)로 구성되기 때문에 응답 속도가 빠르고 로버스트 안정성이 뛰어나다.
- [0125] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합하여 실시할 수 있다.
- [0126] (실시형태 2)
- [0127] 본 실시형태에서는 OS트랜지스터에 대하여 설명한다.
- [0128] <트랜지스터의 구성예 1>
- [0129] 도 16에 OS트랜지스터의 구성의 일례를 도시하였다. 도 16의 (A)는 상면도이고, 도 16의 (B)는 도 16의 (A)를 절단선 B1-B2를 따라 자른 단면도이고, 도 16의 (C)는 도 16의 (A)를 절단선 C1-C2를 따라 자른 단면도다.
- [0130] 도 16에 도시된 바와 같이, OS트랜지스터(601)는 OS(산화물 반도체)층(641), OS층(642), OS층(643), 도전층(631), 도전층(632), 도전층(633), 및 절연층(622)을 갖는다.

- [0131] 기판(610)은 OS트랜지스터(601)의 제작에 견딜 수 있는 기판이라면 좋다. 예를 들어, 실리콘 웨이퍼, 유리 기판, 석영 기판 등을 사용할 수 있다. 절연층(621)은 하지를 구성하는 막이다. 절연층(621) 위에 OS트랜지스터(601)가 형성된다.
- [0132] 도전층(631) 및 도전층(632)은 소스 전극 또는 드레인 전극으로서 기능하고 OS층(642)에 전기적으로 접속된다. 도전층(633)은, OS층(641~643) 위에 절연층(622)을 개재(介在)하여 형성되며 게이트 전극으로서 기능한다. 절연층(622)은 게이트 절연층을 구성한다.
- [0133] <트랜지스터의 구성예 2>
- [0134] 도 17에 OS트랜지스터의 구성의 일례를 도시하였다. 도 17의 (A)는 상면도이고, 도 17의 (B)는 도 17의 (A)를 절단선 B3-B4를 따라 자른 단면도이고, 도 17의 (C)는 도 17의 (A)를 절단선 C3-C4를 따라 자른 단면도다.
- [0135] 도 17에 도시된 OS트랜지스터(602)도 OS트랜지스터(601)와 마찬가지로 절연층(621) 위에 제작되고 OS층(641~643), 도전층(631~633), 및 절연층(622)을 갖는다.
- [0136] OS트랜지스터(602)에서는 도전층(631) 및 도전층(632)이 OS층(643) 위에 형성되는 점에서 OS트랜지스터(601)와 상이하다.
- [0137] 또한, 도 16 및 도 17에 도시된 예에서는 적층된 OS층(641~643)을 산화물 반도체층으로서 사용하는 예를 도시하였지만, 이 구조에 한정되지 않는다. 예를 들어, OS트랜지스터(601)에서는 OS층(641) 및 OS층(642) 중 어느 한 쪽만 형성하도록 하여도 좋다. 또한, OS트랜지스터(602)에서는 산화물 반도체층을 단층 또는 2층 구조로 형성하여도 좋다.
- [0138] OS트랜지스터(601) 및 OS트랜지스터(602)에서, 예를 들어, OS층(641~643) 중 적어도 OS층(642)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하는 것으로 하고 또한 M의 원자수에 대한 In의 원자수의 비율은 OS트랜지스터(601) 및 OS트랜지스터(602)의 용도에 따라 상이하게 할 수 있다.
- [0139] OS층(641) 및 OS층(643)은 OS층(642)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소로서 포함한다. 이들의 전도대 하단의 에너지는 OS층(642)보다 0.05eV 이상, 0.07eV 이상, 또는 0.1eV 이상 진공 준위에 가깝거나, 0.15eV 이상이고, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가깝다.
- [0140] 구체적으로 OS층(641) 및 OS층(643)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, OS층(641) 및 OS층(643)을 형성하기 위하여 사용하는 타깃에서, 금속 원소의 원자수비를 $In:M:Zn=x_3:y_3:z_3$ 으로 하면 z_3/y_3 은 1/3 이상 6 이하인 것이 바람직하고, 1이상 6 이하인 것이 더 바람직하다. 또한, z_3/y_3 을 1 이상 6 이하로 함으로써, 나중에 OS층(641) 및 OS층(643)으로서 기재하는 CAAC-OS막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$ 등이 있다. 또한, CAAC-OS란 c축이 배향된 결정부를 갖는 산화물 반도체다. CAAC-OS에 대해서는 나중에 기재한다. 예를 들어, 스퍼터링법으로 CAAC-OS막을 형성하는 경우, 금속 산화물의 다결정 타깃을 사용하는 것이 바람직하다.
- [0141] 또한, OS층(641) 및 OS층(643)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, OS층(642)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0142] OS층(641~643)은 비정질 또는 결정질의 양쪽 형태를 가질 수 있다. 다만 채널 영역이 형성되는 OS층(642)이 결정질을 가짐으로써 OS트랜지스터(601) 및 OS트랜지스터(602)에 안정된 전기적 특성을 부여할 수 있기 때문에 OS층(642)은 결정질인 것이 바람직하다.
- [0143] 또한, 채널 형성 영역이란, 트랜지스터의 반도체층 중 게이트 전극과 중첩되고 소스 전극과 드레인 전극에 끼워진 영역을 가리킨다. 또한, 채널 영역이란, 채널 형성 영역에서 전류가 주로 흐르는 영역을 가리킨다.
- [0144] OS트랜지스터(601) 및 OS트랜지스터(602)의 경우, 게이트에 전압을 인가함으로써 전도대 하단의 에너지가 작은 OS층(642)에 채널 영역이 형성된다. 즉, OS층(642)과 절연층(622) 사이에 OS층(643)이 제공됨으로써 절연층(622)으로부터 이격된 OS층(642)에 채널 영역을 형성할 수 있다.
- [0145] 또한, OS층(643)은 OS층(642)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 OS층(642)과 OS층(643)의 계면에서는 계면 산란이 일어나기 어렵다. 따라서 상기 계면에서 캐리어의 움직임이 저해되기 어렵기 때문에 OS트랜지스터(601) 및 OS트랜지스터(602)의 전계 효과 이동도가 높아진다.

- [0146] 또한, OS층(642)과 OS층(641)의 계면에 계면 준위가 형성되면 계면 근방의 영역에도 채널 영역이 형성되기 때문에 OS트랜지스터(601) 및 OS트랜지스터(602)의 문턱 전압이 변동된다. 하지만 OS층(641)은 OS층(642)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 OS층(642)과 OS층(641)의 계면에서는 계면 준위가 형성되기 어렵다. 따라서 상기 구성에 의하여, OS트랜지스터(601) 및 OS트랜지스터(602)의 문턱 전압 등의 전기적 특성의 편차를 저감할 수 있다.
- [0147] 또한, 금속 산화물막 사이에 불순물이 존재하는 것으로 인하여 각 막의 계면에 캐리어의 흐름을 저해하는 계면 준위가 형성되는 일이 없도록 복수의 산화물 반도체막을 적층시키는 것이 바람직하다. 적층된 금속 산화물막의 막 사이에 불순물이 존재하면 금속 산화물막 사이에서의 전도대 하단의 에너지의 연속성이 없어지고, 계면 근방에서, 캐리어가 포획되거나, 또는 재결합에 의하여 소멸되기 때문이다. 금속 산화물막 사이에 존재하는 불순물을 저감시킴으로써, 주성분의 한 금속을 적어도 공통적으로 갖는 복수의 금속 산화물막을 단순히 적층시키는 경우에 비하여 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막들 사이에서 연속적으로 변화되는 U자형 우물 구조를 갖는 상태)이 형성되기 쉬워진다.
- [0148] 연속 접합을 형성하기 위해서는 로드 록(load lock)실을 구비한 멀티 체임버(chamber) 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 노출시키지 않고 연속적으로 적층해야 된다. 산화물 반도체에서 불순물이 되는 물 등을 가능한 한 제거하기 위하여, 스퍼터링 장치에서의 각 체임버는 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공(5×10^{-7} Pa~ 1×10^{-4} Pa정도까지) 배기하는 것이 바람직하다. 또는 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에 가스가 역류하지 않도록 해 두는 것이 바람직하다.
- [0149] 고순도화된 진성 산화물 반도체를 얻기 위해서는 각 체임버 내의 고진공 배기뿐만 아니라 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 상기 가스로서 사용하는 산소 가스나 아르곤 가스의 이슬점을 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하로 하여, 사용하는 가스의 고순도화를 도모함으로써 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.
- [0150] 또한, OS트랜지스터(601) 및 OS트랜지스터(602)는 반도체막의 단부가 경사진 구조를 가져도 좋고, 반도체막 단부가 둥그스름한 구조를 가져도 좋다.
- [0151] 또한, OS트랜지스터(601) 및 OS트랜지스터(602)에서, 소스 전극 및 드레인 전극에 사용된 도전성 재료에 따라서는 소스 전극 및 드레인 전극 중의 금속이 산화물 반도체막으로부터 산소를 추출할 경우가 있다. 이 경우, 산화물 반도체막 중, 소스 전극 및 드레인 전극에 접촉하는 영역이 산소 결손의 형성에 의하여 n형화된다. n형화된 영역은 소스 영역 또는 드레인 영역으로서 기능하기 때문에, 산화물 반도체막과 소스 전극 및 드레인 전극 사이에서의 접촉 저항을 낮출 수 있다. 따라서, n형화된 영역이 형성됨으로써 트랜지스터의 이동도 및 온 전류를 높일 수 있어 트랜지스터를 사용한 반도체 장치의 고속 동작을 구현할 수 있다.
- [0152] 또한, 소스 전극 및 드레인 전극 중의 금속에 의한 산소의 추출은 소스 전극 및 드레인 전극을 스퍼터링법 등에 의하여 형성할 때에 일어날 수 있고, 소스 전극 및 드레인 전극을 형성한 후에 수행되는 가열 처리에 의해서도 일어날 수 있다. 또한, n형화되는 영역은 산소와 결합하기 쉬운 도전성 재료를 소스 전극 및 드레인 전극에 사용함으로써, 형성되기 더 쉬워진다. 상술한 도전성 재료로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.
- [0153] 절연층(621)은 화학량론적 조성 이상의 산소가 포함되고, 가열에 의하여 상기 산소의 일부를 OS층(641~643)에 공급하는 기능을 갖는 절연층인 것이 바람직하다. 또한, 절연층(621)은 결합이 적은 것이 바람직하고, 대표적으로는 ESR(전자 스핀 공명) 시그널로 얻어지는, 실리콘의 맹글링 본드에서 유래하는 $g=2.001$ 을 갖는 스핀 밀도가 1×10^{18} spins/cm³ 이하인 것이 바람직하다.
- [0154] 절연층(621)은 가열에 의하여 상기 산소의 일부를 OS층(641~643)에 공급하는 기능을 갖기 때문에 산화물인 것이 바람직하고, 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 사용할 수 있다. 절연층(621)은 플라즈마 CVD(Chemical Vapor Deposition)법 또는 스퍼터링법 등에 의하여 형성할 수 있다.
- [0155] 또한, 본 명세서에서, "산화질화물"이란 질소보다 산소를 더 많이 포함하는 조성을 갖는 재료를 가리키고, "질화산화물"이란 산소보다 질소를 더 많이 포함하는 조성을 갖는 재료를 가리킨다.
- [0156] OS트랜지스터(601) 및 OS트랜지스터(602)는 채널 영역이 형성되는 OS층(642)의 단부 중 도전층(631) 및 도전층

(632)과 중첩되지 않는 단부, 바꿔 말하면 도전층(631) 및 도전층(632)이 위치하는 영역과 상이한 영역에 위치하는 단부와, 도전층(633)이 중첩되는 구성을 갖는다. OS층(642)의 단부는 상기 단부를 형성하기 위한 에칭으로 플라즈마에 노출될 때에 에칭 가스로부터 생긴 염소 라디칼, 불소 라디칼 등이 산화물 반도체를 구성하는 금속 원소와 결합되기 쉽다. 따라서 산화물 반도체막의 단부에서는 상기 금속 원소와 결합된 산소가 이탈되기 쉬운 상태에 있기 때문에 산소 결손이 형성되고 n형화되기 쉽다고 생각될 수 있다.

[0157] 한편, OS트랜지스터(601) 및 OS트랜지스터(602)에서는 도전층(631) 및 도전층(632)과 중첩되지 않는 OS층(642)의 단부와 도전층(633)이 중첩되기 때문에 도전층(633)의 전위를 제어함으로써 상기 단부에 인가되는 전계를 제어할 수 있다. 따라서 OS층(642)의 단부를 통하여 도전층(631)과 도전층(632) 사이에 흐르는 전류를 도전층(633)에 인가되는 전위에 의하여 제어할 수 있다. 이와 같은 트랜지스터 구조를 Surrounded Channel(S-Channel) 구조라고 부른다.

[0158] 구체적으로 S-Channel 구조인 경우, OS트랜지스터(601) 및 OS트랜지스터(602)가 오프 상태가 되는 전위를 도전층(633)에 인가하였을 때에는 상기 단부를 통하여 도전층(631)과 도전층(632) 사이에 흐르는 오프 전류를 낮게 억제할 수 있다. 그러므로 OS트랜지스터(601) 및 OS트랜지스터(602)에서는 높은 온 전류를 얻기 위하여 채널 길이를 짧게 하고, 이 결과, OS층(642)의 단부에서의 도전층(631)과 도전층(632) 사이의 길이가 짧게 되어도 OS트랜지스터(601) 및 OS트랜지스터(602)의 오프 전류를 낮게 억제할 수 있다. 따라서 OS트랜지스터(601) 및 OS트랜지스터(602)는, 채널 길이를 짧게 함으로써 온 상태일 때는 높은 온 전류를 얻을 수 있고 온 상태가 아닐 때에는 오프 전류를 낮게 억제할 수 있다.

[0159] 또한, 구체적으로 S-Channel 구조인 경우, OS트랜지스터(601) 및 OS트랜지스터(602)가 온 상태가 되는 전위를 도전층(633)에 인가하였을 때에는 상기 단부를 통하여 도전층(631)과 도전층(632) 사이에 흐르는 전류를 높일 수 있다. 상기 전류는 OS트랜지스터(601) 및 OS트랜지스터(602)의 전계 효과 이동도와 온 전류의 증대에 기여한다. 그리고 OS층(642)의 단부와 도전층(633)이 중첩됨으로써 OS층(642)에서의 캐리어가 흐르는 영역이 절연층(622)에 가까운 OS층(642)의 계면 근방뿐만 아니고 OS층(642)의 넓은 범위에서 캐리어가 흐르기 때문에 OS트랜지스터(601) 및 OS트랜지스터(602)의 캐리어의 이동량이 증가된다. 이 결과 OS트랜지스터(601) 및 OS트랜지스터(602)의 온 전류가 높게 되면서 전계 효과 이동도가 높게(대표적으로는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상, 또한, $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상) 된다. 또한, 여기서 말하는 전계 효과 이동도란, 산화물 반도체막의 물성값으로서의 이동도의 근사값이 아니고 트랜지스터의 포화 영역에서의 전류 구동력의 지표이며 외견상 전계 효과 이동도다.

[0160] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합하여 실시할 수 있다.

[0161] (실시형태 3)

[0162] 본 실시형태에서는 상술한 실시형태 2에서 설명한 OS트랜지스터로서 적용할 수 있는 산화물 반도체막에 대하여 설명한다.

[0163] OS트랜지스터의 채널 형성 영역을 구성하는 산화물 반도체막으로서, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. In 및 Zn을 포함하는 것이 특히 바람직하다. 또한, In 및 Zn에 더하여 산소를 강하게 연결하는 스테빌라이저를 갖는 것이 바람직하다. 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 지르코늄(Zr), 하프늄(Hf), 및 알루미늄(Al) 중 적어도 어느 하나를 가지면 좋다.

[0164] 또한, 다른 스테빌라이저로서, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유클로프(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수 종류를 가져도 좋다.

[0165] OS트랜지스터의 산화물 반도체막은 이하의 산화물로 형성할 수 있다. 예를 들어, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.

- [0166] 예를 들어, In:Ga:Zn=1:1:1, In:Ga:Zn=3:1:2, 또는 In:Ga:Zn=2:1:3의 원자수비를 갖는 In-Ga-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.
- [0167] 채널 형성 영역을 구성하는 산화물 반도체막에 수소가 많이 포함되면 산화물 반도체와 결합됨으로써, 수소의 일부가 도너가 되어, 캐리어인 전자가 발생한다. 이로써 트랜지스터의 문턱 전압이 음 방향으로 시프트된다. 그러므로, 산화물 반도체막을 형성한 후에 탈수화 처리(탈수소화 처리)를 수행하여 산화물 반도체막으로부터 수소 또는 수분을 제거함으로써 불순물이 가능한 한 포함되지 않도록 고순도화하는 것이 바람직하다.
- [0168] 또한 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막에서 산소가 감소될 수 있다. 따라서, 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)에 의하여 증가된 산소 결손을 보전하기 위하여 산소를 산화물 반도체막에 공급하는 처리를 수행하는 것이 바람직하다. 본 명세서 등에 있어서, 산화물 반도체막에 산소를 공급하는 경우를 가산소화 처리라고 기재하거나, 또는 산화물 반도체막에 포함되는 산소를 화학량론적 조성보다 많게 하는 경우를 과산소화 처리라고 기재하는 경우가 있다.
- [0169] 상술한 바와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고 가산소화 처리에 의하여 산소 결손이 보전됨으로써, i형(진성)화되거나 또는 i형에 한없이 가까워 실질적으로 i형(진성)화된 산화물 반도체막이 될 수 있다. 또한, 실질적으로 진성이라는 것은 산화물 반도체막 중에 도너에서 유래하는 캐리어가 매우 적고(제로에 가깝고) 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, $1 \times 10^{13}/\text{cm}^3$ 이하인 것을 말한다.
- [0170] 또한, 이와 같이 i형 또는 실질적으로 i형인 산화물 반도체막을 구비한 트랜지스터는 매우 뛰어난 오프 전류 특성을 구현할 수 있다. 예를 들어, 산화물 반도체막이 사용된 트랜지스터가 오프 상태일 때의 드레인 전류를 실온(25℃)에서 1×10^{-18} A 이하, 바람직하게는 1×10^{-21} A 이하, 더 바람직하게는 1×10^{-24} A 이하, 또는 85℃에서 1×10^{-15} A 이하, 바람직하게는 1×10^{-18} A 이하, 더 바람직하게는 1×10^{-21} A 이하로 할 수 있다. 또한 트랜지스터가 오프 상태란, n채널형 트랜지스터인 경우 게이트 전압이 문턱 전압보다 충분히 작은 상태를 가리킨다. 구체적으로는 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상, 또는 3V 이상 작으면 트랜지스터는 오프 상태라고 말할 수 있다.
- [0171] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다. 성막되는 산화물 반도체는 예를 들어, 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C-Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다.
- [0172] <CAAC-OS>
- [0173] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나이다. 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM 상이라고도 함)을 관찰함으로써 복수의 결정부를 확인할 수 있다. 한편, 고분해능 TEM상에 의해서도 명확한 결정부끼리의 경계, 즉 결정 입계(그레인 바운더리라고도 함)를 확인할 수 없다. 그러므로 CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0174] 시료면에 대략 평행한 방향으로부터 CAAC-OS막의 단면에서의 고분해능 TEM상을 관찰하면 결정부에서 금속 원자가 층상으로 배열되는 것이 확인될 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다. 시료면에 대략 수직인 방향으로부터 CAAC-OS막의 평면 고분해능 TEM상을 관찰하면 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되는 것이 확인될 수 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0175] CAAC-OS막에 대하여 전자 회절을 수행하면, 배향성을 나타내는 스폿(회점)이 관측된다. 예를 들어, CAAC-OS막의 상면에 대하여, 예를 들어, 1nm 이상 30nm 이하의 전자빔을 사용하는 전자 회절(나노 전자빔 회절이라고도 함)을 수행하면 스폿이 관측된다.
- [0176] 단면에서의 고분해능 TEM상 및 평면에서의 고분해능 TEM상으로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 확인할 수 있다.
- [0177] CAAC-OS막에 포함되는 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-

OS막에 포함되는 결정부는 한 번이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. 다만 CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면에서의 고분해능 TEM상에서, 2500nm^2 이상, $5\mu\text{m}^2$ 이상, 또는 $1000\mu\text{m}^2$ 이상이 되는 결정 영역이 관찰될 수 있다.

- [0178] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0179] CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0180] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면에서의 고분해능 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0181] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않는 경우도 있다.
- [0182] 또한, CAAC-OS막 중에서, c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 될 수 있다. 또한, 불순물이 첨가된 CAAC-OS막은, 불순물이 첨가된 영역이 변질되고, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성될 수도 있다.
- [0183] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방에 나타나는 피크에 더하여, 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방에 나타나는 피크는 CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방에 피크가 나타나고, 2θ 가 36° 근방에 피크가 나타나지 않는 것이 바람직하다.
- [0184] 본 명세서에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 가리킨다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 가리킨다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0185] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등의 산화물 반도체막의 주성분 외의 원소다. 특히 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0186] 또한 CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 중의 산소 결손은 캐리어 트랩이 되거나 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0187] CAAC-OS는 예를 들어, 결함 준위 밀도를 저감시킴으로써 형성할 수 있다. 산화물 반도체에 있어서 예를 들어 산소 결손은 결함 준위이다. 산소 결손은 트랩 준위가 되거나, 수소를 포획함으로써 캐리어 발생원이 될 수 있다. CAAC-OS를 형성하기 위해서는 예를 들어 산화물 반도체에 산소 결손을 발생시키지 않는 것이 중요하다.

- [0188] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성, 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성인 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도가 낮게 되는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는, 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)이 되기 어려울 수 있다. 또한 고순도 진성인 산화물 반도체 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 될 수 있다. 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실될 때까지에 걸리는 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.
- [0189] 따라서 CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0190] <nc-OS>
- [0191] 미결정 산화물 반도체는 고분해능 TEM상에서 결정부를 확인할 수 있는 영역과 명확한 결정부를 확인할 수 없는 영역을 갖는다. 미결정 산화물 반도체에 포함되는 결정부는 예컨대, 1nm 이상 100nm 이하, 또는, 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)라고 부른다.
- [0192] nc-OS막은 예를 들어, 고분해능 TEM상에서는 결정 입계를 명확히 확인할 수 없는 경우가 있다. nc-OS막은 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여, 결정부보다도 프로브 직경이 큰(예를 들어 50nm 이상) 전자빔을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 프로브 직경이 결정부의 크기와 가깝거나 결정부보다 작은 전자빔을 사용하는 나노 전자빔 회절을 수행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 전자빔 회절을 수행하면, 휘도가 높은 원형(환형) 영역이 관측될 수 있다. 또한, nc-OS막에 대하여 나노 전자빔 회절을 수행하면, 환형 영역 내에 복수의 스폿이 관측될 수 있다.
- [0193] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.
- [0194] <비정질 산화물 반도체막>
- [0195] 비정질 산화물 반도체막은, 막 중에서의 원자 배열이 불규칙하고, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례다.
- [0196] 비정질 산화물 반도체막은 고분해능 TEM상에서 결정부가 확인되지 않는다. 비정질 산화물 반도체막에 대하여, XRD 장치를 사용한 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대하여 전자 회절을 수행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대하여, 나노 전자빔 회절을 수행하면, 스폿이 관측되지 않고, 헤일로 패턴이 관측된다.
- [0197] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 이와 같은 구조를 갖는 산화물 반도체막을 특히, amorphous-like OS(Oxide Semiconductor)막이라고 부른다.
- [0198] amorphous-like OS막은 고분해능 TEM상에서 공동(보이드라고도 함)이 관찰될 수 있다. 또한, 고분해능 TEM상에서 명확하게 결정부를 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역을 갖는다. amorphous-like OS막은 TEM에 의한 관찰 정도의 미량의 전자 조사에 의하여 결정화가 일어나서 결정부의 성장을 보일 수 있는 경우가 있다. 한편, 양질의 nc-OS막이라면 TEM에 의한 관찰 정도의 미량의 전자 조사에 의한 결정화는 거의 보이지 않는다.

- [0199] 또한, amorphous-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM상을 사용하여 계측할 수 있다. 예를 들어, InGaZnO₄의 결정은 층상 구조를 갖고 In-O층 사이에 Ga-Zn-O층을 2층 갖는다. InGaZnO₄의 결정의 단위 격자는 In-O층을 3층 갖고, 또한, Ga-Zn-O층을 6층 갖는 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는다. 따라서 이들 근접한 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이고, 결정 구조 해석으로부터 그 값은 0.29nm라고 산출된다. 그러므로 고분해능 TEM상에서의 격자 무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소에서는 각각 격자 무늬가 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0200] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다. 또한, 산화물 반도체막이 CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 중 2종류 이상을 갖는 혼합막이라도 좋다. 산화물 반도체막이 복수의 구조를 갖는 경우, 예를 들어, 나노 전자빔 회절을 사용함으로써 구조 해석이 가능해지는 경우가 있다.
- [0201] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합하여 실시할 수 있다.
- [0202] (실시형태 4)
- [0203] 본 실시형태에서는 반도체 장치의 일례로서 상술한 실시형태에서 설명한 DC-DC컨버터를 구비하는 전자 기기의 예에 대하여 설명한다.
- [0204] 본 발명의 일 형태에 따른 DC-DC컨버터는 DC전압으로 구동되는 회로나 장치 등을 구비한 다양한 전자 기기에 사용할 수 있다.
- [0205] 전자 기기의 구체적인 예로서 텔레비전이나 모니터 등의 표시 장치, 조명 장치, 데스크톱형이나 노트북형의 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 정지 화상 또는 동영상상을 재생하기 위한 화상 재생 장치, CD(Compact Disc) 플레이어나 디지털 오디오 플레이어 등의 휴대형 또는 설치형 음향 재생 장치, 휴대형 또는 설치형 라디오 수신기, 테이프 리코더나 IC 리코더(보이스 리코더) 등의 녹음 재생 기기, 헤드폰 스테레오, 스테레오, 탁상 시계나 벽걸이시계 등의 시계, 무선 전화 핸드셋, 휴대 무선기, 휴대 전화기, 자동차 전화, 휴대형 또는 설치형 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적 단말, 전자 번역기, 마이크로폰 등의 음성 입력 기기, 스틸 카메라나 비디오 카메라 등의 카메라, 전기 면도기, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 온수기, 선풍기, 헤어드라이어, 가습기나 제습기나 에어컨디셔너 등의 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 손전등, 전동 공구, 연기 감지기, 보청기, 심장 페이스메이커, 휴대형 X선 촬영 장치, 전기 마사지기나 투석 장치 등의 건강 기기나 의료 기기 등을 들 수 있다. 더구나, 유도등, 신호기, 가스 미터나 수도 미터 등의 계량기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 무선용 중계국, 휴대 전화의 기지국, 전력 저장 시스템, 전력의 평준화나 스마트 그리드를 위한 축전 장치 등의 산업 기기를 들 수 있다. 또한, 리튬 이온 2차 전지로부터의 전력을 사용하여 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서, 예를 들어 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들의 타이어 차륜을 무한궤도로 바꾼 장궤(裝軌) 차량, 농업 기계, 전동 어시스트 자전거를 포함하는 원동기 장치 자전거, 자동 이륜차, 전동 휠체어, 전동 카트, 소형 또는 대형 선박, 잠수함, 고정익기나 회전익기 등의 항공기, 로켓, 인공 위성, 우주 탐사기나 혹성 탐사기, 우주선 등을 들 수 있다.
- [0206] 본 발명의 일 형태에서 특히 OS트랜지스터를 사용하여 제어 회로가 구성된 DC-DC컨버터는 150℃ 이상의 고온하에서도 동작시킬 수 있다. 따라서 이와 같은 형태에 따른 DC-DC컨버터는 동작할 때에 온도가 상승될 가능성이 높은 전자 기기에 바람직하게 사용될 수 있다. 이와 같은 전자 기기로서는 전기 자동차(하이브리드 자동차, 플러그인 하이브리드 자동차를 포함함), 전동 공구, 산업용 로봇, 연기 감지기, 무정전 전원 장치 등을 들 수 있다.
- [0207] 도 18에 전자 기기의 구체적인 예를 몇 개 도시하였다.
- [0208] 도 18에는 표시 장치의 일례를 도시하였다. 표시 장치(8000)는 예를 들어, TV 방송 수신용 표시 장치에 상당하고, 하우징(8001), 표시부(8002), 스피커부(8003) 등을 갖는다. 본 발명의 일 형태에 따른 DC-DC컨버터는 하우징(8001) 내부에 제공된다.
- [0209] 표시부(8002)에는 액정 표시 장치, 유기 EL 소자 등의 발광 소자를 각 화소에 구비한 발광 장치, 전기 영동 표시 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등의

반도체 표시 장치를 사용할 수 있다.

- [0210] 본 실시형태에 따른 표시 장치에는 TV 방송 수신용에 대하여 퍼스널 컴퓨터용, 광고 표시용 등 모든 정보 표시용 표시 장치가 포함된다.
- [0211] 도 18에는 설치형 조명 장치의 일례를 도시하였다. 조명 장치(8100)는 천장에 구비된다. 조명 장치(8100)는 하우징(8101), 광원(8102), 제어 장치(8103) 등을 갖는다. 제어 장치(8103)는 조광, 타이머 제어 등의 제어를 수행하는 반도체 장치이며 제어 장치(8103)에 DC-DC컨버터가 제공된다.
- [0212] 또한, 조명 장치로서 도 18에는 주택용 설치형 조명 장치(8100)를 예시하였지만 그 외, 탁상 조명 장치나, 야외에서 사용되는 조명 장치 등에 본 발명의 일 형태에 따른 DC-DC컨버터를 사용할 수 있다.
- [0213] 도 18에는 세퍼레이트형 에어컨디셔너의 일례를 도시하였다. 에어컨디셔너는 실내기(8200) 및 실외기(8204)를 갖는다. 실내기(8200)는 하우징(8201), 송풍구(8202) 등을 갖는다. 실내기(8200) 및 실외기(8204)의 전원 회로에 본 발명의 일 형태에 따른 DC-DC컨버터가 제공된다.
- [0214] 또한, 도 18에는 세퍼레이트형 에어컨디셔너를 예시하였지만 실내기의 기능과 실외기의 기능을 한 하우징에 갖는 일체형 에어컨디셔너로 하여도 좋다.
- [0215] 도 18에 가진 제품의 일례로서 전기 냉동 냉장고를 도시하였다. 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 도어(8302), 냉동실용 도어(8303) 등을 갖는다. 하우징(8301) 내부에 본 발명의 일 형태에 따른 DC-DC컨버터가 제공된다.
- [0216] 도 19에 전기 자동차의 일례를 도시하였다.
- [0217] 전기 자동차(8500)에는 리튬 이온 2차 전지(8501)가 탑재되어 있다. 리튬 이온 2차 전지(8501)의 전력은 제어 회로(8502)에 의하여 출력이 조정되고 구동 장치(8503)에 공급된다. 제어 회로(8502)는 ROM, RAM, CPU(미도시) 등을 갖는 처리 장치(8504)에 의하여 제어된다. 예를 들어, 제어 회로(8502)나 처리 장치(8504) 등의 전원 회로에 본 발명의 일 형태에 따른 DC-DC컨버터가 사용된다.
- [0218] 구동 장치(8503)는, 직류 전동기 또는 교류 전동기 단체, 또는 전동기와 내연 기관을 조합하여 구성된다. 처리 장치(8504)는 전기 자동차(8500)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행 시의 정보(오르막길인지 내리막길인지 등의 정보, 구동륜에 가해지는 부하 정보 등)의 입력 정보에 따라, 제어 회로(8502)에 제어 신호를 출력한다. 제어 회로(8502)는 처리 장치(8504)의 제어 신호에 의하여 리튬 이온 2차 전지(8501)로부터 공급되는 전기 에너지를 조정하여 구동 장치(8503)의 출력을 제어한다.
- [0219] 도 20에 축전 장치의 일례를 도시하였다.
- [0220] 도 20의 (A)에 도시된 바와 같이, 축전 장치(8700)는 시스템 전원(8703)과 전기적으로 접속되기 위한 플러그(8701)를 갖는다. 또한, 축전 장치(8700)는 주택 내에 제공된 분전반(8704)과 전기적으로 접속된다.
- [0221] 또한, 축전 장치(8700)는 동작 상태 등을 나타내기 위한 표시 패널(8702) 등을 가져도 좋다. 표시 패널(8702)은 터치 스크린을 가져도 좋다. 또한, 표시 패널 외에, 주전원의 온/오프를 전환하기 위한 스위치나, 축전 시스템을 조작하기 위한 스위치 등을 가져도 좋다.
- [0222] 또한, 도시되지 않았지만, 축전 장치(8700)를 조작하기 위하여, 축전 장치(8700)와 별도로 예를 들어, 실내의 벽에 조작 스위치를 제공하여도 좋다. 또는 축전 장치(8700)와 가정 내에 제공된 퍼스널 컴퓨터, 서버 등과 접속하여, 간접적으로 축전 장치(8700)를 조작하여도 좋다. 또한 스마트폰 등의 정보 단말기나 인터넷 등을 사용하여 축전 장치(8700)를 원격 조작하여도 좋다. 이들 경우, 축전 장치(8700)와 기타 기기가 유선 또는 무선으로 통신하는 기구를 축전 장치(8700)에 제공하면 좋다.
- [0223] 도 20의 (B)는 축전 장치(8700)의 내부를 모식적으로 도시한 도면이다. 축전 장치(8700)는 복수의 배터리(8705)를 포함하는 배터리군(8706)과 BMU(Battery Management Unit)(8707)와 PCS(Power Conditioning System)(8708)를 갖는다.
- [0224] 배터리군(8706)은 배터리(8705)를 복수로 늘어놓아 접속한 것이다. 시스템 전원(8703)으로부터의 전력을 배터리군(8706)에 대전시킬 수 있다. 배터리군(8706) 각각은 BMU(8707)와 전기적으로 접속된다.
- [0225] BMU(8707)는 배터리군(8706)이 갖는 복수의 배터리(8705) 상태를 감시 및 제어하거나 또한, 배터리(8705)를 보호할 수 있는 기능을 갖는다. 구체적으로는, BMU(8707)는 배터리군(8706)이 갖는 복수의 배터리(8705)의 셀 전

압, 셀 온도 데이터 수집, 과충전 및 과방전의 감시, 과전류의 감시, 셀 밸런서 제어, 전지 열화 상태의 관리, 전지 잔량((충전율) State Of Charge: SOC)의 산출 연산, 냉각 팬의 제어, 또는 고장 검출의 제어 등을 수행한다. 또한, 이들 기능의 일부 또는 전부는 상술한 바와 같이, 배터리(8705) 내에 포함되어도 좋고, 또는 배터리군(8706)마다 이 기능을 부여하여도 좋다. 또한, BMU(8707)는 PCS(8708)와 전기적으로 접속된다.

- [0226] PCS(8708)는, 교류(AC) 전원인 시스템 전원(8703)과 전기적으로 접속되고, 직류-교류 변환을 수행한다. 예를 들어, PCS(8708)는, 인버터나, 시스템 전원(8703)의 이상을 검출하여 동작을 정지하는 시스템 연계 보호 장치 등을 갖는다. 충전 장치(8700)를 충전할 때에는, 예를 들어 시스템 전원(8703)의 교류 전력을 직류로 변환하여 BMU(8707)로 송전하고, 충전 장치(8700)를 방전할 때에는, 배터리군(8706)에 축적된 전력을 교류로 변환하여 야외 등에 있는 부하에 공급한다. 또한, 충전 장치(8700)로부터 부하로의 전력은, 도 20의 (A)에 도시된 바와 같이 분전반(8704)을 통하여 공급되어도 좋고, 또는 충전 장치(8700)와 부하의 접속을 유선 또는 무선에 의하여 직접 수행하여도 좋다.
- [0227] 본 발명의 일 형태에 따른 DC-DC컨버터는 예를 들어, PCS(8708), BMU(8707)가 내장된 회로의 전원 회로에 적용할 수 있다.
- [0228] 도 21에 전자 기기로서 디지털 기기의 구체적인 예를 몇 개 도시하였다.
- [0229] 도 21의 (A)에 휴대형 정보 단말의 일례를 도시하였다. 정보 단말(900)은 하우징(901), 하우징(902), 표시부(903a), 표시부(903b) 등에 의하여 구성된다. 하우징(901) 및 하우징(902) 중 적어도 일부에는 DC-DC컨버터(10)가 제공된다.
- [0230] 또한, 표시부(903a)는 터치 입력 기능을 갖는 패널이고, 예를 들어, 도 21의 (A) 중 왼쪽 도면과 같이, 표시부(903a)에 표시되는 선택 버튼(904)에 의하여 "터치 입력"을 수행할지, "키보드 입력"을 수행할지를 선택할 수 있다. 선택 버튼은 다양한 크기로 표시할 수 있기 때문에, 폭넓은 세대의 사람들이 편하게 사용할 수 있다. 여기서, 예를 들어 "키보드 입력"을 선택한 경우, 도 21의 (A) 중 오른쪽 도면과 같이 표시부(903a)에는 키보드(905)가 표시된다. 이로써 종래의 정보 단말과 마찬가지로 키 입력에 의하여 빠르게 문자 등을 입력할 수 있다.
- [0231] 또한, 정보 단말(900)은 도 21의 (A) 중 오른쪽 도면과 같이 표시부(903a) 및 표시부(903b) 중 한쪽을 뿔 수 있다. 표시부(903b)도 터치 입력 기능을 갖는 패널로서 사용할 수 있고 휴대할 때 더 경량화를 도모할 수 있고, 한 손으로 하우징(902)을 들고 다른 손으로 조작할 수 있기 때문에 편리하다.
- [0232] 정보 단말(900)은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 상기 하우징의 뒷면 또는 측면에 제공되는 구성으로 하여도 좋다.
- [0233] 또한 정보 단말(900)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선 통신을 통하여, 전자 서적 서버로부터 원하는 서적 데이터 등을 구매하여 다운로드할 수 있다.
- [0234] 또한, 하우징(902)에 안테나나 마이크로폰 기능이나 무선 기능을 갖게 하여, 휴대 전화로서 사용하여도 좋다.
- [0235] 전자 종이가 실장된 전자 서적 단말(910)의 구성예를 도 21의 (B)에 도시하였다. 전자 서적 단말(910)은 하우징(911)과 하우징(912)의 2개의 하우징으로 구성된다. 하우징(911) 및 하우징(912)에는, 각각 표시부(913) 및 표시부(914)가 제공된다. 하우징(911)과 하우징(912)은 축부(915)에 의하여 접속되어 있고, 이 축부(915)를 축으로 하여 개폐 동작을 수행할 수 있다. 또한, 하우징(911)은, 전원(916), 조작 키(917), 스피커(918) 등을 구비한다. 하우징(911) 및 하우징(912) 중 적어도 하나에는 DC-DC컨버터(10)가 제공된다.
- [0236] 도 21의 (C)에 스마트폰의 구성의 일례를 도시하였다. 스마트폰(930)의 본체(935)에는 표시부(931)와, 스피커(932)와, 마이크로폰(933)과, 조작 버튼(934) 등이 제공된다. 본체(935) 내에는 DC-DC컨버터(10)가 제공된다.
- [0237] 도 21의 (D)에 손목시계형 표시 장치의 일례를 도시하였다. 손목시계형 표시 장치(940)는 본체(941), 표시부(942) 등에 의하여 구성된다. 본체(941) 내에는 DC-DC컨버터(10)가 제공된다.
- [0238] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합하여 실시할 수 있다.
- [0239] (실시예 1)

- [0240] <<DC-DC컨버터의 제어 회로>>
- [0241] 설계한 DC-DC컨버터의 제어 회로를 OS트랜지스터(n채널형 트랜지스터)를 사용하여 제작하고, 이 성능 평가를 수행하였다. 여기서는 제어 회로로서 도 4에 도시된 회로 블록(200)에 대응하는 회로군을 제작하였다. 또한, 이 회로군과 함께 전압 변환 회로의 스위치를 같은 칩에 집적하였다. 도 24는 칩에 집적된 회로군의 블록도이고, 도 25는 칩의 광학 현미경 사진이다.
- [0242] 도 24에 도시된 바와 같이, 전압 변환 회로의 스위치를 구성하는 OS트랜지스터(Msw1)에는 백 게이트를 제공하였다. OS트랜지스터(Msw1)의 채널 길이는 3 μ m이고 채널 폭은 183,700 μ m다. 또한, OS트랜지스터(Msw1)는 전기적으로 병렬로 접속된 복수의 OS트랜지스터로 구성된다.
- [0243] 도 24에 도시된 바와 같이, 제어 회로(105)는 제어 모드를 PWM제어 모드(이하, PWM모드라고 부름)와, 히스테리시스 제어 모드(히스테리시스 모드) 사이에서 전환할 수 있는 구성을 갖는다. 제어 회로(105)는 2입력 콤퍼레이터(22), 3입력 콤퍼레이터(23), 선택터(selector) 회로(24), 버퍼 회로(G-BUF)(25), 버퍼 회로(P-BUF)(26), 디지털 블록(60), 분주 회로(61), 및 DAC(62)를 갖는다. 제어 회로(105)의 트랜지스터 및 OS트랜지스터(Msw1)는 OS트랜지스터다. 또한, 이들 OS트랜지스터의 산화물 반도체층은 CAAC-OS를 형성할 수 있는 조건으로 형성된 산화물 반도체막으로 형성하였다.
- [0244] 도 25에서, 콤퍼레이터부(COMP)는 2입력 콤퍼레이터(22), 또는 3입력 콤퍼레이터(23)를 구성하는 3개의 콤퍼레이터(20)가 형성되는 회로 블록이다. 로직부(LOGIC)는 2개의 NAND 게이트 회로(21), 선택터 회로(24), 디지털 블록(60), 및 분주 회로(61)가 형성되는 회로 블록이다. 제어 회로(105)의 크기는 5mm \times 7.7mm다.
- [0245] 제어 회로(105)에서, PWM모드로 기능하는 회로군이 3입력 콤퍼레이터(23), 디지털 블록(60), 분주 회로(61), DAC(62), 및 P-BUF(26)다. 이들 회로 구성 및 기능은 도 4에 도시된 로직부(110)와 마찬가지로이기 때문에 그 설명을 원용한다.
- [0246] 분주 회로(61)는 CLKDIV(111)에 상당하는 회로이고, 디지털 블록(60)은 AVEC(112) 및 DUTYC(113)의 기능을 구비한 디지털 신호 처리 회로다. 분주 회로(61)는 클럭 신호(cIk)로부터 6비트의 디지털 신호를 생성하고 디지털 블록(60) 및 DAC(62)에 출력한다. DAC(62)는 8비트의 디지털 신호에 따라 신호(VTRI)를 생성하고 출력한다. 디지털 블록(60)으로 처리된 디지털 신호는 P-BUF(26)에 출력된다. PWM모드에서는 P-BUF(26)의 출력 신호(PWM_OUT)가 전압 변환 회로의 스위치의 제어 신호로서 사용된다.
- [0247] 신호(SET_PWM)는 신호(PWM_OUT)의 듀티 비율 설정값을 외부 입력 신호(expwm[5:0])에 의하여 설정할지, 디지털 블록(60)으로 연산한 값에 의하여 설정할지를 결정하기 위한 신호다. 신호(FIX_PWM)는 듀티 비율 설정값의 초기값을 결정하기 위한 제어 신호다. SW_DIG_AVE는 3입력 콤퍼레이터(23)의 출력값의 평균값을 외부 입력 신호(ex_ave[5:0])에 의하여 설정할지 디지털 블록(60)으로 연산한 값에 의하여 설정할지를 결정하기 위한 신호다.
- [0248] 히스테리시스 모드에서는 G-BUF(25)의 출력 신호(GS)가 전압 변환 회로의 스위치의 제어 신호가 된다. 선택터 회로(24)는 신호(GSMUX)에 의하여 G-BUF(25)로 출력하는 신호를 2입력 콤퍼레이터(22)의 출력 신호와, 3입력 콤퍼레이터(23)의 출력 신호로 전환한다. 전압(Vref)은 2입력 콤퍼레이터(22)의 참조 전압이다.
- [0249] 2입력 콤퍼레이터(22)는 한 콤퍼레이터(20)로 구성된다. 3입력 콤퍼레이터(23)는 히스테리시스 콤퍼레이터(120)(도 8 참조)와 마찬가지로의 회로 구성을 갖고 2개의 콤퍼레이터(20) 및 2개의 NAND 게이트 회로(21)로 구성된다. 콤퍼레이터(20)는 CMP_A(도 9 참조)와 마찬가지로의 회로 구성이다. 여기서는 콤퍼레이터(20)는 참조 전원 회로(210)(도 10 참조), 9단의 AMPA(211)(도 12 참조), 1단의 AMPB(212)(도 13 참조), 및 6단의 INVA(213)(도 11 참조)로 구성된다. 6단의 INVA(213)는 버퍼 회로로서 기능한다. 또한, NAND 게이트 회로(21)는 NAND_A(도 14 참조)와 마찬가지로의 회로 구성으로 하였다.
- [0250] 차동 증폭 회로를 단일 도전형을 갖는 트랜지스터로 구성하는 경우, n채널형 트랜지스터와 p채널형 트랜지스터를 상보적으로 조합한 캐스코드 전류 미러 회로를 구성할 수 없다. 그러므로 도 12 및 도 13에 도시된 바와 같이, 콤퍼레이터(20)를 구성하는 차동 증폭 회로(AMPA(211) 및 AMPB(212))를 폴디드 캐스코드 회로가 사용된 차동 증폭 회로로 하였다. 이로써 콤퍼레이터(20)의 동작 전압을 낮게 할 수 있다. 또한, 온도 변화에 대한 전류 바이어스를 안정화시키기 위하여 AMPA(211) 및 AMPB(212)에 전류 미러를 다용하였다.
- [0251] <<콤퍼레이터의 동작 검증>>
- [0252] 고온 환경하에서의 2입력 콤퍼레이터(22)(콤퍼레이터(20))의 동작을 검증하였다. 이 결과를 도 26에 나타내었다. 도 26은 오실로스코프로 측정된 2입력 콤퍼레이터(22)의 입력 신호(Vref, FB)와, 출력 신호(GS)의 파형을

나타낸 것이다. 측정 환경 온도는 150℃이었다. 2입력 콤파레이터(22)에는 참조 전압(Vref=4.0V)을 입력하고 피드백 신호(FB)로서 진폭 5.0V, 주파수 35kHz의 클록 신호를 입력하였다. 신호(GS)의 진폭은 10V이었다. 신호(GS)의 하강 시간(Tf)은 6.2μs이고, 상승 시간(Tr)은 6μs이었다. 도 26을 보면, 시제된 콤파레이터(20)는 150℃의 환경하에서 주파수 35kHz로 동작할 수 있는 것이 확인되었다.

[0253]

<<DC-DC컨버터의 동작 검증>>

[0254]

제어 회로(105)와 전압 변환 회로를 조합하여 DC-DC컨버터를 제작하고 그 전력 효율을 측정하였다. 도 27은 DC-DC컨버터의 전력 효율을 측정하는 방법을 설명하기 위한 모식도다.

[0255]

제어 회로(105)를 히스테리시스 모드로 동작시켰다. 히스테리시스 콤파레이터에는 3입력 콤파레이터(23)를 사용하였다. 전압 변환 회로(80)에는 강압형 초퍼 회로를 사용하였다. 전압 변환 회로(80)의 스위치에는 Si트랜지스터를 사용하였다. 코일의 인덕턴스(L)는 100μH이고 용량 소자의 정전 용량(C)은 300μF이었다. 전압 변환 회로(80)의 출력에는 전기적 부하(81)를 접속하였다. 전기적 부하(81)에는 정(定)전류 부하 장치를 사용하였다. 전압(Vout) 및 전류(Iout)는 전압 변환 회로(80)로부터 전기적 부하(81)로 공급되는 전압 및 전류다. 전원(91)에 의하여 전압 변환 회로(80)로 전압(Vin) 및 전류(Iin)를 공급하고, 제어 회로(105)에는 전원(92)에 의하여 전압(Vdd) 및 전류(Ids)를 공급하였다.

[0256]

도 28에 DC-DC컨버터의 부하 전력에 대한 전력 효율 및 제어 회로(105)에서 소비되는 전류(Ids)의 측정 결과를 나타내었다. 도 28에 나타낸 데이터는, 디지털 멀티 미터(DMM)(93)로 측정된 전압(Vin) 및 전류(Iin)와, DMM(94)으로 측정된 전압(Vdd) 및 전류(Ids)와, 전기적 부하(81)를 흐르는 로드 전류로부터 얻어진 것이다. 측정 환경 온도는 실온, 85℃, 125℃, 및 150℃로 하였다. 도 28에는 실온과 150℃의 데이터를 나타내었다. 온도가 100℃ 이상 상승되어도 전력 효율의 현저한 저하는 확인되지 않았다. 또한, 소비 전력(Ids)은, 150℃에서는 실온보다 약간 증가되지만 거의 변화가 없는 값이었다. 구체적으로는 실온에서의 최고 전력 효율은, Iout=250mA, Ids=2.80mA인 경우에서 81.5%이었다. 또한, 150℃에서의 최고 전력 효율은, Iout=300mA, Ids=4.31mA인 경우에서 80.4%이었다.

[0257]

본 실시예에 따르면, 제어 회로를 모두 0S트랜지스터를 사용하여 구성함으로써 150℃에서 동작할 수 있는 DC-DC컨버터를 구현할 수 있는 것을 확인할 수 있었다.

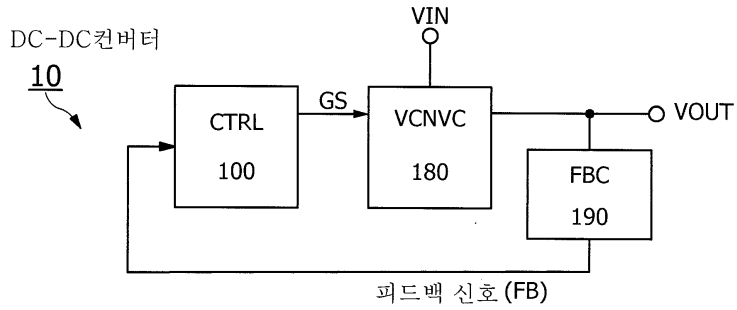
부호의 설명

[0258]

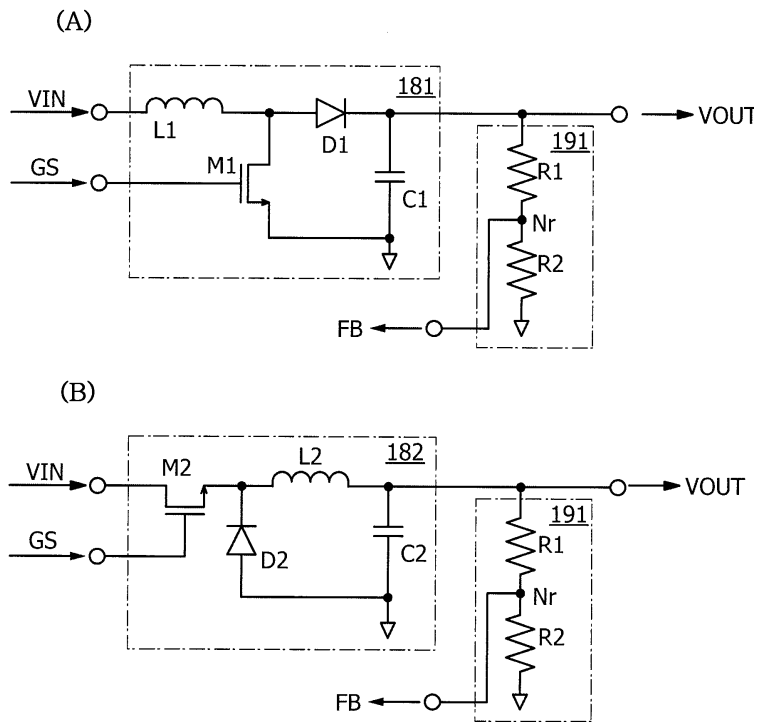
- 10: DC-DC컨버터
- 100: 제어 회로(CTRL)
- 110: 로직부
- 120: 히스테리시스 콤파레이터
- 130: 콤파레이터
- 140: 디지털-아날로그 변환 회로(DAC)
- 150: 버퍼 회로
- 180: 전압 변환 회로(VCNVC)
- 190: 귀환 회로(FBC)

도면

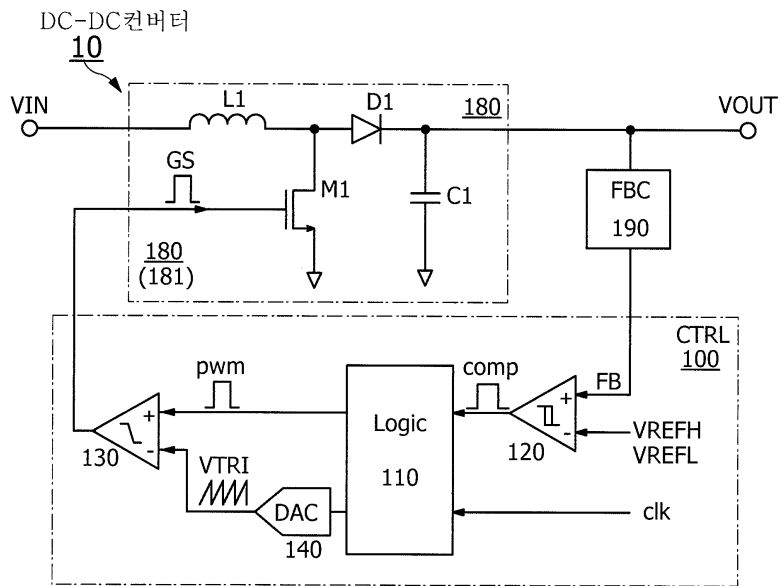
도면1



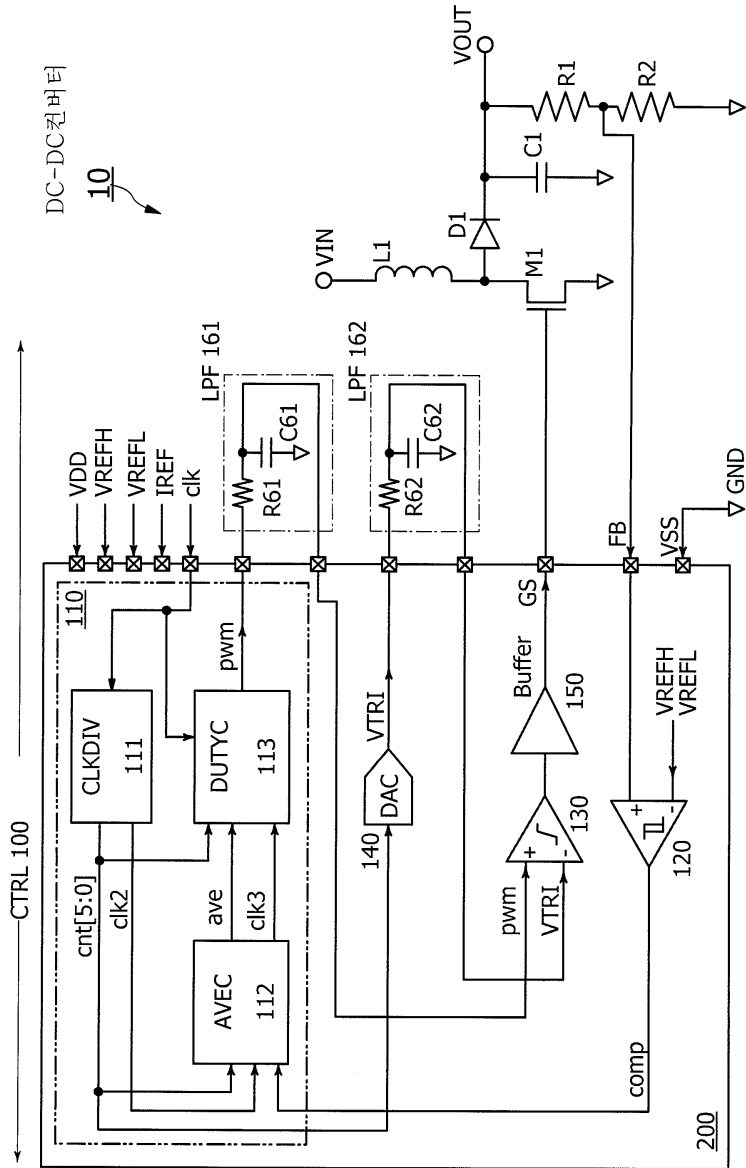
도면2



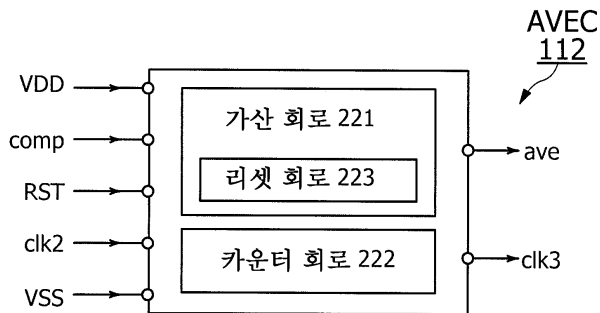
도면3



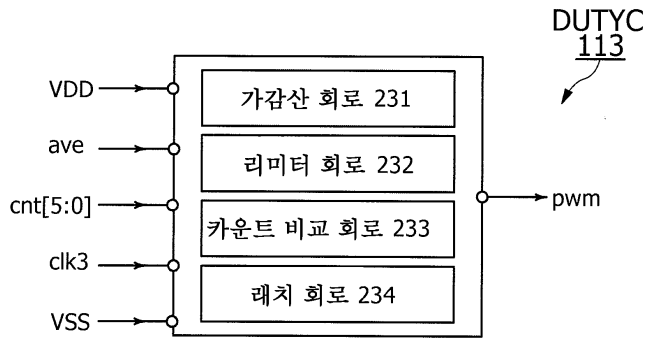
도면4



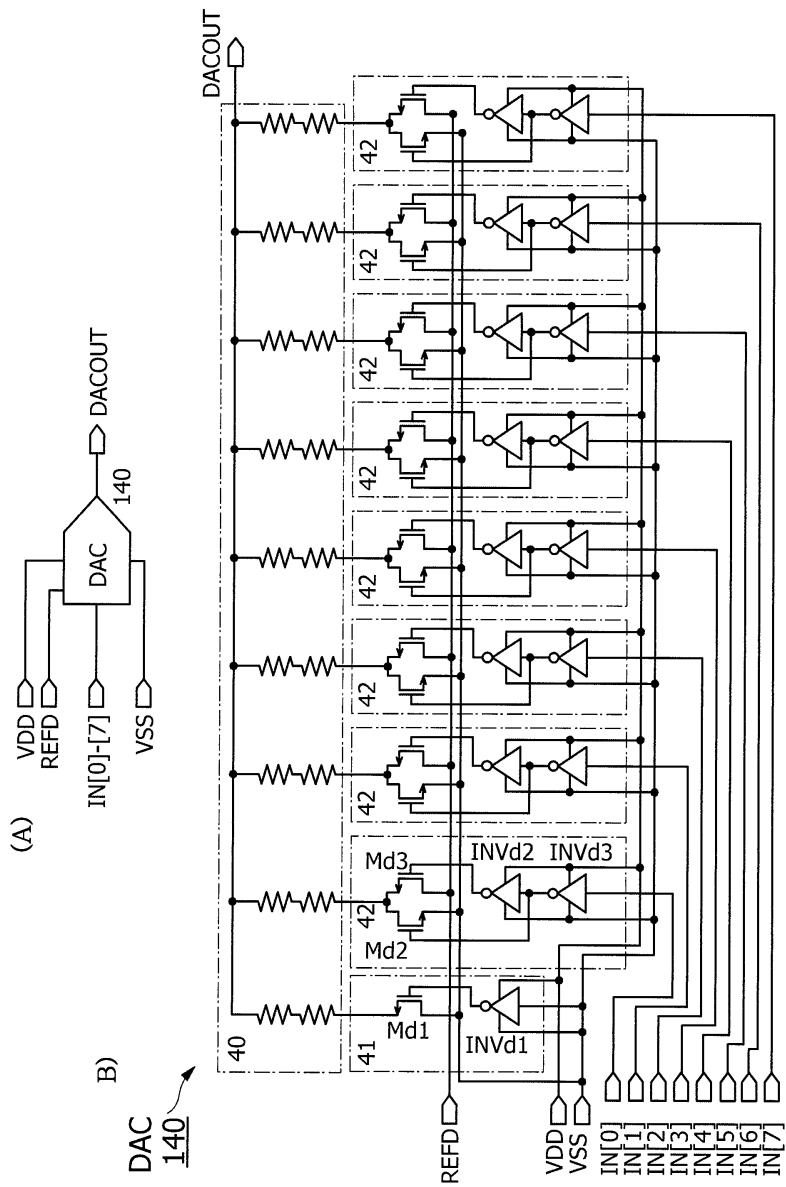
도면5



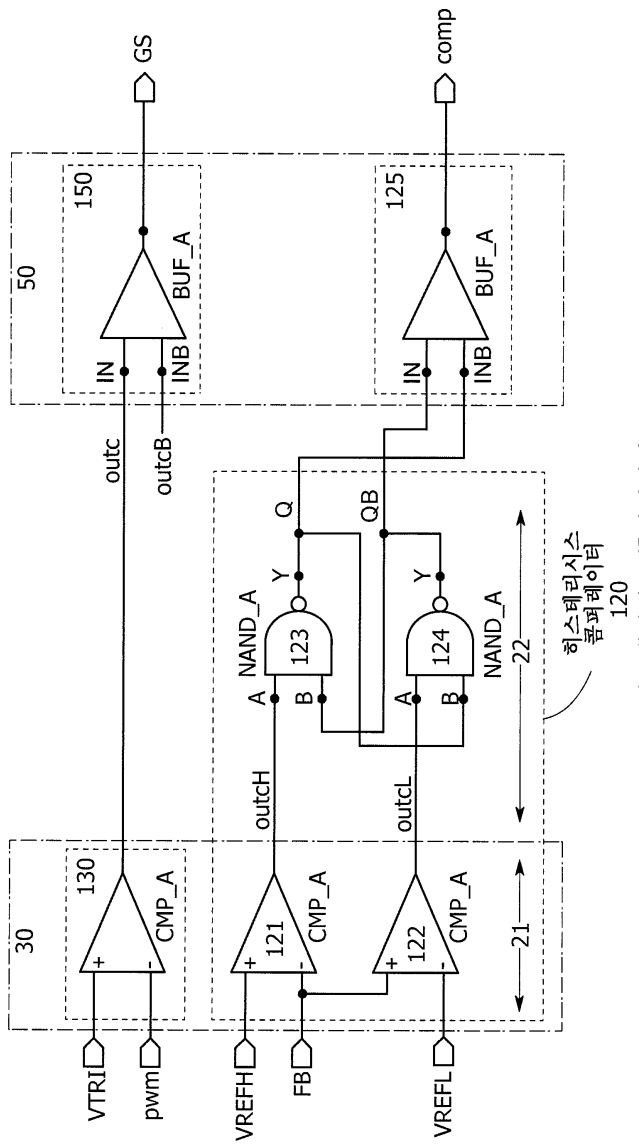
도면6



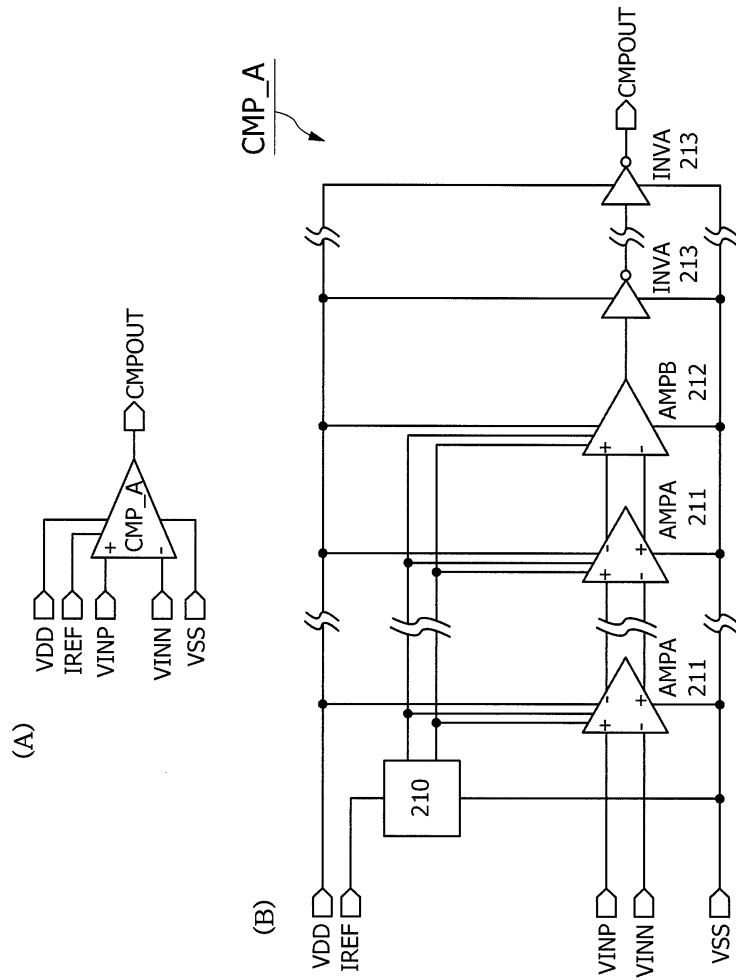
도면7



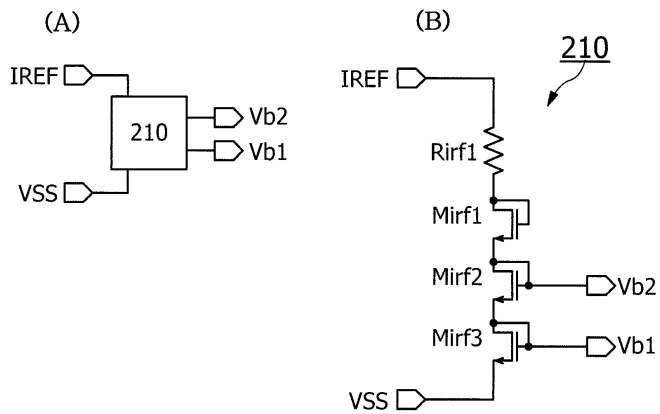
도면8



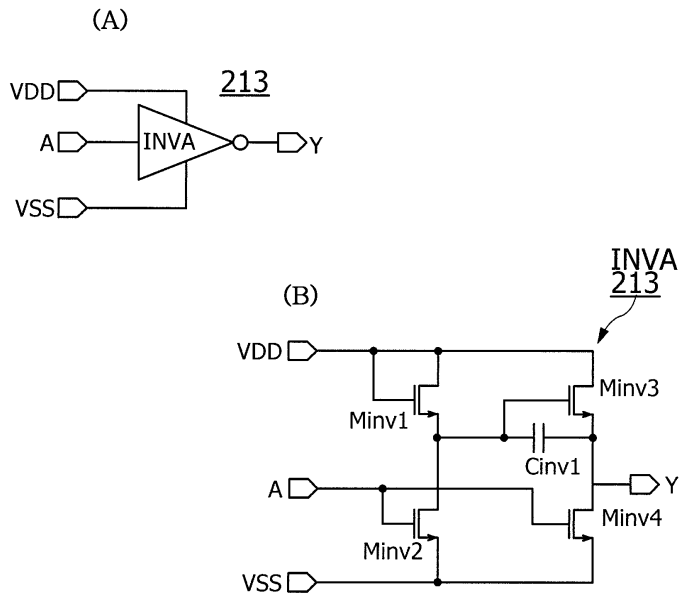
도면9



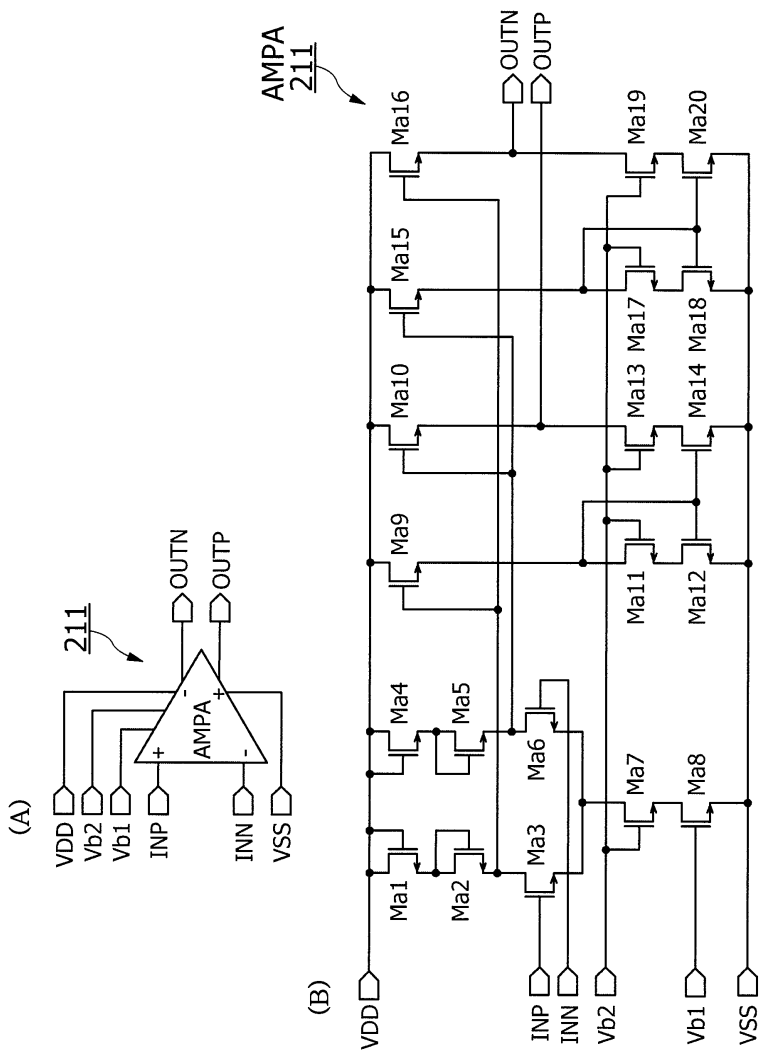
도면10



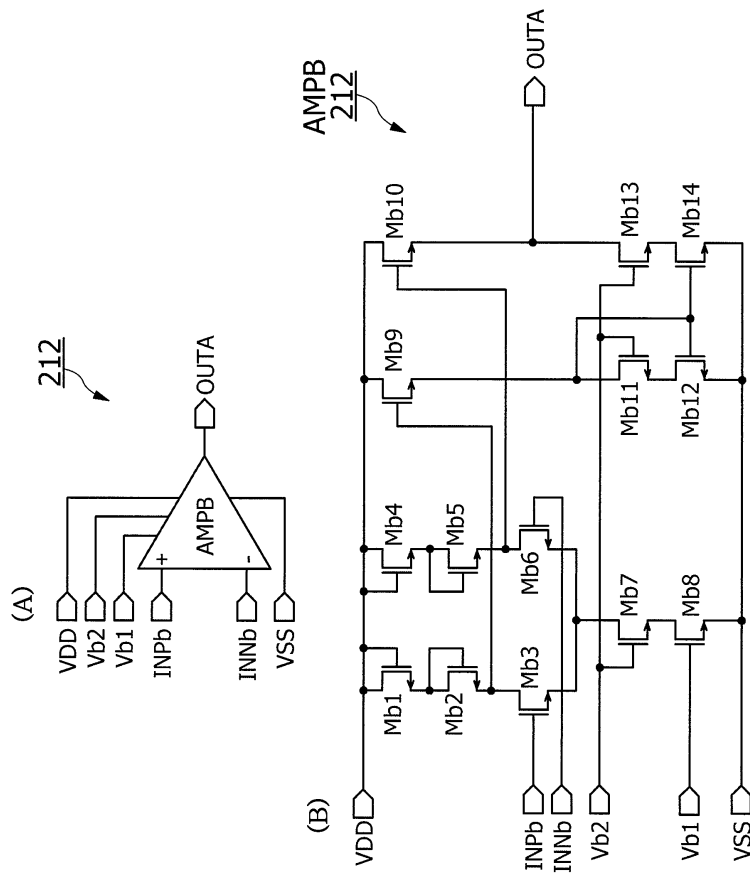
도면11



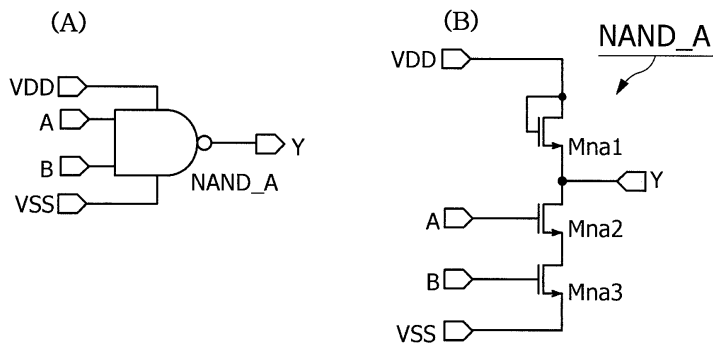
도면12



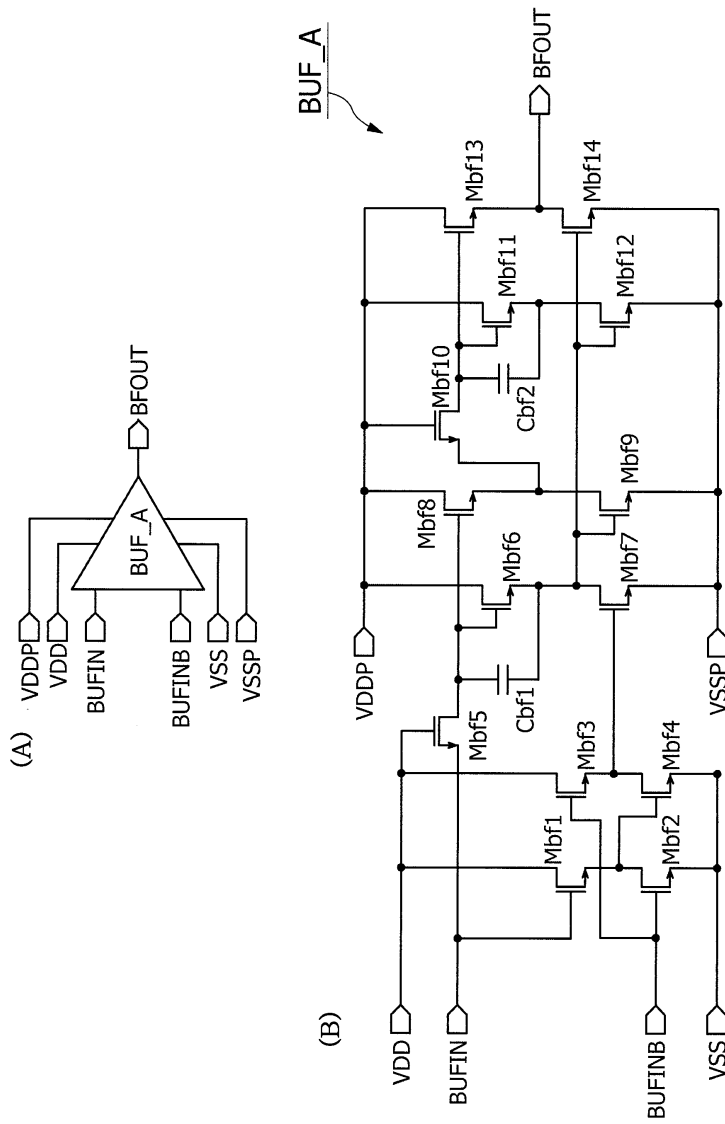
도면13



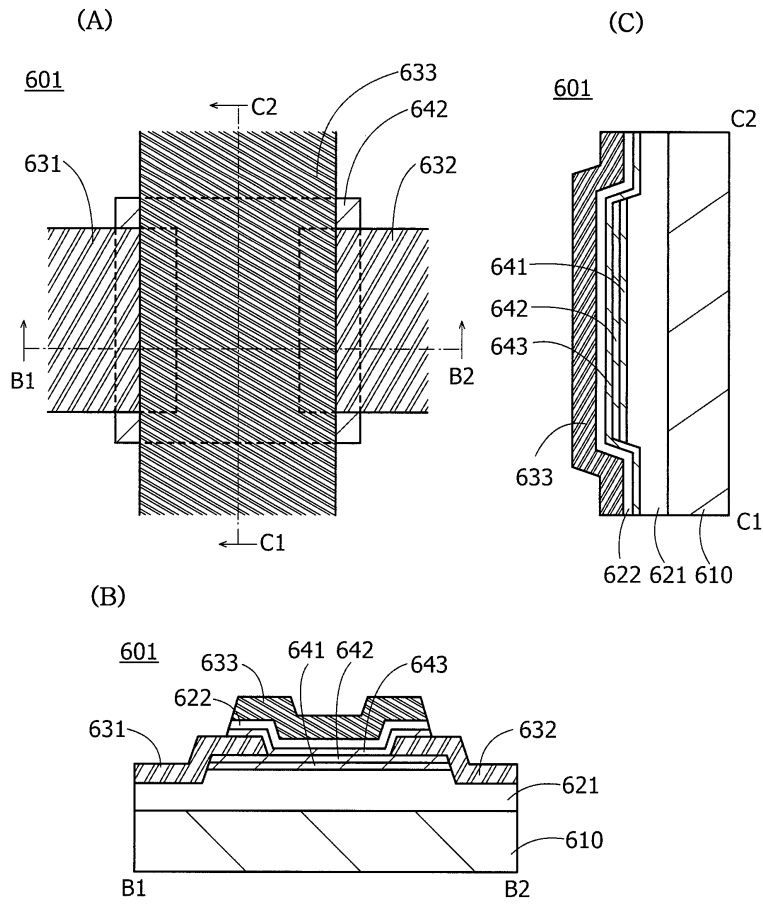
도면14



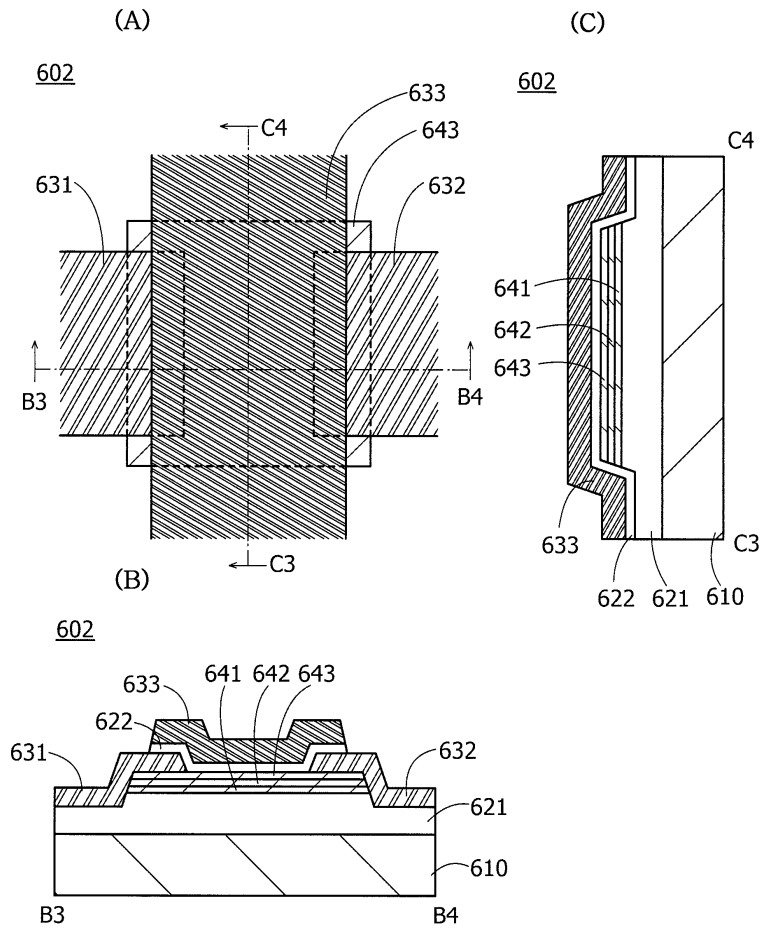
도면15



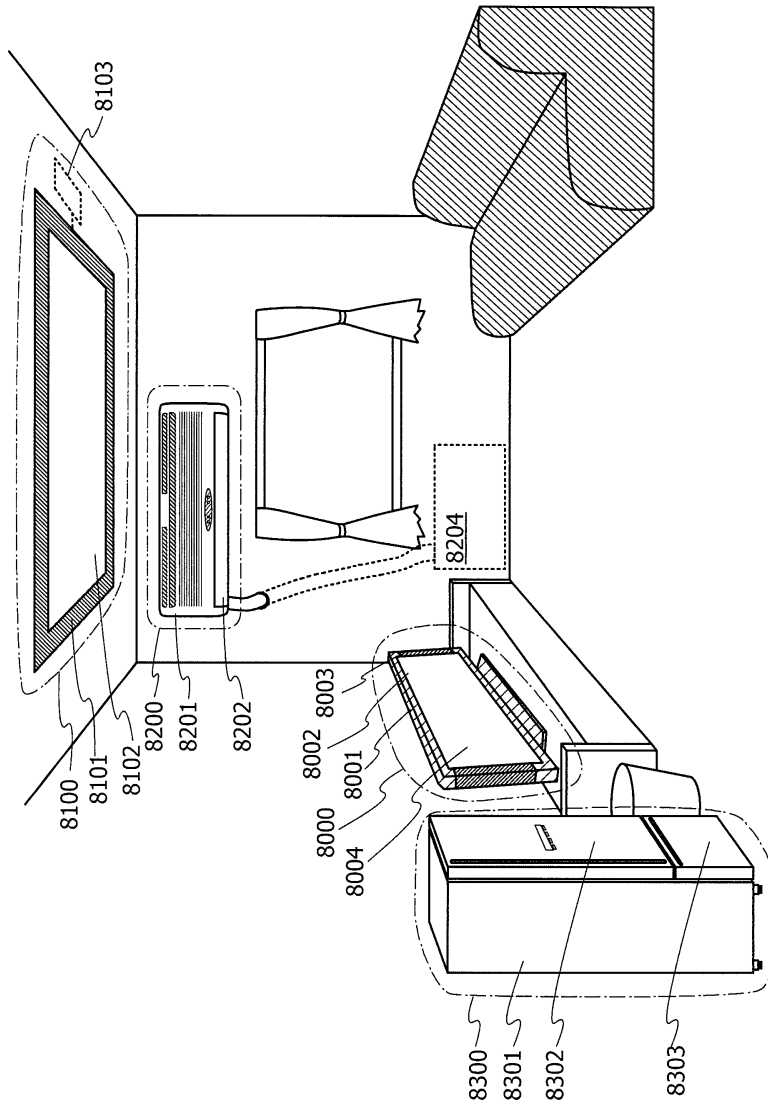
도면16



도면17

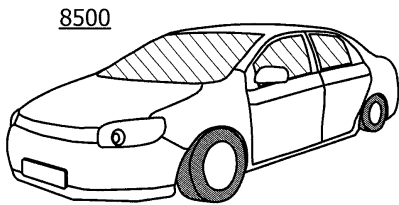


도면18

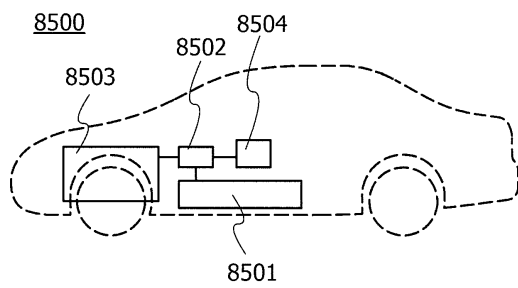


도면19

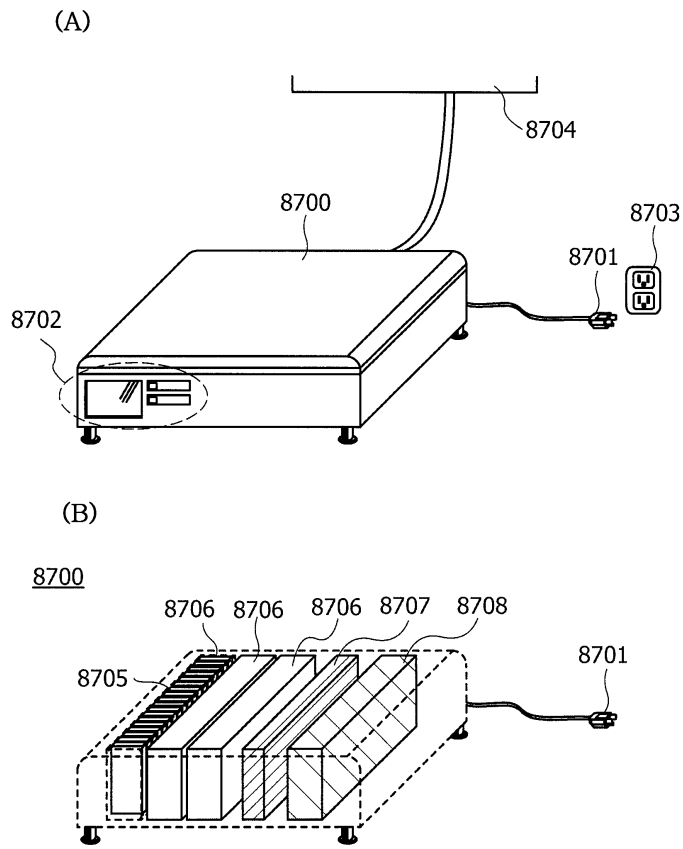
(A)



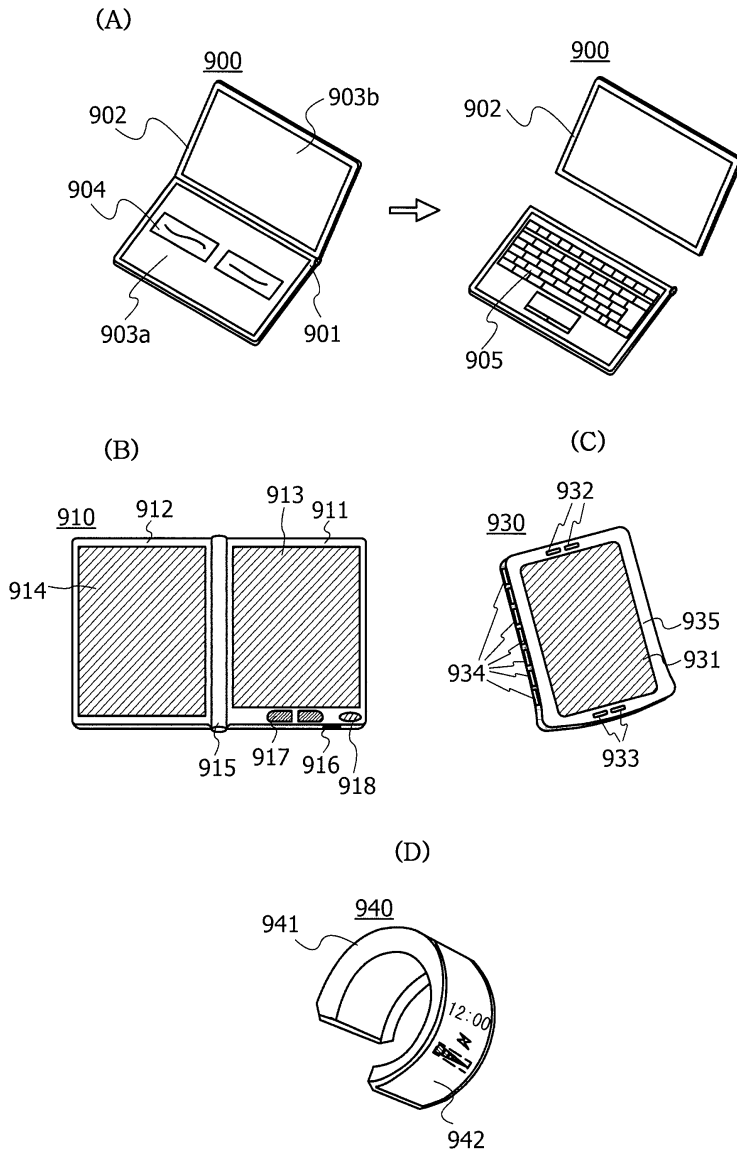
(B)



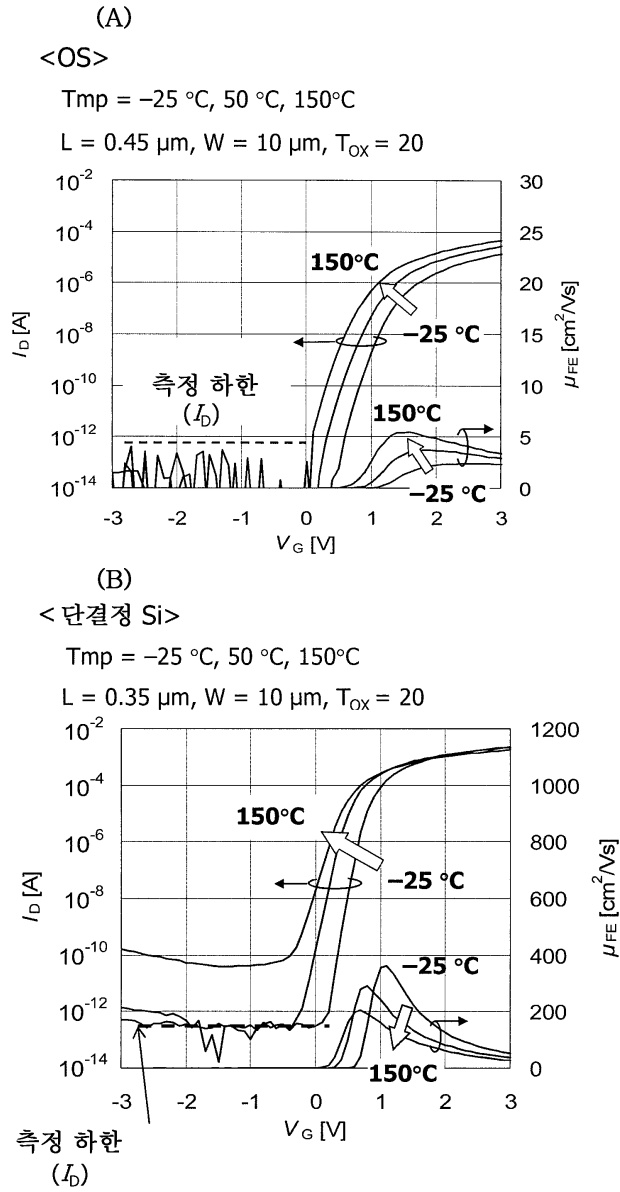
도면20



도면21



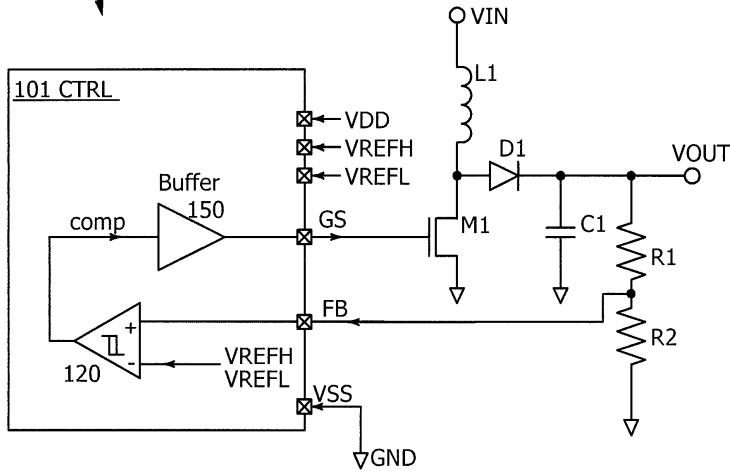
도면22



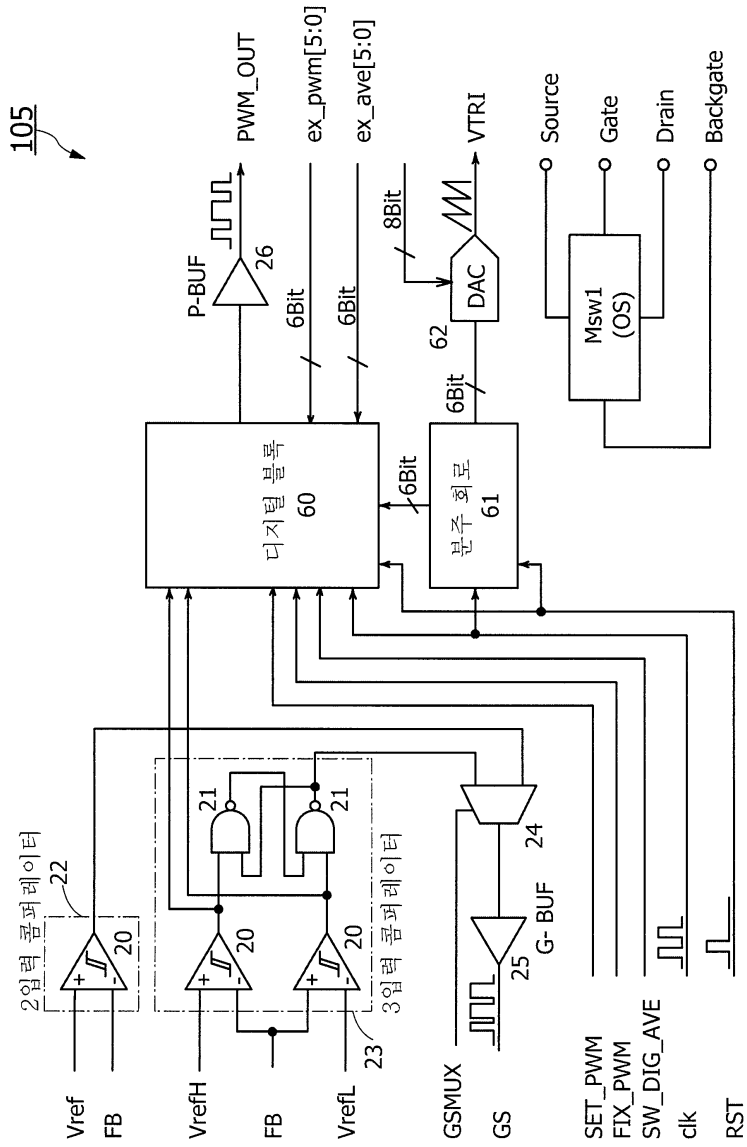
도면23

DC-DC컨버터

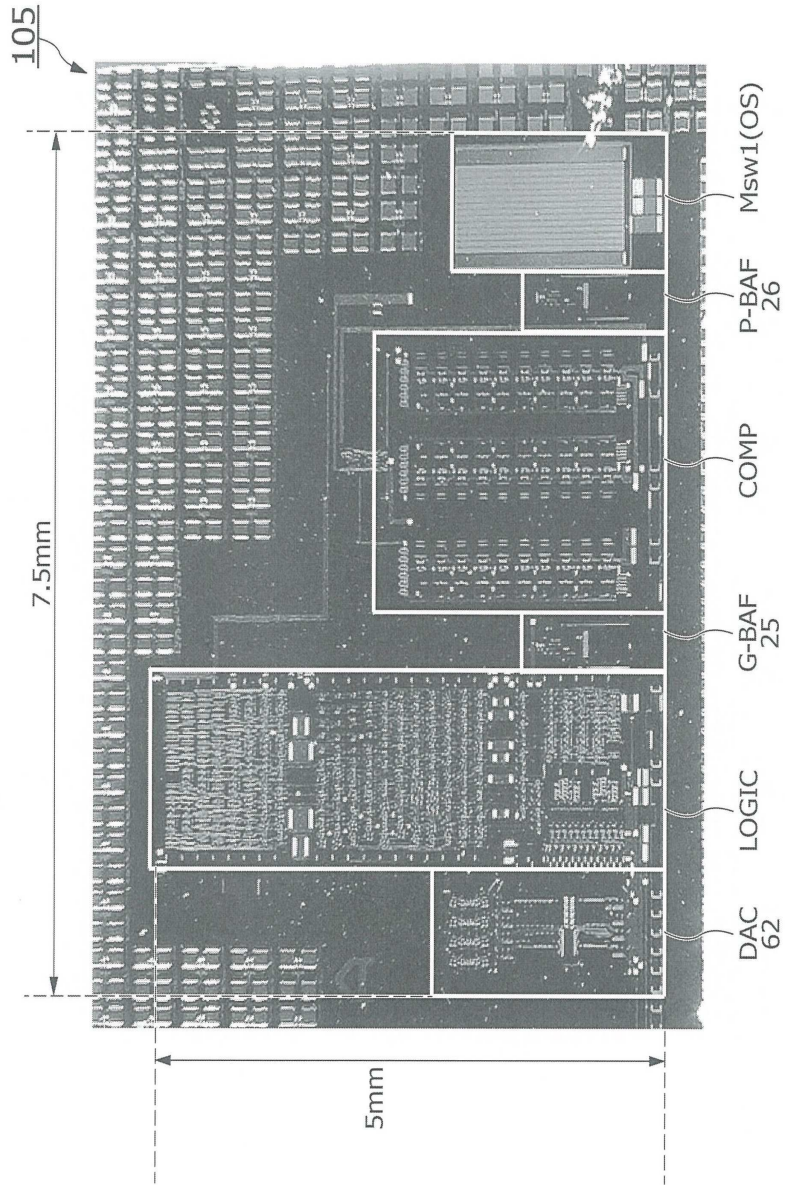
11



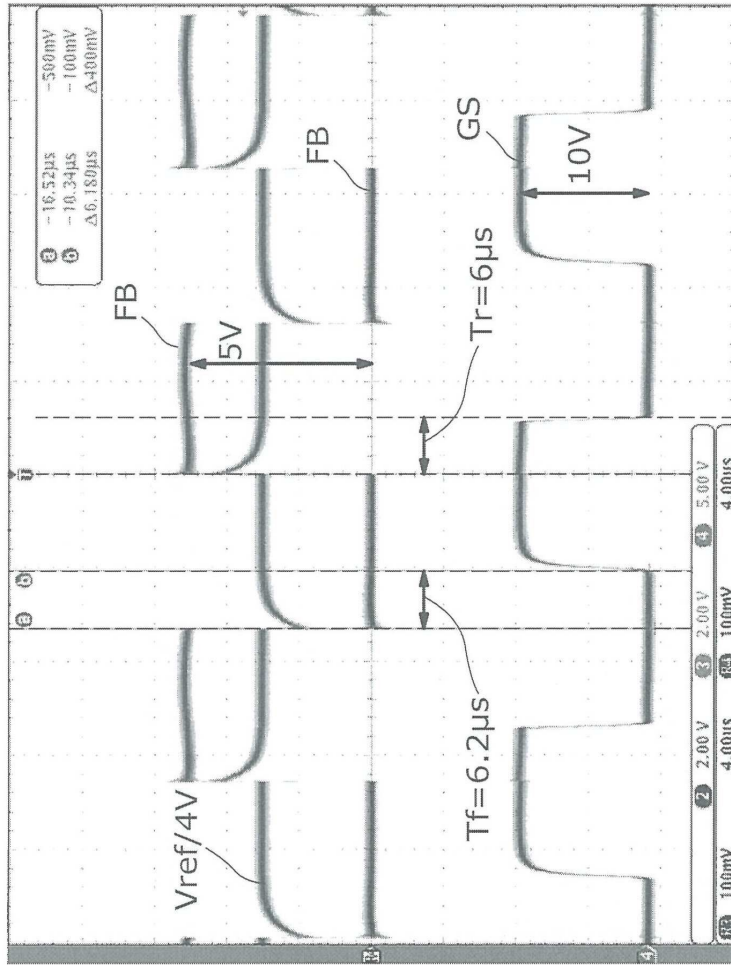
도면24



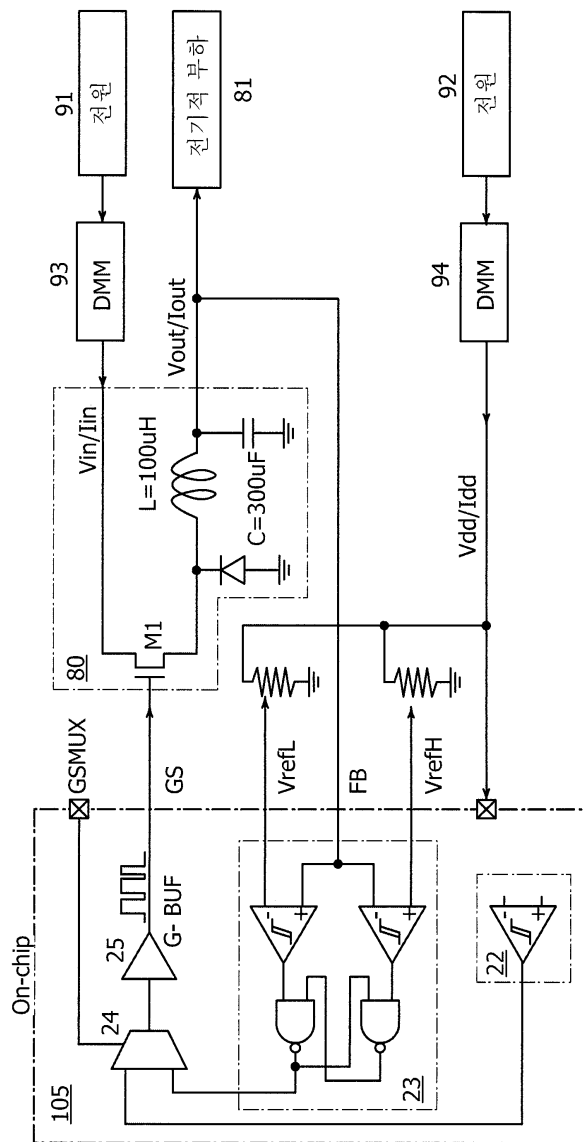
도면25



도면26



도면27



도면28

