

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 16 日 (16.03.2023)



(10) 国际公布号
WO 2023/035271 A1

(51) 国际专利分类号:
H03K 17/687 (2006.01)

中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。

(21) 国际申请号: PCT/CN2021/118021

(22) 国际申请日: 2021 年 9 月 13 日 (13.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 复旦大学 (FUDAN UNIVERSITY) [CN/CN]; 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。

(72) 发明人: 徐敏 (XU, Min); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。 金健 (JIN, Jian); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。 孙梦园 (SUN, Mengyuan); 中国上海市浦东新区张江高科技园区张衡路825号, Shanghai 201203 (CN)。 张卫 (ZHANG, Wei);

(74) 代理人: 上海慧晗知识产权代理事务所 (普通合伙) (SHANGHAI HUIHAN INTELLECTUAL PROPERTY LAW FIRM); 中国上海市普陀区铜川路 70 号 22 楼 2202-2212 室徐海晟, Shanghai 200333 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DRIVING CIRCUIT AND ELECTRONIC DEVICE

(54) 发明名称: 驱动电路以及电子设备

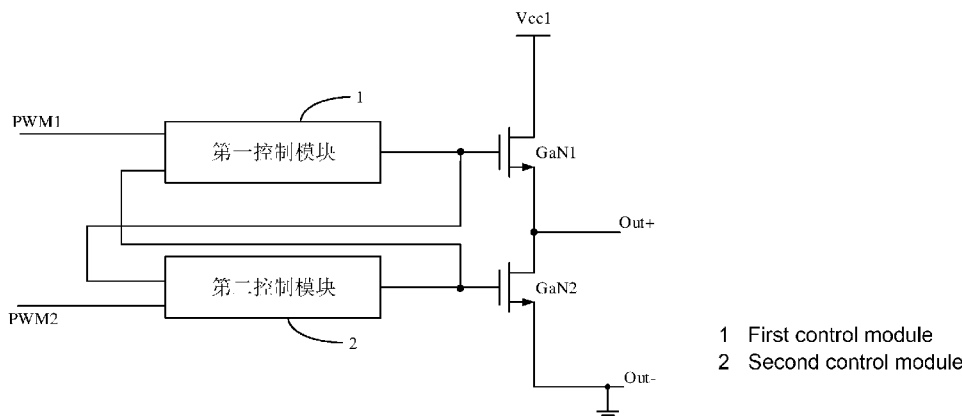


图 2

(57) Abstract: A driving circuit and an electronic device, comprising a first switch (GaN1), a second switch (GaN2), a first control module (1) and a second control module (2). A first control signal (PWM1) is inputted to the first control module (1), which is connected to a control electrode of the first switch (GaN1). A second control signal (PWM2) is inputted to the second control module (2), which is connected to a control electrode of the second switch (GaN2). A first power supply (Vcc1) supplies power to a first electrode of the first switch (GaN1). A second electrode of the first switch (GaN1) is connected to a first electrode of the second switch (GaN2). A second electrode of the second switch (GaN2) is grounded. Not only control is performed by means of the first control signal (PWM1) and the second control signal (PWM2), but also the signal of the control electrode of the first switch (GaN1) is used as a condition for driving the second switch (GaN2) to turn on and off, and the signal of the control electrode of the second switch (GaN2) is used as a condition for driving the first switch (GaN1) to turn on and off. The control of the first switch (GaN1) and the second switch (GaN2) is highly accurate and has low losses.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 发明人资格(细则4.17(iv))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种驱动电路以及电子设备, 包括: 第一开关 (GaN1) 与第二开关 (GaN2), 第一控制模块 (1)、第二控制模块 (2); 第一控制模块 (1) 接入第一控制信号 (PWM1), 第一控制模块 (1) 连接第一开关 (GaN1) 的控制极; 第二控制模块 (2) 接入第二控制信号 (PWM2), 第二控制模块 (2) 连接第二开关 (GaN2) 的控制极; 第一电源 (Vcc1) 向第一开关 (GaN1) 的第一极供电, 第一开关 (GaN1) 的第二极连接第二开关 (GaN2) 的第一极, 第二开关 (GaN2) 的第二极连接地。不仅通过第一控制信号 (PWM1) 和第二控制信号 (PWM2) 进行控制, 还将第一开关 (GaN1) 的控制极的信号作为驱动第二开关 (GaN2) 通断的条件, 将第二开关 (GaN2) 的控制极的信号作为驱动第一开关 (GaN1) 通断的条件, 对于第一开关 (GaN1) 和第二开关 (GaN2) 的控制准确度高、损耗低。

驱动电路以及电子设备

技术领域

本发明涉及电子技术领域，尤其涉及一种驱动电路以及电子设备。

背景技术

GaN 晶体管作为第三代器件，具有更小的体积，更高的工作频率，开关损耗低，适合高频工作。

现有技术的半桥式系统，一般将两个晶体管开关串联，通过在上管和下管之间设置足够的死区时间，避免上管和下管的同時导通，例如图 1 中采用半桥式驱动器，对输入到 H1 个 L1 端口的两个控制信号设置死区时间，避免 G1 和 G2 同时导通；虽然死区时间的设置实现起来更加容易，但是对于 GaN 半桥式系统来讲，由于 GaN 晶体管工作频率高、周期短，一般设置的死区时间只有几纳秒，工艺的误差很容易导致上管和下管，设置过长的死区时间又会导致系统损耗增加。

发明内容

本发明提供一种驱动电路以及电子设备，以解决 GaN 半桥式系统控制准确度低、损耗高的问题。

根据本发明的第一方面，提供了一种驱动电路，用于驱动第一开关与第二开关，还包括：第一控制模块、第二控制模块；

所述第一控制模块接入第一控制信号，所述第一控制模块连接所述第一开关的控制极；所述第一控制模块用于：监测所述第二开关的控制极的信号，根据所述第一控制信号以及所述第二开关的控制极的信号，产生第一开关驱动信号，并利用所述第一开关驱动信号驱动所述第一开关的通断；

所述第二控制模块接入第二控制信号，所述第二控制模块连接所述第二开关的控制极；所述第二控制模块用于：监测所述第一开关的控制极的信号，根据所述第二控制信号以及所述第一开关的控制极的信号，产生第二开关驱动信号，并利用所述第二开关驱动信号驱动所述第二开关的通断；

第一电源向所述第一开关的第一极供电，所述第一开关的第二极连接所述第二开关的第一极，所述第二开关的第二极连接地；

负载并联于所述第二开关的第一极与地之间。

可选的，所述第一控制模块包括第一逻辑单元、电平位移单元；所述第二控制模块包括检测与电平位移单元、第二逻辑单元；

所述第一逻辑单元的第一输入端接入所述第一控制信号，所述第一逻辑单元的第二输入端连接所述第二逻辑单元的输出端，所述第一逻辑单元的输出端连接所述电平位移单元；所述第一逻辑单元用于：根据所述第一控制信号以及所述第二逻辑单元产生的第二开关驱动信号，生成控制电平，并将所述控制电平反馈至所述电平位移单元；

所述电平位移单元连接所述第一开关的第二极，所述电平位移单元直接或间接连接所述第一开关的控制极，所述电平位移单元用于：根据所述第一开关的第二极的电压，将所述控制电平提升到目标电平区间，得到所述第一开关驱动信号，以驱动所述第一开关的通断；

所述检测与电平位移单元连接所述电平位移单元与所述第一开关的控制极之间，所述检测与电平位移单元连接所述第二逻辑单元的第一输入端；所述检测与电平位移单元用于：检测所述第一开关的控制极的信号，将所述第一开关的控制极的信号进行降压，并将降压后得到的第一开关的开关状态信号反馈至所述第二逻辑单元；所述开关状态信号表征了对应开关的通断状态；

所述第二逻辑单元的第二输入端接入所述第二控制信号，所述第二逻辑单元的输出端直接或间接连接所述第二开关的控制极，所述第二逻辑单元用于：根据所述第一开关的开关状态信号以及所述第二控制信号，产生所述第二开关驱动信号，以驱动所述第二开关的通断。

可选的，所述控制电平包括第一控制电平和第二控制电平；所述第二开关驱动信号包括第一电平和第二电平；

所述第一逻辑单元具体用于：

当所述第二开关驱动信号为所述第二电平时，根据所述第一控制信号，产生所述控制电平，控制所述第一开关的通断；

当所述第二开关驱动信号为所述第一电平时，产生所述第二控制电平，以使所述第一开关处于所述关断状态；

所述第二逻辑单元具体用于：

当所述第一开关的开关状态信号表征出所述第一开关处于所述关断状态时，根据所述第二控制信号，产生所述第二开关驱动信号，驱动所述第二开关的通断；

当所述第一开关的开关状态信号表征出所述第一开关处于所述导通状态时，产生所述第二电平，驱动所述第二开关处于所述关断状态。

可选的，所述第一控制模块还包括第一反相器、第二反相器，所述检测与电平位移单元包括第一检测开关、第二检测开关、电平位移子单元；

所述第一反相器的第一端连接所述电平位移单元，所述第一反相器连接所述第一开关的第二极，所述第一反相器连接所述第二反相器；

所述第二反相器连接所述第一开关的第二极，所述第二反相器连接所述第一开关的控制极；

所述第一检测开关的控制极连接所述第一反相器与所述第二反相器之间，所述第一检测开关的第一极连接第二电源，所述第一检测开关的第二极连接所述电平位移子单元；所述第一检测开关用于：当所述第一开关处于导通状态时导通，当所述第一开关处于关断状态时关断；

所述第二检测开关的控制极连接所述第二反相器与所述第一开关的控制极之间，所述第二检测开关的第一极连接所述第二电源，所述第二检测开关的第二极连接所述电平位移子单元；所述第二检测开关用于：当所述第一开关处于所述关断状态时导通，当所述第一开关处于所述导通状态时关断；

所述电平位移子单元连接所述第二逻辑单元的第二输入端；

所述电平位移子单元用于：

当所述第一检测开关导通时，将所述第一检测开关的第二极的电压进行降压处理，得到所述第一开关的导通状态信号，并将所述第一开关的导通状态信号反馈至所述第二逻辑单元；

当所述第一检测开关关断时，将所述第二检测开关的第二极的电压进行降压处理，得到所述第一开关的关断状态信号，并将所述第一开关的关断状态信号反馈至所述第二逻辑单元。

可选的，所述驱动电路还包括电容和二极管，

所述二极管的正极连接第二电源，所述二极管的负极连接所述第一检测

开关的第一极和所述第二检测开关的第一极，

所述电容的第一端连接所述二极管的负极，所述电容的第二端连接所述第一开关的第二极。

可选的，所述电平位移子单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；

所述第一晶体管的第一极连接所述第一检测开关的第二极；所述第一晶体管的控制极和所述第二晶体管的控制极连接所述第二电源；

所述第一晶体管的第二极连接所述第三晶体管的第一极和所述第四晶体管的控制极；

所述第二晶体管的第一极连接所述第二检测开关的第二极，所述第二晶体管的第二极连接所述第三晶体管的控制极和所述第四晶体管的第一极；

所述第三晶体管的第二极和所述第四晶体管的第二极接地；

所述第一晶体管的第二极连接所述第二逻辑单元。

可选的，所述电平位移子单元还包括第三反相器、第四反相器；

所述第三反相器的输入端连接所述第一晶体管的第二极，所述第三反相器的输出端连接所述第四反相器的输入端，所述第四反相器的输出端连接所述第二逻辑单元。

可选的，所述第二控制模块还包括第五反相器、第六反相器；

所述第五反相器的连接所述第二逻辑单元的输出端，所述第五反相器连接第二电源，所述第五反相器连接所述第二开关的第二极，所述第五反相器连接所述第六反相器；

所述第六反相器的连接所述第二电源，所述第六反相器连接所述第二开关的第二极，所述第六反相器连接所述第二开关的控制极。

可选的，所述驱动电路还包括输出匹配模块，

所述输出匹配模块连接所述第一开关的第二极，所述输出匹配模块接地；

所述负载并联于所述输出匹配模块与地之间。

根据本发明的第二方面，提供了一种电子设备，包括本发明第一方面及其可选方案所述的驱动电路。

本发明提供的驱动电路以及电子设备，在控制第一开关和第二开关的通

断时，不仅通过第一控制信号和第二控制信号进行控制，还将第一开关的控制极的信号作为驱动第二开关通断的条件，将第二开关的控制极的信号作为驱动第一开关通断的条件，相比于部分方案中，在驱动第一开关和第二开关时设置死区时间，以开关的实际通断状态为控制条件，可以及时、准确地检测到两个开关通断状态的改变，避免了由于公差造成的两个开关同时导通，控制更加灵活、准确；

因此，本发明提供的驱动电路以及电子设备，可以有效避免两个开关的同时导通，对于第一开关和第二开关的控制准确度高、损耗低。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有技术中 GaN 半桥式系统的电路示意图；

图 2 是本发明一实施例中驱动电路的电路示意图一；

图 3 是本发明一实施例中驱动电路的电路示意图二；

图 4 是本发明一实施例中驱动电路的电路示意图三；

图 5 是本发明一实施例中驱动电路的电路示意图四；

图 6 是本发明一实施例中驱动电路的电路示意图五。

附图标记说明：

1-第一控制模块；2-第二控制模块；3-输出匹配模块；

11-第一逻辑单元；12-电平位移单元；21-检测与电平位移单元；22-第二逻辑单元；211-电平位移子单元；

GaN1-第一开关；GaN2-第二开关；PWM1-第一控制信号；PWM2-第二控制信号；

Vcc1-第一电源；Vcc2-第二电源；

U1-第一反相器；U2-第二反相器；U3-第三反相器；U4-第四反相器；U5-第五反相器；U6-第六反相器；

P1-第一检测开关；P2-第二检测开关；N1-第一晶体管；N2-第二晶体管；

N3-第三晶体管；N4-第四晶体管；

D-二极管；C1-电容；L-匹配电感；C2-匹配电容。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

下面以具体地实施例对本发明的技术方案进行详细说明。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例不再赘述。

请参考图 2，本发明一实施例提供了一种驱动电路，用于驱动第一开关 GaN1 与第二开关 GaN2，还包括：第一控制模块 1、第二控制模块 2；

所述第一控制模块 1 接入第一控制信号 PWM1，所述第一控制模块连接所述第一开关 GaN1 的控制极；所述第一控制模块 1 用于：监测所述第二开关 GaN2 的控制极的信号，根据所述第一控制信号 PWM1 以及所述第二开关 GaN2 的控制极的信号，产生第一开关驱动信号，并利用所述第一开关驱动信号驱动所述第一开关 GaN1 的通断；

所述第二控制模块 2 接入第二控制信号 PWM2，所述第二控制模块 2 连接所述第二开关 GaN2 的控制极；所述第二控制模块 2 用于：监测所述第一开关 GaN1 的控制极的信号，根据所述第二控制信号 PWM2 以及所述第一开

关 GaN1 的控制极的信号，产生第二开关驱动信号，并利用所述第二开关驱动信号驱动所述第二开关 GaN2 的通断；

第一电源 Vcc1 向所述第一开关 GaN1 的第一极供电，所述第一开关 GaN1 的第二极连接所述第二开关 GaN2 的第一极，所述第二开关 GaN2 的第二极连接地；

负载并联于所述第二开关 GaN2 的第一极与地之间（可例如连接于图 1 中的 Out+ 与 Out- 之间）。

其中的，第一控制模块 1 检测第二开关 GaN2 的控制极的信号，可以理解为，第二开关 GaN2 的控制极的信号可以表征第二开关 GaN2 是处于导通状态还是关断状态，进而，检测第二开关 GaN2 的控制极的信号可以得到第二开关 GaN2 的开关状态，然后第一控制模块 1 根据检测到的第二开关 GaN2 的开关状态与第一控制信号 PWM1，产生第一开关驱动信号；第一控制模块 1 在检测第二开关 GaN2 的控制极的信号时，可以直接连接第二开关 GaN2 的控制极，得到表征第二开关通断状态的开关状态信号，也可以连接第二控制模块 2 的输出端，即接收到第二开关驱动信号；

第二控制模块 2 检测第一开关 GaN1 的控制极的信号同理。

本发明在控制第一开关和第二开关的通断时，不仅通过第一控制信号和第二控制信号进行控制，还将第一开关的控制极的信号作为驱动第二开关通断的条件，将第二开关的控制极的信号作为驱动第一开关通断的条件，相比于部分方案中，在驱动第一开关和第二开关时设置死区时间，以开关的实际通断状态为控制条件，可以及时、准确地检测到两个开关通断状态的改变，避免了由于公差造成的两个开关同时导通，控制更加灵活、准确；

因此，本发明提供的驱动电路，可以有效避免两个开关的同时导通，对于第一开关和第二开关的控制准确度高、损耗低。

一种举例中，其中的第一开关 GaN1 和第二开关 GaN2 为 GaN 管，进一步地，第一开关 GaN1 的第一极和第二开关 GaN2 的控制极可以理解为 GaN 管的栅极，第一开关 GaN1 的第一极和第二开关 GaN2 的第一极可以理解为 GaN 管的漏极，第一开关 GaN1 的第二极和第二开关 GaN2 的第二极可以理解为 GaN 管的源极。

一种举例中，驱动第一开关 GaN1 与第二开关 GaN2 的导通的电压可以

是相等的，也可以是不相等的。

一种举例中，第一电源 Vcc1 直接连接第一开关 GaN1 的第一极，一种举例中，第一电源 Vcc1 经过 DCDC 降压变换后，连接第一开关 GaN1 的第一极，进一步举例中，第一电源 Vcc1 为 48V，降压后为 12V。

请参考图 3，一种实施方式中，所述第一控制模块 1 包括第一逻辑单元 11、电平位移单元 12；所述第二控制模块 2 包括检测与电平位移单元 21、第二逻辑单元 22；

所述第一逻辑单元 11 的第一输入端接入所述第一控制信号 PWM1，所述第一逻辑单元 11 的第二输入端连接所述第二逻辑单元 22 的输出端，所述第一逻辑单元 11 的输出端连接所述电平位移单元 12；所述第一逻辑单元 11 用于：根据所述第一控制信号 PWM1 以及所述第二逻辑单元 22 产生的第二开关驱动信号，生成控制电平，并将所述控制电平反馈至所述电平位移单元 12；

所述电平位移单元 12 连接所述第一开关 GaN1 的第二极，所述电平位移单元 12 直接或间接连接所述第一开关 GaN1 的控制极，所述电平位移单元 12 用于：根据所述第一开关 GaN1 的第二极的电压，将所述控制电平提升到目标电平区间，得到所述第一开关驱动信号，以驱动所述第一开关 GaN1 的通断；其中的控制电平提升为第一驱动信号后，控制电平的高电平与低电平的差值和第一驱动信号的搞电平与低电平的差值是相等的，即电平位移单元 12 对控制电平的提升为等量的提升，而不等量或等比例地提升；

所述检测与电平位移单元 21 连接所述电平位移单元 12 与所述第一开关 GaN1 的控制极之间，所述检测与电平位移单元 21 连接所述第二逻辑单元 22 的第一输入端；所述检测与电平位移单元 21 用于：检测所述第一开关 GaN1 的控制极的信号，将所述第一开关 GaN1 的控制极的信号进行降压，并将降压后得到的第一开关 GaN1 的开关状态信号反馈至所述第二逻辑单元 22；所述开关状态信号表征了对应开关的通断状态；其中的通断状态包括导通状态和关断状态；对于第一开关 GaN1 的控制极的信号的降压，可以将其降压至升压前的控制电平，也可以将压制能够匹配第二逻辑单元 22 功能的电压范围，即电平位移单元 12 的升压量和检测与电平位移单元 21 的降压量可以是对应相等的，也可以是不相等的；

所述第二逻辑单元 22 的第二输入端接入所述第二控制信号 PWM2，所述

第二逻辑单元 22 的输出端直接或间接连接所述第二开关 GaN2 的控制极，所述第二逻辑单元 22 用于：根据所述第一开关 GaN1 的开关状态信号以及所述第二控制信号 PWM2，产生所述第二开关驱动信号，以驱动所述第二开关 GaN2 的通断；

其中的第一逻辑单元 11 可以理解为能够对第一控制信号 PWM1 以及第二开关驱动信号进行逻辑运算的逻辑门电路，可以为单个器件，例如或非门，也可以包括多个器件，例如或门和非门的组合，再例如采用逻辑门以及触发器的组合等；第二逻辑单元 22 同理，第一逻辑单元 11 与第二逻辑单元 22 可以相同，也可以采用不同的器件，只要能实现对应的功能即可。

以上实施方式中，通过电平位移单元，将控制电平根据第一开关的第二极的电压提升到目标电平区间，使得第一开关驱动信号可以适配浮动的第一开关的第二极的电压，以确保第一开关在需要被驱动导通时，能够打开。

一种实施方式中，所述控制电平包括第一控制电平和第二控制电平；所述第二开关驱动信号包括第一电平和第二电平；其中，第一控制电平与第一电平可以相等，第二控制电平与第二电平可以相等；

所述第一逻辑单元 11 具体用于：

当所述第二开关驱动信号为所述第二电平时，根据所述第一控制信号，产生所述控制电平，控制所述第一开关 GaN1 的通断；

当所述第二开关驱动信号为所述第一电平时，产生所述第二控制电平，以使所述第一开关 GaN1 处于所述关断状态；

所述第二逻辑单元 22 具体用于：

当所述第一开关 GaN1 的开关状态信号表征出所述第一开关 GaN1 处于所述关断状态时，根据所述第二控制信号 PWM2，产生所述第二开关驱动信号，驱动所述第二开关 GaN2 的通断；

当所述第一开关 GaN1 的开关状态信号表征出所述第一开关 GaN1 处于所述导通状态时，产生所述第二电平，驱动所述第二开关 GaN2 处于所述关断状态。

一种举例中，第一开关 GaN1 与第二开关 GaN2 为 N 型 GaN 管，第一控制电平与第一电平为高电平，第二控制电平与第二电平为低电平。

请参考图 4，一种实施方式中，所述第一控制模块 1 还包括第一反相器

U1、第二反相器 U2，所述检测与电平位移单元 21 包括第一检测开关 P1、第二检测开关 P2、电平位移子单元 211；

所述第一反相器 U1 的第一端连接所述电平位移单元 12，所述第一反相器 U1 连接所述第一开关 GaN1 的第二极，所述第一反相器 U1 连接所述第二反相器 U2；

所述第二反相器 U2 连接所述第一开关 GaN1 的第二极，所述第二反相器 U2 连接所述第一开关 GaN1 的控制极；

所述第一检测开关 P1 的控制极连接所述第一反相器 U1 与所述第二反相器 U2 之间，所述第一检测开关 P1 的第一极连接第二电源 Vcc2，所述第一检测开关 P1 的第二极连接所述电平位移子单元 211；所述第一检测开关 P1 用于：当所述第一开关 GaN1 处于导通状态时导通，当所述第一开关 GaN1 处于关断状态时关断；

所述第二检测开关 P2 的控制极连接所述第二反相器 U2 与所述第一开关 GaN1 的控制极之间，所述第二检测开关 P2 的第一极连接所述第二电源 Vcc2，所述第二检测开关的第二极连接所述电平位移子单元；所述第二检测开关用于：当所述第一开关 GaN1 处于所述关断状态时导通，当所述第一开关 GaN1 处于所述导通状态时关断；

所述电平位移子单元 211 连接所述第二逻辑单元 22 的第二输入端；

所述电平位移子单元 211 用于：

当所述第一检测开关 P1 导通时，将所述第一检测开关 P1 的第二极的电压进行降压处理，得到所述第一开关 GaN1 的导通状态信号，并将所述第一开关 GaN1 的导通状态信号反馈至所述第二逻辑单元 22；

当所述第一检测开关 P1 关断时，将所述第二检测开关 P2 的第二极的电压进行降压处理，得到所述第一开关 GaN1 的关断状态信号，并将所述第一开关 GaN1 的关断状态信号反馈至所述第二逻辑单元 22。

以上实施方式中，将第一反相器与第二反相器串联在电平位移单元与第一开关的控制极之间，可以用来向第一检测开关与第二检测开关反馈第一开关的控制极的信号，即两个检测开关的通断可以反映第一开关的通断，也可以多级反相器串联形成缓冲器，加强电平位移单元产生的第一开关驱动信号的电流的驱动能力，驱动第一开关的通断。

一种举例中，第一检测开关 P1 和第二检测开关 P2 为 PMOS 管，第一检测开关 P1 的控制极和第二检测开关 P2 的控制极为 PMOS 管的栅极，第一检测开关 P1 的第一极和第二检测开关 P2 的第一极为 PMOS 管的源极，第一检测开关 P1 的第二极和第二检测开关 P2 的第二极为 PMOS 管的漏极。

一种举例中，第二电源 Vcc2 为+5V。

请参考图 5，一种实施方式中，所述电平位移子单元 211 包括第一晶体管 N1、第二晶体管 N2、第三晶体管 N3 和第四晶体管 N4；

所述第一晶体管 N1 的第一极连接所述第一检测开关 P1 的第二极；所述第一晶体管 N1 的控制极和所述第二晶体管 N2 的控制极连接所述第二电源 Vcc2；

所述第一晶体管 N1 的第二极连接所述第三晶体管 N3 的第一极和所述第四晶体管 N4 的控制极；

所述第二晶体管 N2 的第一极连接所述第二检测开关 P2 的第二极，所述第二晶体管 N2 的第二极连接所述第三晶体管 N3 的控制极和所述第四晶体管 N4 的第一极；

所述第三晶体管 N3 的第二极和所述第四晶体管 N4 的第二极接地；

所述第一晶体管 N1 的第二极连接所述第二逻辑单元 22。

以上实施方式中，通过四个晶体管，实现对第一开关驱动信号的降压，得到第一开关的开关状态信号，进而在对第一开关的开关状态信号与第二控制信号进行逻辑处理时，能够使的两个信号在同一区间，实现对第二开关更加准确的控制。

一种举例中，第一晶体管 N1、第二晶体管 N2、第三晶体管 N3 和第四晶体管 N4 为 NMOS 管，进一步地，晶体管的控制极为 NMOS 管的栅极，晶体管的第一极为 NMOS 管的漏极，晶体管的第二极为 NMOS 管的源极。

一种实施方式中，所述电平位移子单元 211 还包括第三反相器 U3、第四反相器 U4；

所述第三反相 U3 的输入端连接所述第一晶体管 N1 的第二极，所述第三反相器 U3 的输出端连接所述第四反相器 U4 的输入端，所述第四反相器 U4 的输出端连接所述第二逻辑单元 22。

以上实施方式中，第三反相器和第四反相器串联于第一晶体管的第二极

与第二逻辑单元的之间，可以将输出的第一开关的开关状态信号进行波形的整形，得到更加稳定的开关状态信号，避免得到错误的第一开关的开关状态，进而出现两个开关同时导通的情况。

一种实施方式中，所述第二控制模块 2 还包括第五反相器 U5、第六反相器 U6；

所述第五反相器 U5 的连接所述第二逻辑单元 22 的输出端，所述第五反相器 U5 连接第二电源 Vcc2，所述第五反相器 U5 连接所述第二开关 GaN2 的第二极，所述第五反相器 U5 连接所述第六反相器 U6；

所述第六反相器 U6 的连接所述第二电源 Vcc2，所述第六反相器连接所述第二开关 GaN2 的第二极，所述第六反相器 U6 连接所述第二开关 GaN2 的控制极。

以上实施方式中，将第五反相器与第六反相器串联第二逻辑单元与第二开关的控制极之间，可以通过多级反相器的串联组成缓冲器，加强第二逻辑单元产生的第二开关驱动信号的电流的驱动能力，驱动第二开关的通断。

一种举例中，第一逻辑单元 11 与第二逻辑单元 22 为或非门，即：

当第二开关 GaN1 关断时，且第一控制信号 PWM1 为低电平时，第一开关 GaN1 被驱动导通，此时第二逻辑单元 22 接收到的第一开关 GaN1 的开关状态信号为高电平，则无论第二控制信号 PWM2 为高电平还是低电平，第二开关 2 均处于关断状态；

当第一开关 GaN1 关断时，此时：第二逻辑单元 22 接收到的第一开关 GaN1 的开关状态信号为低电平，当第二控制信号 PWM2 为高电平时，第二开关 GaN2 关断，当第二控制信号 PWM2 为低电平时，第二开关 GaN2 被驱动导通。

请参考图 6，一种是实施方式中，所述驱动电路还包括电容 C1 和二极管 D，

所述二极管 D 的正极连接第二电源 Vcc2，所述二极管 D 的负极连接所述第一检测开关 P1 的第一极和所述第二检测开关 P1 的第一极，

所述电容 C1 的第一端连接所述二极管 D 的负极，所述电容 C1 的第二端连接所述第一开关 GaN1 的第二极。

一种是实施方式中，所述驱动电路还包括输出匹配模块 3，

所述输出匹配模块 3 连接所述第一开关 GaN1 的第二极，所述输出匹配模块 3 连接地；

所述负载并联于所述输出匹配模块 3 与地之间。

一种举例中，输出匹配模块 3 包括匹配电容 C2 和匹配电感 L，匹配电感 L 的第一端连接第一开关 GaN1 的第二极，匹配电感 L 的第二端连接匹配电容 C2 的第一端；匹配电容 C2 的第二端接地，负载并联于匹配电容 C2 的两端。

下面结合图 6，详细阐述本发明一实施例的工作原理：

图中第一开关 GaN1 和第二开关 GaN2 为 N 型 GaN 管，第一检测开关 P1 和第二检测开关 P2 为 PMOS，第一晶体管 N1、第二晶体管 N2、第三晶体管 N3 和第四晶体管 N4 为 NMOS 为例，第二电源 Vcc2 的电压为+5V；第一电源 Vcc1 的电压为 vin；

当第一开关 GaN1 导通时（此时第一控制信号 PWM1 为低电平），第一开关 GaN1 的栅极电压为高电平，第一反相器 U1 输出低电压，第一检测开关 P1 导通，第一检测开关 P1 的漏极电压 Ton 升高到 vin+5V，由于第一晶体管 N1 初始状态为导通状态，第四晶体管 N4 的栅极电压会升高，当第四晶体管 N4 的栅极电压达到+5V 时，第四晶体管 N4 会导通，第一晶体管 N1 和第三晶体管 N3 关断，第四反相器 U4 反馈到或非门 NOR2 的第一开关 GaN1 的开关状态信号 TGON 为高电平，或非门 NOR2 会输出低电平，第二开关 GaN2 维持关断状态，此时反馈到或非门 NOR1 的第二开关驱动信号 BGON 为低电平；

当第一开关 GaN1 关断时，第一开关 GaN1 的栅极电压为低电平，第二反相器 U2 输出低电压，第二检测开关 P2 导通，第二检测开关 P2 的漏极电压 Toff 升高到+5V，第二晶体管 N2 关断，第三晶体管 N3 打开，第四晶体管 N4 关断，第四反相器 U4 反馈到或非门 NOR2 的第一开关 GaN1 的开关状态信号 TGON 为低电平，若第二控制信号 PWM2 为低电平时，或非门 NOR2 会输出高电平，第二开关 GaN2 导通，此时反馈到或非门 NOR1 的第二开关驱动信号 BGON 为高电平，第一开关 GaN1 维持关闭状态；若第二控制信号 PWM2 为高电平时，或非门 NOR2 会输出低电平，第二开关 GaN2 关断，此时反馈到或非门 NOR1 的第二开关驱动信号 BGON 为低电平，可以通过改变

第一控制信号的高低电平，控制第一开关通断。

本发明还可以包括设置死区时间的电路，进而，第一控制模块和第二控制模块检测到的开关状态信号可以作为防止两个开关同时导通的另一个控制条件，防止由于开关的公差，使得设置的死区时间太短，两个开关出现同时导通。

本发明一实施例还提供了一种电子设备，包括前文所述的驱动电路。

最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

权 利 要 求 书

1. 一种驱动电路，用于驱动第一开关与第二开关，其特征在于，还包括：第一控制模块、第二控制模块；

5 所述第一控制模块接入第一控制信号，所述第一控制模块连接所述第一开关的控制极；所述第一控制模块用于：监测所述第二开关的控制极的信号，根据所述第一控制信号以及所述第二开关的控制极的信号，产生第一开关驱动信号，并利用所述第一开关驱动信号驱动所述第一开关的通断；

10 所述第二控制模块接入第二控制信号，所述第二控制模块连接所述第二开关的控制极；所述第二控制模块用于：监测所述第一开关的控制极的信号，根据所述第二控制信号以及所述第一开关的控制极的信号，产生第二开关驱动信号，并利用所述第二开关驱动信号驱动所述第二开关的通断；

第一电源向所述第一开关的第一极供电，所述第一开关的第二极连接所述第二开关的第一极，所述第二开关的第二极连接地；

负载并联于所述第二开关的第一极与地之间。

15 2. 根据权利要求 1 所述的驱动电路，其特征在于，所述第一控制模块包括第一逻辑单元、电平位移单元；所述第二控制模块包括检测与电平位移单元、第二逻辑单元；

20 所述第一逻辑单元的第一输入端接入所述第一控制信号，所述第一逻辑单元的第二输入端连接所述第二逻辑单元的输出端，所述第一逻辑单元的输出端连接所述电平位移单元；所述第一逻辑单元用于：根据所述第一控制信号以及所述第二逻辑单元产生的第二开关驱动信号，生成控制电平，并将所述控制电平反馈至所述电平位移单元；

25 所述电平位移单元连接所述第一开关的第二极，所述电平位移单元直接或间接连接所述第一开关的控制极，所述电平位移单元用于：根据所述第一开关的第二极的电压，将所述控制电平提升到目标电平区间，得到所述第一开关驱动信号，以驱动所述第一开关的通断；

30 所述检测与电平位移单元连接所述电平位移单元与所述第一开关的控制极之间，所述检测与电平位移单元连接所述第二逻辑单元的第一输入端；所述检测与电平位移单元用于：检测所述第一开关的控制极的信号，将所述第一开关的控制极的信号进行降压，并将降压后得到的第一开关的开关状态信

号反馈至所述第二逻辑单元；所述开关状态信号表征了对应开关的通断状态；

所述第二逻辑单元的第二输入端接入所述第二控制信号，所述第二逻辑单元的输出端直接或间接连接所述第二开关的控制极，所述第二逻辑单元用于：根据所述第一开关的开关状态信号以及所述第二控制信号，产生所述第二开关驱动信号，以驱动所述第二开关的通断。

3. 根据权利要求 2 所述的驱动电路，其特征在于，所述控制电平包括第一控制电平和第二控制电平；所述第二开关驱动信号包括第一电平和第二电平；

所述第一逻辑单元具体用于：

当所述第二开关驱动信号为所述第二电平时，根据所述第一控制信号，产生所述控制电平，控制所述第一开关的通断；

当所述第二开关驱动信号为所述第一电平时，产生所述第二控制电平，以使所述第一开关处于关断状态；

所述第二逻辑单元具体用于：

当所述第一开关的开关状态信号表征出所述第一开关处于所述关断状态时，根据所述第二控制信号，产生所述第二开关驱动信号，驱动所述第二开关的通断；

当所述第一开关的开关状态信号表征出所述第一开关处于导通状态时，产生所述第二电平，驱动所述第二开关处于所述关断状态。

4. 根据权利要求 2 所述的驱动电路，其特征在于，所述第一控制模块还包括第一反相器、第二反相器，所述检测与电平位移单元包括第一检测开关、第二检测开关、电平位移子单元；

所述第一反相器的第一端连接所述电平位移单元，所述第一反相器连接所述第一开关的第二极，所述第一反相器连接所述第二反相器；

所述第二反相器连接所述第一开关的第二极，所述第二反相器连接所述第一开关的控制极；

所述第一检测开关的控制极连接所述第一反相器与所述第二反相器之间，所述第一检测开关的第一极连接第二电源，所述第一检测开关的第二极连接所述电平位移子单元；所述第一检测开关用于：当所述第一开关处于导通状态时导通，当所述第一开关处于关断状态时关断；

所述第二检测开关的控制极连接所述第二反相器与所述第一开关的控制极之间，所述第二检测开关的第一极连接所述第二电源，所述第二检测开关的第二极连接所述电平位移子单元；所述第二检测开关用于：当所述第一开关处于所述关断状态时导通，当所述第一开关处于所述导通状态时关断；

5 所述电平位移子单元连接所述第二逻辑单元的第二输入端；

所述电平位移子单元用于：

当所述第一检测开关导通时，将所述第一检测开关的第二极的电压进行降压处理，得到所述第一开关的导通状态信号，并将所述第一开关的导通状态信号反馈至所述第二逻辑单元；

10 当所述第一检测开关关断时，将所述第二检测开关的第二极的电压进行降压处理，得到所述第一开关的关断状态信号，并将所述第一开关的关断状态信号反馈至所述第二逻辑单元。

5. 根据权利要求4所述的驱动电路，其特征在于，还包括电容和二极管，

15 所述二极管的正极连接第二电源，所述二极管的负极连接所述第一检测开关的第一极和所述第二检测开关的第一极，

所述电容的第一端连接所述二极管的负极，所述电容的第二端连接所述第一开关的第二极。

6. 根据权利要求4所述的驱动电路，其特征在于，所述电平位移子单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；

20 所述第一晶体管的第一极连接所述第一检测开关的第二极；所述第一晶体管的控制极和所述第二晶体管的控制极连接所述第二电源；

所述第一晶体管的第二极连接所述第三晶体管的第一极和所述第四晶体管的控制极；

25 所述第二晶体管的第一极连接所述第二检测开关的第二极，所述第二晶体管的第二极连接所述第三晶体管的控制极和所述第四晶体管的第一极；

所述第三晶体管的第二极和所述第四晶体管的第二极接地；

所述第一晶体管的第二极连接所述第二逻辑单元。

7. 根据权利要求6所述的驱动电路，其特征在于，所述电平位移子单元还包括第三反相器、第四反相器；

30 所述第三反相的输入端连接所述第一晶体管的第二极，所述第三反相器

的输出端连接所述第四反相器的输入端，所述第四反相器的输出端连接所述第二逻辑单元。

8. 根据权利要求 2 至 7 任一项所述的驱动电路，其特征在于，所述第二控制模块还包括第五反相器、第六反相器；

5 所述第五反相器的连接所述第二逻辑单元的输出端，所述第五反相器连接第二电源，所述第五反相器连接所述第二开关的第二极，所述第五反相器连接所述第六反相器；

 所述第六反相器的连接所述第二电源，所述第六反相器连接所述第二开关的第二极，所述第六反相器连接所述第二开关的控制极。

10 9. 根据权利要求 1 所述的驱动电路，其特征在于，所述第一开关与所述第二开关为 GaN 晶体管。

 10. 一种电子设备，其特征在于，包括权利要求 1 至 9 任一项所述的驱动电路。

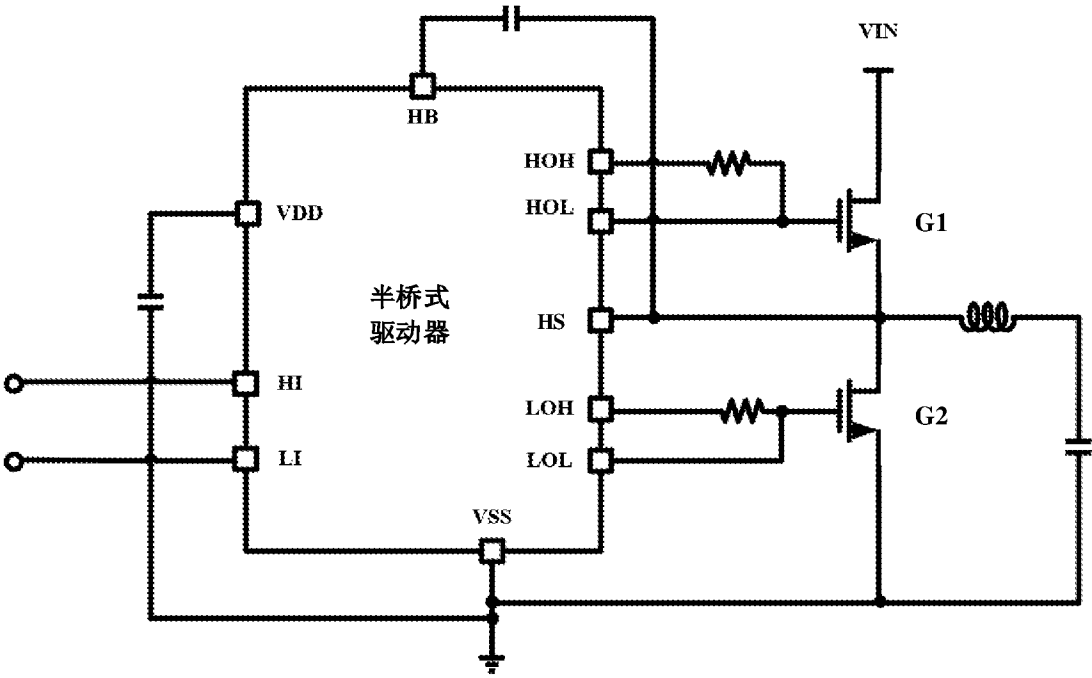


图 1

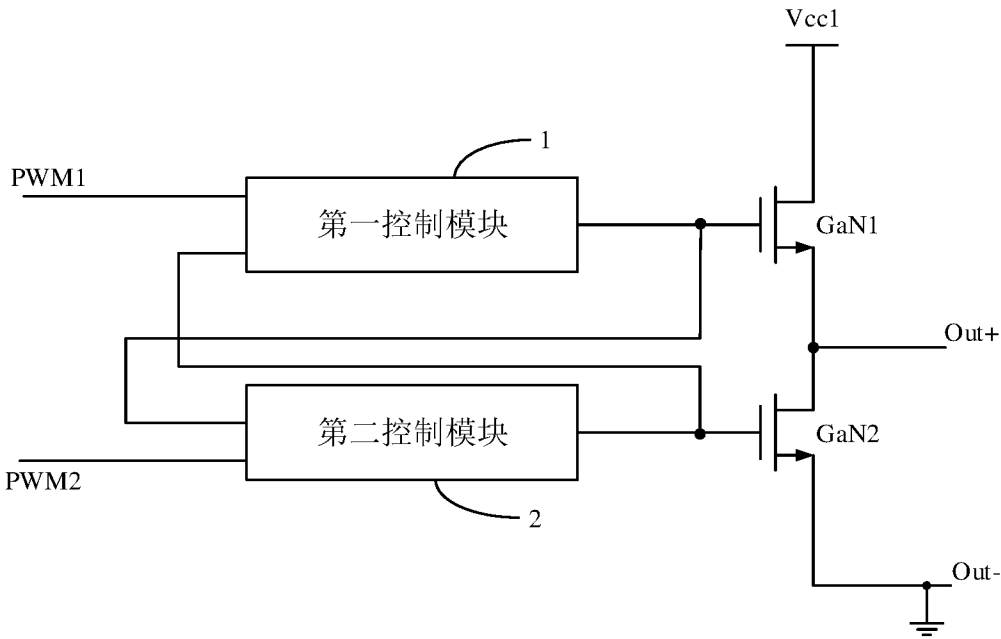


图 2

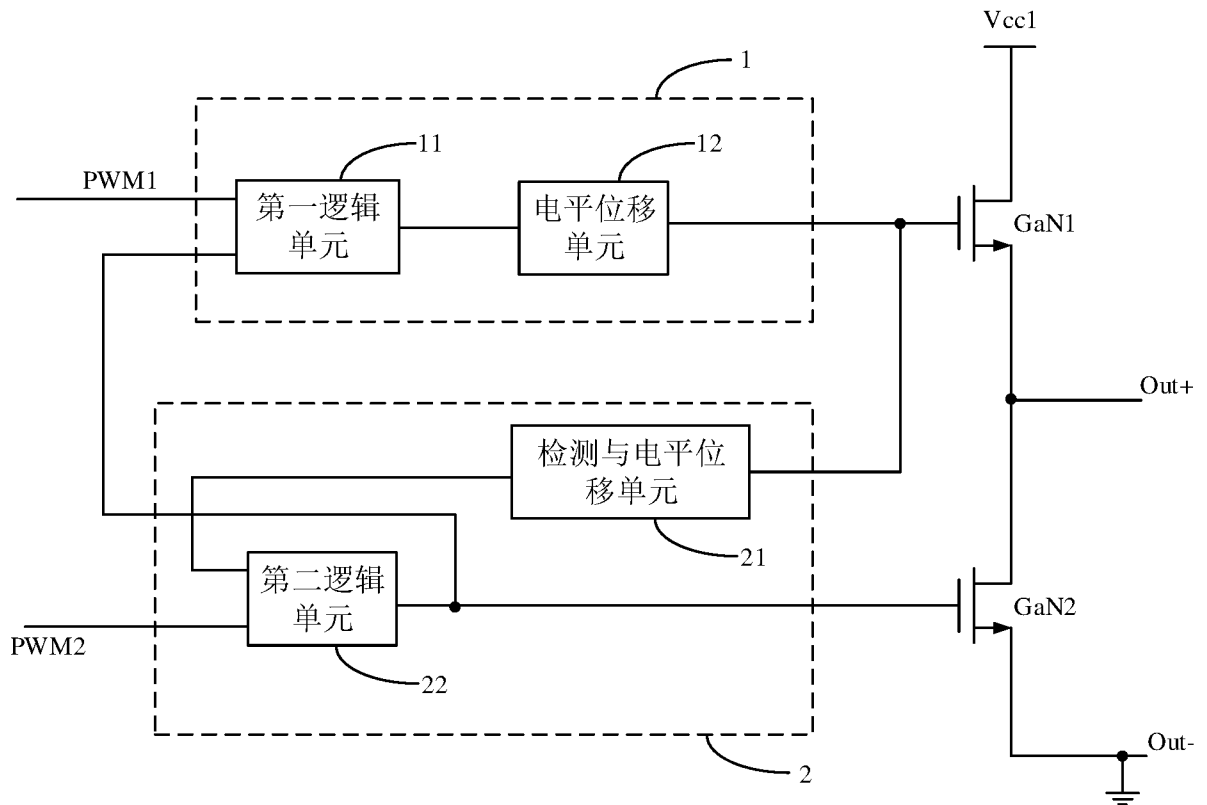


图 3

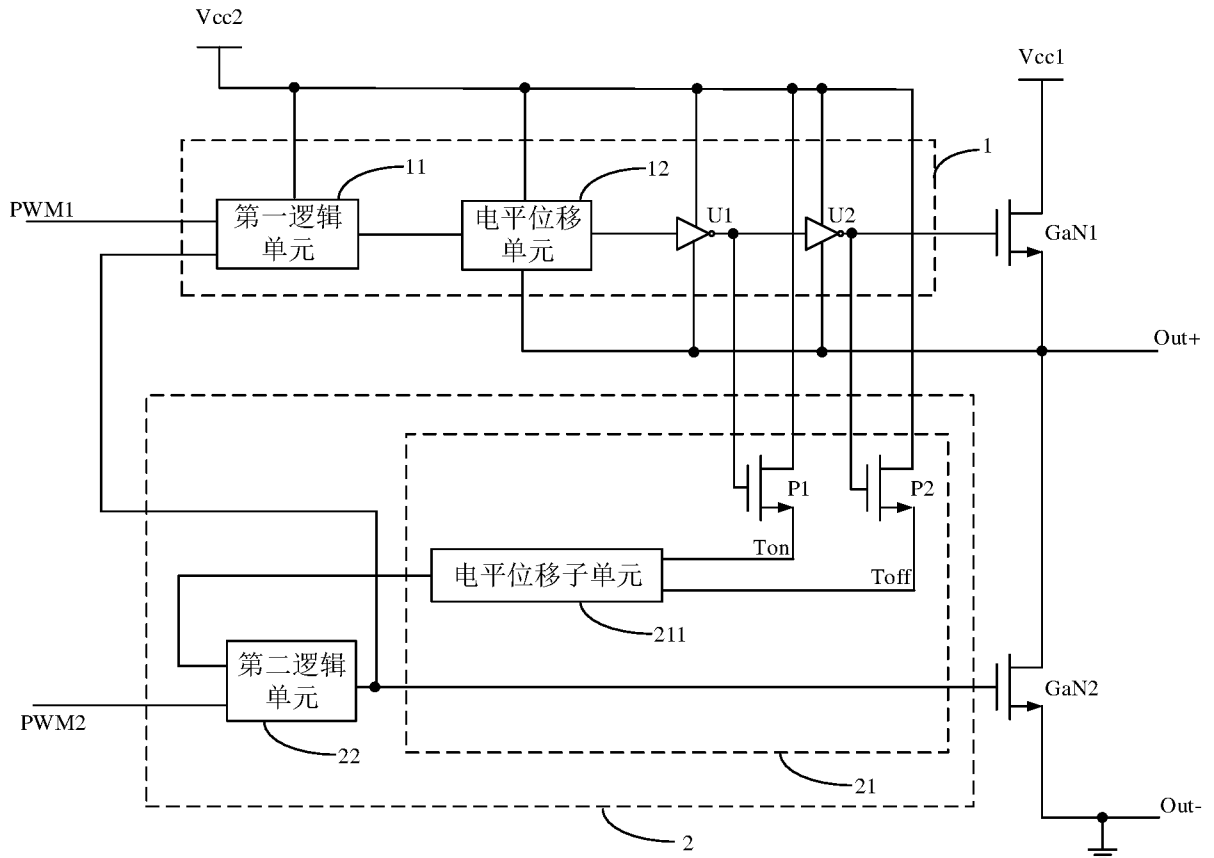


图 4

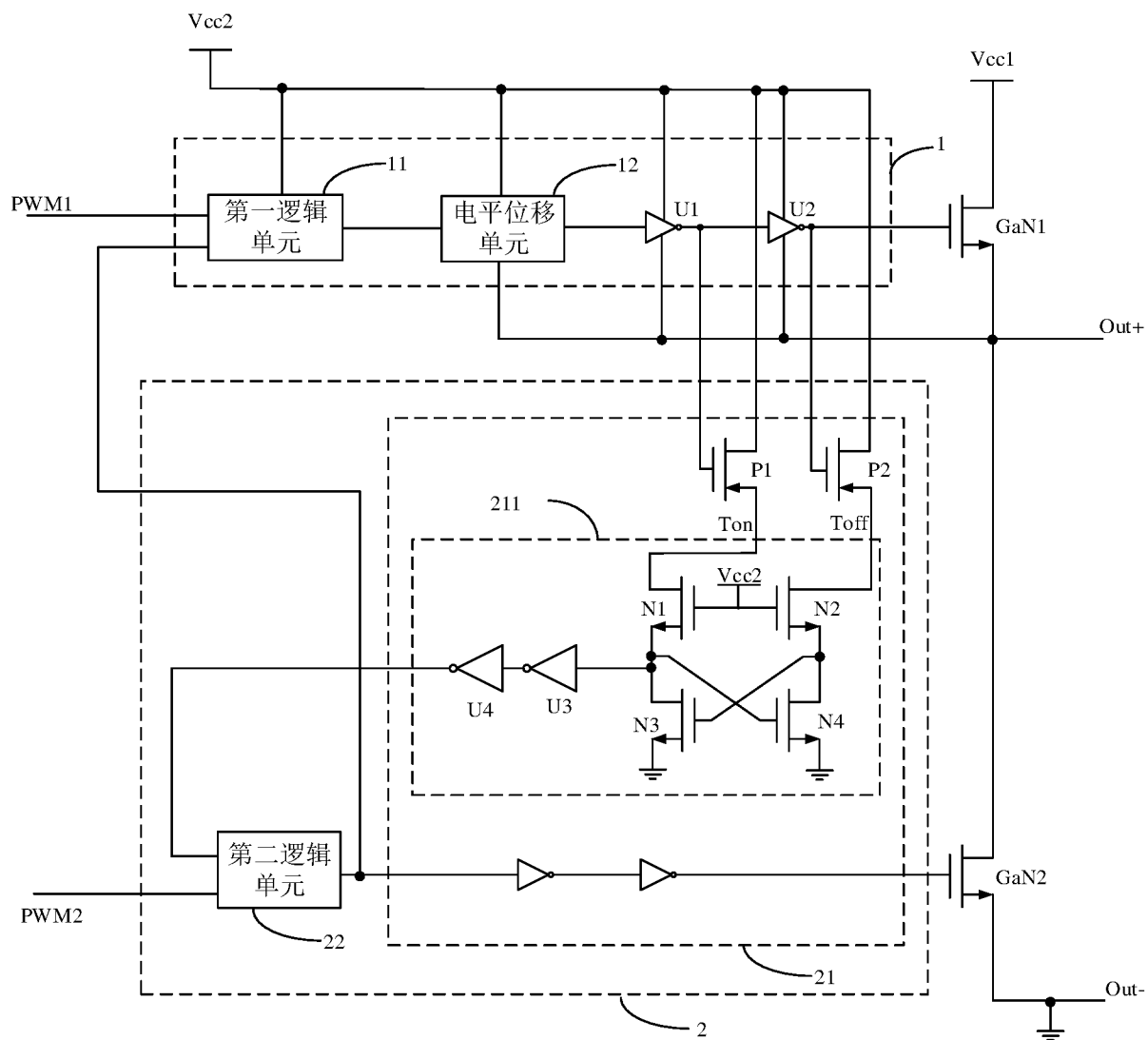


图 5

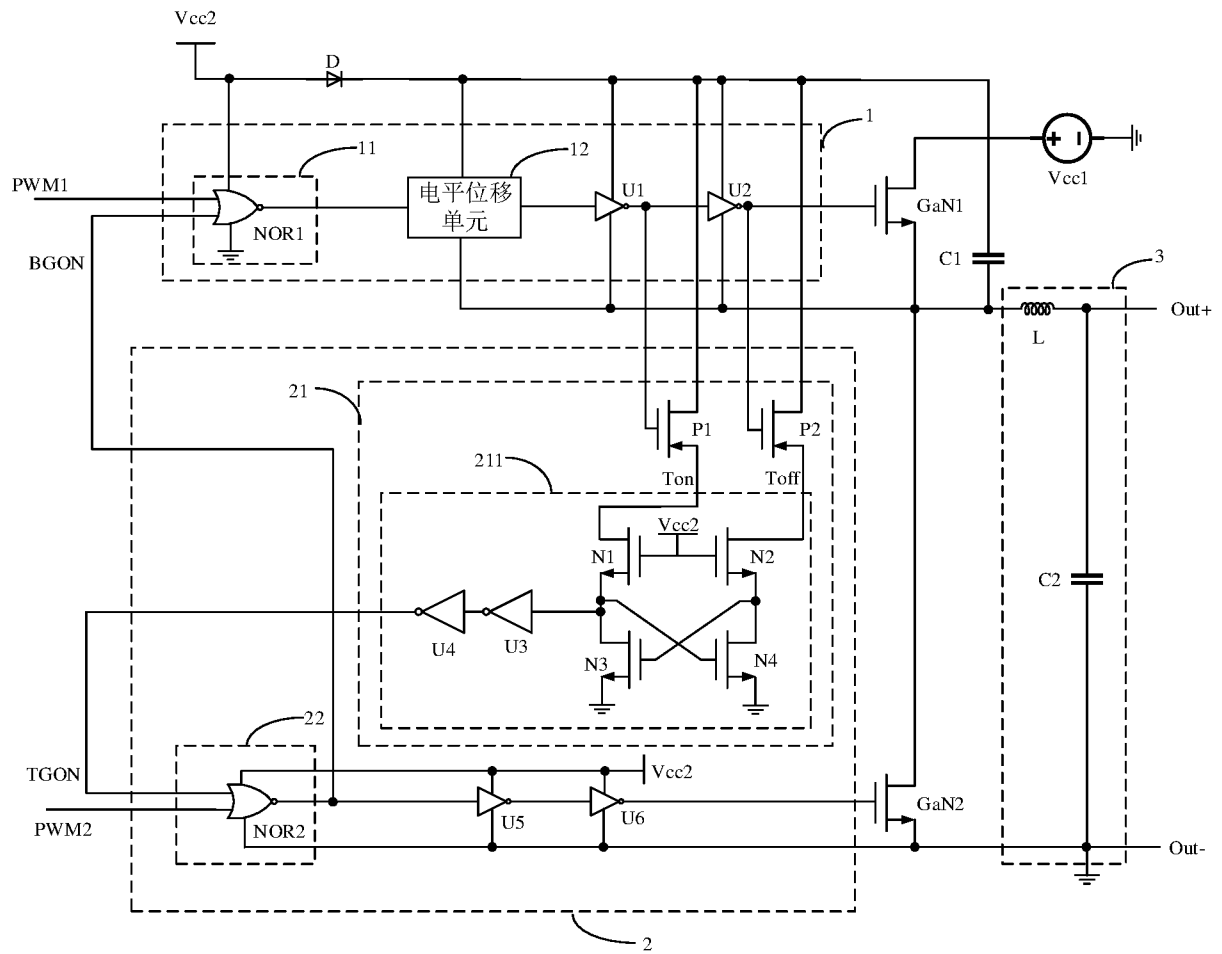


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/118021

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 死区, 状态, 开关, switch, control, dead, zone, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102843023 A (GSTeK-GREEN SOLUTION TECHNOLOGY CO., LTD.) 26 December 2012 (2012-12-26) description, paragraphs [0068]-[0075], and figures 5-7	1-10
X	US 2007085589 A1 (KABUSHIKI KAISHA TOSHIBA) 19 April 2007 (2007-04-19) description, paragraphs [0017]-[0073], and figure 1	1-10
A	CN 104410300 A (SHENZHEN SKYWORTH-RGB ELECTRONICS CO., LTD. et al.) 11 March 2015 (2015-03-11) entire document	1-10
A	US 10530258 B1 (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 07 January 2020 (2020-01-07) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 June 2022

Date of mailing of the international search report

20 June 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/118021

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102843023	A	26 December 2012	US	2012319754	A1	20 December 2012
US	2007085589	A1	19 April 2007	JP	2007097348	A	12 April 2007
				US	2008024093	A1	31 January 2008
CN	104410300	A	11 March 2015	None			
US	10530258	B1	07 January 2020	CN	109787466	A	21 May 2019

国际检索报告

国际申请号

PCT/CN2021/118021

A. 主题的分类

H03K 17/687(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI:死区, 状态, 开关, switch, control, dead, zone, transistor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102843023 A (登丰微电子股份有限公司) 2012年12月26日 (2012 - 12 - 26) 说明书第[0068]-[0075]段, 图5-7	1-10
X	US 2007085589 A1 (KABUSHIKI KAISHA TOSHIBA) 2007年4月19日 (2007 - 04 - 19) 说明书第[0017]-[0073]段, 图1	1-10
A	CN 104410300 A (深圳创维-RGB电子有限公司 等) 2015年3月11日 (2015 - 03 - 11) 全文	1-10
A	US 10530258 B1 (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 2020年1月7日 (2020 - 01 - 07) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年6月2日

国际检索报告邮寄日期

2022年6月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

林芳

电话号码 86-(10)-53961337

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/118021

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102843023	A	2012年12月26日	US	2012319754	A1	2012年12月20日
US	2007085589	A1	2007年4月19日	JP	2007097348	A	2007年4月12日
				US	2008024093	A1	2008年1月31日
CN	104410300	A	2015年3月11日	无			
US	10530258	B1	2020年1月7日	CN	109787466	A	2019年5月21日