



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0099690
(43) 공개일자 2020년08월25일

(51) 국제특허분류(Int. Cl.)
H03F 1/34 (2006.01) H03F 1/22 (2006.01)
H03F 1/56 (2006.01) H03F 3/24 (2006.01)
(52) CPC특허분류
H03F 1/347 (2013.01)
H03F 1/223 (2013.01)
(21) 출원번호 10-2019-0017587
(22) 출원일자 2019년02월15일
심사청구일자 없음

(71) 출원인
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
공선우
대전광역시 유성구 어은로 57, 137동 104호
김광선
세종특별자치시 보듬2로 42, 1410동 1801호
(뒷면에 계속)
(74) 대리인
특허법인이상

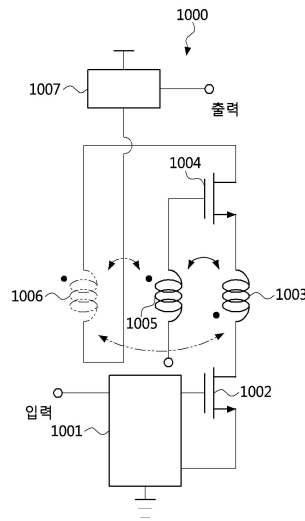
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 변압기를 이용하여 전류를 재사용하기 위한 증폭기 및 그의 동작 방법

(57) 요약

본 발명의 실시예에 따른 증폭기(amplifier)가 개시된다. 상기 증폭기는, 제1 및 제2 정합 망(matching network); 제1 및 제2 트랜지스터(transistor); 및 제1 내지 제3 인덕터(inductor)를 포함하는 변압기(transformer);를 포함한다.

대표도 - 도10a



(52) CPC특허분류
H03F 1/565 (2013.01)
H03F 3/24 (2013.01)

(72) 발명자
박지훈
대전광역시 유성구 가정로 87, 303호
이광천
대전광역시 유성구 엑스포로339번길 320, 7동 403호

이희동
대전광역시 유성구 노은로 353, 305동 803호
장승현
대전광역시 서구 청사로 281, 202동 1306호

이 발명을 지원한 국가연구개발사업
과제고유번호 2017-0-00409
부처명 과학기술정보통신부
연구관리전문기관 정보통신기술진흥센터(IITP)
연구사업명 정보통신 방송연구개발사업
연구과제명 5G 이동통신용 밀리미터파(40GHz 이하) 빔포밍 부품 개발
기 여 율 1/1
주관기관 알에프코어
연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

증폭기(amplifier)에 있어서,

제1 및 제2 정합 망(matching network);

제1 및 제2 트랜지스터(transistor); 및

제1 내지 제3 인덕터(inductor)를 포함하는 변압기(transformer);를 포함하고,

상기 제1 트랜지스터의 게이트(gate) 및 소스(source)는 상기 제1 정합 망과 연결되고,

상기 제1 인덕터의 일단은 상기 제1 트랜지스터의 드레인(drain)과 연결되고, 상기 제1 인덕터의 타단은 상기 제2 트랜지스터의 소스와 연결되고,

상기 제2 인덕터의 일단은 상기 제2 트랜지스터의 게이트와 연결되고, 상기 제2 인덕터의 타단은 접지되고, 그리고

상기 제3 인덕터의 일단은 상기 제2 트랜지스터의 드레인과 연결되고, 상기 제3 인덕터의 타단은 상기 제2 정합 망과 연결되는, 증폭기.

청구항 2

청구항 1에 있어서,

상기 변압기는 제1 내지 제3 층을 포함하고,

상기 제1 인덕터는 상기 제1 층에 배치되고,

상기 제2 인덕터는 상기 제2 층에 배치되고,

상기 제3 인덕터는 상기 제3 층에 배치되는, 증폭기.

청구항 3

청구항 1에 있어서,

상기 제2 인덕터는 상기 제1 인덕터의 외곽을 둘러싸도록 배치되고,

상기 제3 인덕터는 상기 상기 제2 인덕터의 외곽을 둘러싸도록 배치되는, 증폭기.

청구항 4

청구항 1에 있어서,

상기 제1 정합 망은 제1 입력단을 통해 입력되는 전기 신호를 상기 제1 트랜지스터의 게이트로 출력하고,

상기 제1 트랜지스터는 상기 전기 신호를 상기 드레인을 통해 상기 제1 인덕터로 출력하는, 증폭기.

청구항 5

청구항 1에 있어서,

상기 제1 인덕터는 전기 신호에 따라 제1 자속(magnetic flux)을 형성하고,

상기 제2 인덕터는 상기 제1 자속에 의한 제2 자속을 형성하고,

상기 제2 자속의 방향은 상기 제1 자속의 방향과 반대인, 증폭기.

청구항 6

청구항 1에 있어서,

상기 제2 트랜지스터는 상기 제1 인덕터에 의해 형성되는 제1 자속에 의해 소스 및 게이트에 전압을 형성하고, 상기 제2 트랜지스터의 소스 및 게이트 각각의 전압의 위상의 차이는 180도인, 증폭기.

청구항 7

청구항 1에 있어서,

상기 제3 인덕터는 상기 제2 인덕터에 의해 형성되는 제2 자속에 의한 제3 자속을 형성하고, 상기 제3 자속의 방향은 상기 제2 자속의 방향과 동일한, 증폭기.

청구항 8

청구항 1에 있어서,

상기 제1 내지 제3 인덕터는 전자기(electro-magnetic)적으로 커플링(coupling)되는, 증폭기.

청구항 9

통신 노드에 있어서,

안테나; 및

상기 안테나와 연결되는 증폭기(amplifier);를 포함하고,

상기 증폭기는,

제1 및 제2 정합 망(matching network);

제1 및 제2 트랜지스터(transistor); 및

제1 내지 제3 인덕터(inductor)를 포함하는 변압기(transformer);를 포함하고,

상기 제1 트랜지스터의 게이트(gate) 및 소스(source)는 상기 제1 정합 망과 연결되고,

상기 제1 인덕터의 일단은 상기 제1 트랜지스터의 드레인(drain)과 연결되고, 상기 제1 인덕터의 타단은 상기 제2 트랜지스터의 소스와 연결되고,

상기 제2 인덕터의 일단은 상기 제2 트랜지스터의 게이트와 연결되고, 상기 제2 인덕터의 타단은 접지되고, 그리고

상기 제3 인덕터의 일단은 상기 제2 트랜지스터의 드레인과 연결되고, 상기 제3 인덕터의 타단은 상기 제2 정합 망과 연결되는, 통신 노드.

청구항 10

청구항 9에 있어서,

상기 변압기는 제1 내지 제3 층을 포함하고,

상기 제1 인덕터는 상기 제1 층에 배치되고,

상기 제2 인덕터는 상기 제2 층에 배치되고,

상기 제3 인덕터는 상기 제3 층에 배치되는, 통신 노드.

청구항 11

청구항 9에 있어서,

상기 제2 인덕터는 상기 제1 인덕터의 외곽을 둘러싸도록 배치되고,

상기 제3 인덕터는 상기 제2 인덕터의 외곽을 둘러싸도록 배치되는, 통신 노드.

청구항 12

청구항 9에 있어서,

상기 제1 정합 망은 제1 입력단을 통해 입력되는 전기 신호를 상기 제1 트랜지스터의 게이트로 출력하고,
상기 제1 트랜지스터는 상기 전기 신호를 상기 드레인을 통해 상기 제1 인덕터로 출력하는, 통신 노드.

청구항 13

청구항 9에 있어서,

상기 제1 인덕터는 전기 신호에 따라 제1 자속(magnetic flux)을 형성하고,
상기 제2 인덕터는 상기 제1 자속에 의한 제2 자속을 형성하고,
상기 제2 자속의 방향은 상기 제1 자속의 방향과 반대인, 통신 노드.

청구항 14

청구항 9에 있어서,

상기 제2 트랜지스터는 상기 제1 인덕터에 의해 형성되는 제1 자속에 의해 소스 및 게이트에 전압을 형성하고,
상기 제2 트랜지스터의 소스 및 게이트 각각의 전압의 위상의 차이는 180도인, 통신 노드.

청구항 15

청구항 9에 있어서,

상기 제3 인덕터는 상기 제2 인덕터에 의해 형성되는 제2 자속에 의한 제3 자속을 형성하고,
상기 제3 자속의 방향은 상기 제2 자속의 방향과 동일한, 통신 노드.

청구항 16

청구항 9에 있어서,

상기 제1 내지 제3 인덕터는 전자기(electro-magnetic)적으로 커플링(coupling)되는, 통신 노드.

청구항 17

청구항 9에 있어서,

상기 통신 노드는 송신 신호 처리기;를 더 포함하고,
상기 증폭기는 상기 송신 신호 처리기로부터 출력되는 전송 신호를 증폭하고,
상기 안테나는 상기 증폭된 전송 신호를 방사하는, 통신 노드.

청구항 18

청구항 9에 있어서,

상기 통신 노드는 수신 신호 처리기;를 더 포함하고,
상기 안테나는 수신 신호를 수신하고,
상기 증폭기는 상기 수신된 신호를 증폭하고,
상기 수신 신호 처리기는 상기 증폭된 신호를 처리하는, 통신 노드.

발명의 설명

기술 분야

본 발명은 증폭기에 관한 것으로, 더욱 상세하게는 변압기를 이용하여 전류를 재사용하기 위한 증폭기 및 그의

[0001]

동작 방법에 관한 것이다.

배경 기술

- [0002] 무선 통신 시스템에서 무선 신호를 원활하게 송수신하기 위해서는 RF(radio frequency)에서 무선 신호를 증폭할 필요가 있다. 예를 들어, 무선 통신 시스템에서 송수신기는 RF 증폭기를 이용하여 송수신 신호를 증폭할 수 있다. 여기서, RF 증폭기는 전송 신호의 크기를 증폭하여 출력할 수 있다. 또한, RF 증폭기는 수신 신호를 처리 가능한 크기의 신호로 증폭할 수 있다.
- [0003] 한편, RF는 무선 통신 시스템의 종류에 따라 다양할 수 있다. 무선 통신 시스템은 높은 대역폭에서 동작할 수 있다. 이에 따라, 무선 통신 시스템은 높은 대역폭에서 동작하는 RF 증폭기가 필요할 수 있다.
- [0004] 높은 대역폭에서 동작하는 RF 증폭기는 3가지의 요구 조건을 충족해야 한다. 첫째, RF 증폭기는 안정도가 높아야 한다. 예를 들어, 안정도가 낮은 RF 증폭기는 발진이 발생하여 입력 신호가 존재하지 않는 경우에도 출력 신호를 생성할 수 있다. 둘째, RF 증폭기는 RF에서 충분히 큰 이득을 보장해야 한다. 예를 들어, RF 증폭기는 일반적으로 RF 단에서 신호를 증폭할 경우, 무선 통신 시스템에서 요구하는 조건을 충족시킬 수 있다. 셋째, RF 증폭기는 전력 소모가 낮아야 한다. 예를 들어, RF 증폭기는 RF에서 기생(parasitic) 성분 또는 부하(load) 구성으로 인하여 높은 이득을 갖기 어려울 수 있다. 따라서, RF 증폭기는 이득을 높이기 위해 많은 전력을 이용하는 방식으로 동작할 수 있다. 그러나, RF 증폭기에서 많은 전력을 이용할 경우, 무선 통신 시스템 전체의 전력 효율이 감소한다는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 상기 문제점을 해결하기 위한 본 발명의 목적은 증폭기의 변압기 내부에 생성되는 기생 캐패시턴스 성분을 상쇄시킬 수 있는 구조를 갖는 증폭기를 제공하는 것이다.

과제의 해결 수단

- [0006] 상기 목적을 달성하기 위한 본 발명의 일 실시예는 증폭기(amplifier)를 개시한다. 상기 증폭기는, 제1 및 제2 정합 망(matching network); 제1 및 제2 트랜지스터(transistor); 및 제1 내지 제3 인덕터(inductor)를 포함하는 변압기(transformer);를 포함한다. 상기 제1 트랜지스터의 게이트(gate) 및 소스(source)는 상기 제1 정합 망과 연결될 수 있다. 상기 제1 인덕터의 일단은 상기 제1 트랜지스터의 드레인(drain)과 연결될 수 있다. 상기 제1 인덕터의 타단은 상기 제2 트랜지스터의 소스와 연결될 수 있다. 상기 제2 인덕터의 일단은 상기 제2 트랜지스터의 게이트와 연결될 수 있다. 상기 제2 인덕터의 타단은 접지될 수 있다. 그리고, 상기 제3 인덕터의 일단은 상기 제2 트랜지스터의 드레인과 연결될 수 있다. 상기 제3 인덕터의 타단은 상기 제2 정합 망과 연결될 수 있다.
- [0007] 상기 변압기는 제1 내지 제3 층을 포함할 수 있다. 상기 제1 인덕터는 상기 제1 층에 배치될 수 있다. 상기 제2 인덕터는 상기 제2 층에 배치될 수 있다. 상기 제3 인덕터는 상기 제3 층에 배치될 수 있다.
- [0008] 상기 제2 인덕터는 상기 제1 인덕터의 외곽을 둘러싸도록 배치될 수 있다. 상기 제3 인덕터는 상기 제2 인덕터의 외곽을 둘러싸도록 배치될 수 있다.
- [0009] 상기 제1 정합 망은 제1 입력단을 통해 입력되는 전기 신호를 상기 제1 트랜지스터의 게이트로 출력할 수 있다. 상기 제1 트랜지스터는 상기 전기 신호를 상기 드레인을 통해 상기 제1 인덕터로 출력할 수 있다.
- [0010] 상기 제1 인덕터는 전기 신호에 따라 제1 자속(magnetic flux)을 형성할 수 있다. 상기 제2 인덕터는 상기 제1 자속에 의한 제2 자속을 형성할 수 있다. 상기 제2 자속의 방향은 상기 제1 자속의 방향과 반대일 수 있다.
- [0011] 상기 제2 트랜지스터는 상기 제1 인덕터에 의해 형성되는 제1 자속에 의해 소스 및 게이트에 전압을 형성할 수 있다. 상기 제2 트랜지스터의 소스 및 게이트 각각의 전압의 위상의 차이는 180도일 수 있다.
- [0012] 상기 제3 인덕터는 상기 제2 인덕터에 의해 형성되는 제2 자속에 의한 제3 자속을 형성할 수 있다. 상기 제3 자속의 방향은 상기 제2 자속의 방향과 동일할 수 있다.
- [0013] 상기 제1 내지 제3 인덕터는 전자기(electro-magnetic)적으로 커플링(coupling)될 수 있다.

- [0014] 또한, 상기 목적을 달성하기 위한 본 발명의 일 실시예는 통신 노드를 개시한다. 상기 통신 노드는, 안테나; 및 상기 안테나와 연결되는 증폭기(amplifier);를 포함한다. 상기 증폭기는, 제1 및 제2 정합 망(matching network); 제1 및 제2 트랜지스터(transistor); 및 제1 내지 제3 인덕터(inductor)를 포함하는 변압기(transformer);를 포함한다. 상기 제1 트랜지스터의 게이트(gate) 및 소스(source)는 상기 제1 정합 망과 연결된다. 상기 제1 인덕터의 일단은 상기 제1 트랜지스터의 드레인(drain)과 연결되고, 상기 제1 인덕터의 타단은 상기 제2 트랜지스터의 소스와 연결된다. 상기 제2 인덕터의 일단은 상기 제2 트랜지스터의 게이트와 연결되고, 상기 제2 인덕터의 타단은 접지된다. 상기 제3 인덕터의 일단은 상기 제2 트랜지스터의 드레인과 연결된다. 상기 제3 인덕터의 타단은 상기 제2 정합 망과 연결된다.
- [0015] 상기 변압기는 제1 내지 제3 층을 포함할 수 있다. 상기 제1 인덕터는 상기 제1 층에 배치될 수 있다. 상기 제2 인덕터는 상기 제2 층에 배치될 수 있다. 상기 제3 인덕터는 상기 제3 층에 배치될 수 있다.
- [0016] 상기 제2 인덕터는 상기 제1 인덕터의 외곽을 둘러싸도록 배치될 수 있다. 상기 제3 인덕터는 상기 제2 인덕터의 외곽을 둘러싸도록 배치될 수 있다.
- [0017] 상기 제1 정합 망은 제1 입력단을 통해 입력되는 전기 신호를 상기 제1 트랜지스터의 게이트로 출력할 수 있다. 상기 제1 트랜지스터는 상기 전기 신호를 상기 드레인을 통해 상기 제1 인덕터로 출력할 수 있다.
- [0018] 상기 제1 인덕터는 전기 신호에 따라 제1 자속(magnetic flux)을 형성할 수 있다. 상기 제2 인덕터는 상기 제1 자속에 의한 제2 자속을 형성할 수 있다. 상기 제2 자속의 방향은 상기 제1 자속의 방향과 반대일 수 있다.
- [0019] 상기 제2 트랜지스터는 상기 제1 인덕터에 의해 형성되는 제1 자속에 의해 소스 및 게이트에 전압을 형성할 수 있다. 상기 제2 트랜지스터의 소스 및 게이트 각각의 전압의 위상의 차이는 180도일 수 있다.
- [0020] 상기 제3 인덕터는 상기 제2 인덕터에 의해 형성되는 제2 자속에 의한 제3 자속을 형성할 수 있다. 상기 제3 자속의 방향은 상기 제2 자속의 방향과 동일할 수 있다.
- [0021] 상기 제1 내지 제3 인덕터는 전자기(electro-magnetic)적으로 커플링(coupling)될 수 있다.
- [0022] 상기 통신 노드는 송신 신호 처리기;를 더 포함할 수 있다. 상기 증폭기는 상기 송신 신호 처리기로부터 출력되는 전송 신호를 증폭할 수 있다. 상기 안테나는 상기 증폭된 전송 신호를 방사할 수 있다.
- [0023] 상기 통신 노드는 수신 신호 처리기;를 더 포함할 수 있다. 상기 안테나는 수신 신호를 수신할 수 있다. 상기 증폭기는 상기 수신된 신호를 증폭할 수 있다. 상기 수신 신호 처리기는 상기 증폭된 신호를 처리할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예에 따른 증폭기의 구조를 통해 증폭기의 안정도 및 이득을 증가시킬 수 있다. 또한, 본 발명의 실시예에 따른 증폭기의 구조를 통해 증폭기의 노이즈 팩터(noise factor; NF)를 개선할 수 있다. 본 발명의 실시예에 따른 증폭기의 구조를 통해 증폭기의 공간 사용 효율을 증가시킬 수 있다. 또한, 본 발명의 실시예에 따른 증폭기의 구조를 통해 전류를 재사용함으로써 전력 효율을 증가시킬 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 제1 실시예에 따른 통신 시스템을 도시한 개념도이다.
- 도 2는 발명의 제1 실시예에 따른 무선 통신 시스템에서 통신 노드의 구조를 도시한 개념도이다.
- 도 3은 본 발명의 제1 실시예에 따른 무선 통신 시스템에서 송신기 및 수신기를 도시한 개념도이다.
- 도 4는 본 발명의 제1 실시예에 따른 송수신 장치의 증폭기의 구조를 도시한 회로도이다.
- 도 5는 본 발명의 제1 실시예에 따른 다른 증폭기의 구조 및 기생 캐패시턴스 성분을 도시한 회로도이다.
- 도 6a 및 도 6b는 본 발명의 제2 실시예에 따른 증폭기의 구조를 도시한 회로도이다.
- 도 7은 본 발명의 제3 실시예에 따른 증폭기의 구조를 도시한 회로도이다.
- 도 8은 본 발명의 제3 실시예에 따른 증폭기의 제2 인덕터에 입력되는 신호의 주파수 크기에 따른 산란(scattering)-파라미터(S-parameter)의 변화를 도시한 그래프이다.
- 도 9는 본 발명의 제3 실시예에 따른 증폭기의 제2 인덕터에 입력되는 신호의 주파수 크기에 따른 안정 팩터

(stability factor)를 도시한 그래프이다.

도 10a 및 도 10b는 본 발명의 제4 실시예에 따른 증폭기의 구조를 도시한 회로도이다.

도 11은 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 최대 가능 이득(maximum available gain; MAG) 그래프이다.

도 12는 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 안정 팩터(stability factor) 그래프이다.

도 13은 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 최소 잡음 지수(minimum noise figure) 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0027] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0029] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가진 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0033] 명세서 전체에서, 단말(terminal)은, 이동 단말(mobile terminal, MT), 이동 국(mobile station, MS), 진보된 이동국(advanced mobile station, AMS), 고신뢰성 이동국(high reliability mobile station, HR-MS), 가입자국(subscriber station, SS), 휴대 가입자국(portable subscriber station, PSS), 접근 단말(access terminal, AT), 사용자 장비(user equipment, UE) 등을 지칭할 수도 있고, 단말, MT, MS, AMS, HR-MS, SS, PSS, AT, UE 등의 전부 또는 일부의 기능을 포함할 수도 있다.
- [0034] 또한, 기지국(base station, BS)은, 진보된 기지국(advanced base station, ABS), 고신뢰성 기지국(high reliability base station, HR-BS), 노드B(node B), 고도화 노드 B(evolved node B, eNodeB), 접근점(access point, AP), 무선 접근 국(radio access station, RAS), 송수신 기지국(base transceiver station, BTS), MMR(mobile multihop relay)-BS, 기지국 역할을 수행하는 중계기(relay station, RS), 기지국 역할을 수행하는 고신뢰성 중계기(high reliability relay station, HR-RS), 소형 기지국 등을 지칭할 수도 있고, BS, ABS, HR-BS, 노드B, eNodeB, AP, RAS, BTS, MMR-BS, RS, HR-RS, 소형 기지국 등의 전부 또는 일부의 기능을 포함할

수도 있다.

- [0036] 도 1은 본 발명의 제1 실시예에 따른 통신 시스템을 도시한 개념도이다.
- [0037] 도 1을 참조하면, 통신 시스템(100)은 복수의 통신 노드들(110-1, 110-2, 110-3, 120-1, 120-2, 130-1, 130-2, 130-3, 130-4, 130-5, 130-6)로 구성될 수 있다. 복수의 통신 노드들 각각은 적어도 하나의 통신 프로토콜을 지원할 수 있다. 예를 들어, 복수의 통신 노드들 각각은 CDMA(code division multiple access) 기반의 통신 프로토콜, WCDMA(wideband CDMA) 기반의 통신 프로토콜, TDMA(time division multiple access) 기반의 통신 프로토콜, FDMA(frequency division multiple access) 기반의 통신 프로토콜, OFDM(orthogonal frequency division multiplexing) 기반의 통신 프로토콜, OFDMA(orthogonal frequency division multiple access) 기반의 통신 프로토콜, SC(single carrier)-FDMA 기반의 통신 프로토콜, NOMA(non-orthogonal multiple access) 기반의 통신 프로토콜, SDMA(space division multiple access) 기반의 통신 프로토콜 등을 지원할 수 있다. 복수의 통신 노드들 각각은 다음과 같은 구조를 가질 수 있다.
- [0039] 도 2는 본 발명의 제1 실시예에 따른 무선 통신 시스템에서 통신 노드의 구조를 도시한 개념도이다.
- [0040] 도 2를 참고하면, 통신 노드(200)는 통신 노드(200)는 적어도 하나의 프로세서(210), 메모리(220) 및 네트워크와 연결되어 통신을 수행하는 송수신 장치(230)를 포함할 수 있다. 또한, 통신 노드(200)는 입력 인터페이스 장치(240), 출력 인터페이스 장치(250), 저장 장치(260) 등을 더 포함할 수 있다. 통신 노드(200)에 포함된 각각의 구성 요소들은 버스(bus)(270)에 의해 연결되어 서로 통신을 수행할 수 있다.
- [0041] 다만, 통신 노드(200)에 포함된 각각의 구성요소들은 공통 버스(270)가 아니라, 프로세서(210)를 중심으로 개별 인터페이스 또는 개별 버스를 통하여 연결될 수도 있다. 예를 들어, 프로세서(210)는 메모리(220), 송수신 장치(230), 입력 인터페이스 장치(240), 출력 인터페이스 장치(250) 및 저장 장치(260) 중에서 적어도 하나와 전용 인터페이스를 통하여 연결될 수도 있다.
- [0042] 프로세서(210)는 메모리(220) 및 저장 장치(260) 중에서 적어도 하나에 저장된 프로그램 명령(program command)을 실행할 수 있다. 프로세서(210)는 중앙 처리 장치(central processing unit, CPU), 그래픽 처리 장치(graphics processing unit, GPU), 또는 본 발명의 실시예들에 따른 방법들이 수행되는 전용의 프로세서를 의미할 수 있다. 메모리(220) 및 저장 장치(260) 각각은 휘발성 저장 매체 및 비휘발성 저장 매체 중에서 적어도 하나로 구성될 수 있다. 예를 들어, 메모리(220)는 읽기 전용 메모리(read only memory, ROM) 및 랜덤 액세스 메모리(random access memory, RAM) 중에서 적어도 하나로 구성될 수 있다.
- [0043] 한편, 통신 노드(200)의 송수신 장치(230)는 아래의 도 3과 같이 구성될 수 있다.
- [0045] 도 3은 본 발명의 제1 실시예에 따른 무선 통신 시스템에서 송신기 및 수신기를 도시한 개념도이다.
- [0046] 도 3을 참고하면, 무선 통신 시스템(300)에서 송신기(310)는 수신기(320)로 무선 신호를 전송할 수 있다. 여기서, 무선 통신 시스템(300)은 도 1의 무선 통신 시스템(100)과 동일 또는 유사할 수 있다. 송신기(310)는 도 2의 송수신 장치(230)와 동일 또는 유사할 수 있다. 또한, 수신기(320)는 도 2의 송수신 장치(230)와 동일 또는 유사할 수 있다.
- [0047] 예를 들어, 송신기(310)는 안테나(311), 증폭기(312), 믹서(mixer)(313), 및 로컬 오실레이터(local oscillator)(314)를 포함할 수 있다. 송신기(310)는 믹서(313) 및 로컬 오실레이터(314)를 통해 기저대역(baseband) 신호를 변환할 수 있다. 또한, 송신기(310)는 변환된 신호를 증폭기(312)를 통해 증폭한 후, 안테나(311)를 통해 증폭된 신호를 수신기(320)로 전송할 수 있다.
- [0048] 수신기(320)는 안테나(321), 증폭기(322), 믹서(323), 및 로컬 오실레이터(324)를 포함할 수 있다. 수신기(320)는 송신기(310)로부터 수신되는 신호를 안테나(321)를 통해 수신할 수 있다. 수신기(320)는 수신된 신호를 증폭기(322)를 통해 증폭시킬 수 있다. 수신기(320)는 증폭된 신호를 믹서(323) 및 로컬 오실레이터(324)를 통해 기저대역 신호로 변환할 수 있다.
- [0049] 여기서, 증폭기(312 및 322)는 회로의 기생(parasitic) 성분(component)에 의한 큰 영향을 받을 수 있다. 따라

서, 증폭기(312 및 322)에 대한 설계는 안정도, 이득, 및 전력 소모를 고려할 필요가 있다.

- [0050] 예를 들어, 증폭기(312 및 322)는 아래의 도 4와 같이 설계될 수 있다.
- [0052] 도 4는 본 발명의 제1 실시예에 따른 송수신 장치의 증폭기의 구조를 도시한 회로도이다.
- [0053] 도 4를 참고하면, 증폭기(400)는 캐스코드(cascode) 구조로 제1 단(stage) 및 제2 단을 포함할 수 있다. 여기서, 증폭기(400)는 도 3의 증폭기(312 및 322)와 동일 또는 유사할 수 있다.
- [0054] 예를 들어, 제1 단은 제1 정합 망(matching network)(401), 제1 트랜지스터(402), 제2 트랜지스터(403), 제1 인덕터(404), 및 제2 인덕터(405)를 포함할 수 있다. 또한, 제2 단은 제2 정합 망(406), 제3 트랜지스터(407), 제4 트랜지스터(408), 제3 인덕터(409), 및 제4 인덕터(410)를 포함할 수 있다.
- [0055] 제1 트랜지스터(402)는 게이트(gate), 소스(source), 및 드레인(drain)을 포함할 수 있다. 또한, 제2 트랜지스터(403)는 게이트, 소스, 및 드레인을 포함할 수 있다. 제3 트랜지스터(407)는 게이트, 소스, 및 드레인을 포함할 수 있다. 또한, 제4 트랜지스터(408)는 게이트, 소스, 및 드레인을 포함할 수 있다.
- [0056] 예를 들어, 제1 정합 망(401)의 입력단은 증폭기(400)의 입력포트와 연결될 수 있다. 제1 트랜지스터(402)의 게이트는 제1 정합 망(401)의 출력단과 연결될 수 있다. 제1 트랜지스터(402)의 소스는 제1 인덕터(404)의 일단과 연결될 수 있다. 제1 인덕터(404)의 타단은 접지(ground)될 수 있다. 제1 트랜지스터(402)의 드레인은 제2 인덕터(405)의 일단 및 제2 정합 망(406)의 입력단과 연결될 수 있다.
- [0057] 제3 트랜지스터(407)의 게이트는 제2 정합 망(406)의 출력단과 연결될 수 있다. 제3 트랜지스터(407)의 소스는 제3 인덕터(409)의 일단과 연결될 수 있다. 제3 인덕터(409)의 타단은 접지될 수 있다. 제3 트랜지스터(407)의 드레인은 제4 트랜지스터(408)의 소스와 연결될 수 있다. 제4 트랜지스터(408)의 드레인은 제4 인덕터(410)의 일단 및 증폭기(400)의 출력포트와 연결될 수 있다.
- [0058] 제1 정합 망(401)은 제1 단의 소자들간의 임피던스 매칭을 수행할 수 있다. 또한, 제2 정합 망(406)은 제2 단의 소자들간의 임피던스 매칭을 수행할 수 있다.
- [0059] 제1 트랜지스터(402) 및 제2 트랜지스터(403)는 스택(stack) 구조로 배치될 수 있다. 제1 트랜지스터(402)는 공통-소스(common-source) 구조일 수 있다. 제2 트랜지스터(403)는 공통-게이트(common-gate) 구조일 수 있다. 예를 들어, 제1 트랜지스터(402)에서 사용된 전류는 제2 트랜지스터(403)에서 재사용될 수 있다.
- [0060] 캐스코드 구조로 설계된 증폭기(400)는 낮은 주파수에서 피드백 캐패시터에 의해 발생할 수 있는 발진(oscillation) 문제를 해결할 수 있다. 예를 들어, 캐스코드 구조로 설계된 증폭기(400)는 입력 신호와 출력 신호 간의 격리도를 증가시킬 수 있다. 또한, 캐스코드 구조로 설계된 증폭기(400)는 높은 출력 임피던스를 통해 높은 이득을 획득할 수 있다.
- [0061] 한편, 캐스코드 구조로 설계된 증폭기(400)는 아래의 도 5와 같은 기생 캐패시턴스 성분이 생성될 수 있다.
- [0063] 도 5는 본 발명의 제1 실시예에 따른 증폭기의 구조 및 기생 캐패시턴스 성분을 도시한 회로도이다.
- [0064] 도 5를 참고하면, 증폭기(500)는 정합 망(501), 제1 트랜지스터(502), 제2 트랜지스터(503), 및 부하(504)를 포함할 수 있다.
- [0065] 캐스코드 구조의 증폭기(500)에서는 라디오 주파수(radio frequency; RF)가 증가할수록 성능 저하가 발생할 수 있다. 예를 들어, 제1 트랜지스터(502) 및 제2 트랜지스터(503) 사이에는 기생 캐패시턴스 성분(505)이 생성될 수 있다. 제1 트랜지스터(502)로부터 출력되는 RF 신호는 기생 캐패시턴스 성분(505)에 의해 제2 트랜지스터(502)로 전달되지 않는 문제가 발생할 수 있다. 따라서, 증폭기(500)는 기생 캐패시턴스 성분(505)으로 인해 소모 전력에 비하여 이득이 낮아질 수 있다. 또한, 증폭기(500)는 기생 캐패시턴스 성분(505)으로 인해 잡음 지수(noise figure; NF)가 증가하는 문제가 발생할 수 있다.
- [0066] 한편, 증폭기(500)는 상술한 문제를 해결하기 위해 아래의 도 6a 및 도 6b와 같은 구조로 설계될 수 있다.
- [0068] 도 6a 및 도 6b는 본 발명의 제2 실시예에 따른 증폭기의 구조를 도시한 회로도이다.

- [0069] 도 6a를 참고하면, 증폭기(600)는 정합 망(601), 제1 트랜지스터(602), 인덕터(603), 제2 트랜지스터(604), 및 부하(605)를 포함할 수 있다. 예를 들어, 제1 트랜지스터(602)의 게이트 및 소스는 정합 망(601)과 연결될 수 있다. 인덕터(606)의 일단은 제1 트랜지스터(602)의 드레인 및 제2 트랜지스터(603)의 소스와 연결될 수 있다. 또한, 인덕터(606)의 타단은 접지될 수 있다. 인덕터(603)는 제1 트랜지스터(602) 및 제2 트랜지스터(604) 사이에 생성되는 제1 기생 캐패시턴스 성분(606)을 단락(shunt)시킬 수 있다.
- [0070] 한편, 도 6b를 참고하면, 인덕터(603)는 제1 트랜지스터(602) 및 제2 트랜지스터(604)와 직렬로 연결될 수 있다. 이때, 인덕터(603)는 제1 트랜지스터(602) 및 제2 트랜지스터(604) 사이에 발생하는 제1 기생 캐패시턴스 성분(607) 및 제2 기생 캐패시턴스 성분(608)의 공진을 차단할 수 있다.
- [0071] 상술한 구조를 통해 증폭기(600)는 기생 캐패시턴스 성분에 의한 영향을 감소시킬 수 있다. 그러나, 상술한 구조는 기생 캐패시턴스 성분을 보상하기 위해 추가되는 인덕터로 인해 집적 회로(integrated circuit)를 구현함에 있어서 사용 면적이 증가되는 문제가 발생할 수 있다.
- [0072] 한편, 증폭기(600)는 상술한 문제를 해결하기 위해 아래의 도 7과 같은 구조로 설계될 수 있다.
- [0074] 도 7은 본 발명의 제3 실시예에 따른 증폭기의 구조를 도시한 회로도이다.
- [0075] 도 7을 참고하면, 증폭기(700)는 정합 망(701), 제1 트랜지스터(702), 제1 인덕터(703), 제2 트랜지스터(704), 제2 인덕터(705), 및 부하(706)를 포함할 수 있다. 예를 들어, 제1 트랜지스터(702)의 게이트 및 소스는 정합 망(701)과 연결될 수 있다. 제1 인덕터(703)의 일단은 제1 트랜지스터(702)의 드레인 및 제2 트랜지스터(704)의 소스와 직렬로 연결될 수 있다. 제2 인덕터(705)의 일단은 제2 트랜지스터(704)의 게이트와 연결될 수 있다. 제2 인덕터(705)의 일단은 접지될 수 있다.
- [0076] 제2 트랜지스터(704)의 게이트 및 소스에 연결된 노드를 기준으로 각각 전류를 입력할 경우, 제1 인덕터(703)의 자속(magnetic flux)의 방향과 제2 인덕터(705)의 자속의 방향은 상호 반대 방향일 수 있다.
- [0077] 예를 들어, 제1 트랜지스터(702)로부터 제1 인덕터(703)로 흐르는 전류에 의해 제1 인덕터(703)는 자속을 발생시킬 수 있다. 또한, 제1 인덕터(703)에 의해 발생하는 자속은 제2 트랜지스터(704)의 소스 및 게이트에 상호 대칭되는 위상(phase)를 갖는 전압(voltage)을 형성할 수 있다. 따라서, 제1 인덕터(703)에 의해 발생하는 자속은 제2 트랜지스터(704)의 트랜스컨덕턴스(transconductance)를 증가(boosting)시킬 수 있다.
- [0078] 한편, 제2 트랜지스터(704)의 트랜스컨덕턴스의 증가 효과는 제2 인덕터(705)에 의한 포지티브(positive) 피드백 효과로 인해 한계가 발생할 수 있다. 예를 들어, 제2 인덕터(705)에 입력되는 신호의 주파수 크기에 따른 산란-파라미터의 변화 및 안정 계수(stability factor)의 변화는 아래의 도 8 및 도 9를 통해 설명한다.
- [0080] 도 8은 본 발명의 제3 실시예에 따른 증폭기의 제2 인덕터에 입력되는 신호의 주파수 크기에 따른 산란(scattering)-파라미터(S-parameter)의 변화를 도시한 그래프이다.
- [0081] 도 8을 참고하면, 실선은 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기에 따른 산란-파라미터 $S(2, 1)$ 의 변화를 도시한 그래프이다. 일점 쇄선은 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기에 따른 산란-파라미터 $S(2, 1)$ 의 변화를 도시한 그래프이다. 점선은 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기에 따른 산란-파라미터 $S(2, 2)$ 의 변화를 도시한 그래프이다. 여기서, 증폭기는 도 7의 증폭기(700)와 동일 또는 유사할 수 있다. 또한, 제2 인덕터는 도 7의 제2 인덕터(705)와 동일 또는 유사할 수 있다.
- [0082] 산란-파라미터 $S(1, 1)$ 는 제2 인덕터의 주파수 크기에 따라 0 미만이되는 불안정하게 변화될 수 있다. 산란-파라미터 $S(2, 1)$ 는 제2 인덕터의 주파수 크기가 증가함에 따라 증가 후 0 미만이되는 등 불안정하게 변화될 수 있다. 또한, 산란-파라미터 $S(2, 2)$ 는 제2 인덕터의 주파수 크기가 증가함에 따라 증감하거나 0 미만이되는 등 불안정하게 변화될 수 있다.
- [0084] 도 9는 본 발명의 제3 실시예에 따른 증폭기의 제2 인덕터에 입력되는 신호의 주파수 크기에 따른 증폭기의 입력 신호 및 출력 신호의 안정 계수를 도시한 그래프이다.
- [0085] 도 9를 참고하면, 실선은 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기에 따른 증폭기의 입력 신호의

안정 계수의 변화를 도시한 그래프이다. 점선은 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기에 따른 증폭기의 출력 신호의 안정 계수의 변화를 도시한 그래프이다. 여기서, 증폭기는 도 7의 증폭기(700)와 동일 또는 유사할 수 있다. 또한, 제2 인덕터는 도 7의 제2 인덕터(705)와 동일 또는 유사할 수 있다.

- [0086] 입력 신호의 안정 계수는 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기의 변화에 따라 불안정하게 변화할 수 있다. 마찬가지로, 출력 신호의 안정 계수는 증폭기의 제2 인덕터에 입력되는 신호의 주파수의 크기의 변화에 따라 불안정하게 변화할 수 있다.
- [0087] 도 8 및 도 9를 참고하면, 증폭기(700)의 이득을 향상시키기 위한 제2 인덕터(705)는 증폭기(700)은 안정성을 감소시킬 수 있다. 한편, 이득 및 안정성을 모두 고려한 증폭기(700)의 구조는 아래의 도 10a 및 10b를 통해 설명한다.
- [0089] 도 10a 및 도 10b는 본 발명의 제4 실시예에 따른 증폭기의 구조를 도시한 회로도이다.
- [0090] 도 10a를 참고하면, 증폭기(1000)는 정합 망(1001), 제1 트랜지스터(1002), 제1 인덕터(1003), 제2 트랜지스터(1004), 제2 인덕터(1005), 제3 인덕터(1006), 및 제2 정합 망(1007)를 포함할 수 있다.
- [0091] 제1 트랜지스터(1002)의 게이트 및 소스는 정합 망(1001)과 연결될 수 있다. 제1 인덕터(1003)의 일단은 제1 트랜지스터(1002)의 드레인 및 제2 트랜지스터(1004)의 소스와 직렬로 연결될 수 있다. 제2 인덕터(1005)의 일단은 제2 트랜지스터(1004)의 게이트와 연결될 수 있다. 제2 인덕터(1005)의 일단은 접지될 수 있다. 제3 인덕터(1006)의 일단은 제2 트랜지스터(1004)의 드레인과 연결될 수 있다. 제3 인덕터(1006)의 타단은 제2 정합 망(1007)과 연결될 수 있다.
- [0092] 제2 트랜지스터(1004)의 게이트 및 소스에 연결된 노드를 기준으로 각각 전류를 입력할 경우, 제1 인덕터(1003)의 자속의 방향과 제2 인덕터(1005)의 자속의 방향은 상호 반대 방향일 수 있다.
- [0093] 예를 들어, 제1 트랜지스터(1002)로부터 제1 인덕터(1003)로 흐르는 전류에 의해 제1 인덕터(1003)는 자속을 발생시킬 수 있다. 또한, 제1 인덕터(1003)에 의해 발생하는 자속은 제2 트랜지스터(1004)의 소스 및 게이트에 상호 대칭되는 위상을 갖는 전압을 형성할 수 있다. 따라서, 제1 인덕터(1003)에 의해 발생하는 자속은 제2 트랜지스터(1004)의 트랜스컨덕턴스를 증가시킬 수 있다.
- [0094] 제3 인덕터(1006)의 일단은 제2 트랜지스터(1004)의 드레인과 연결될 수 있다. 제3 인덕터(1006)의 타단은 제2 정합 망(1007)과 연결될 수 있다. 제3 인덕터(1006)는 제2 인덕터(1005)와 전자기(electro-magnetic)적으로 커플링(coupling)될 수 있다. 예를 들어, 제2 트랜지스터(1004)의 게이트와 드레인에 연결된 노드를 기준으로 각각 전류를 입력할 경우, 제2 인덕터(1005) 및 제3 인덕터(1006)는 상호 동일한 방향의 자속을 형성할 수 있다.
- [0095] 제2 트랜지스터(1004)의 피드백 캐패시터를 통해 흐르는 전류는 제3 인덕터(1006)를 통해 흐르는 전류와 상쇄될 수 있다. 즉, 제2 인덕터(1005) 및 제3 인덕터(1006)에 형성되는 동일한 방향의 자속은 포지티브(positive) 피드백으로 인한 발진 문제를 해결할 수 있다.
- [0096] 즉, 상술한 증폭기(1000)의 구조는 높은 주파수에서 제1 트랜지스터(1002) 및 제2 트랜지스터(1004)의 접점에서 발생하는 기생 캐패시턴스 성분의 영향을 감소시키면서 전력 이득을 증가시킬 수 있다. 또한, 상술한 증폭기(1000)의 구조는 증폭기(1000)의 안정도를 향상시킬 수 있다.
- [0097] 한편, 증폭기(1000)의 트랜스포머를 구성하는 제1 인덕터(1003), 제2 인덕터(1005), 및 제3 인덕터(1006)는 아래의 도 10b와 같이 배치될 수 있다.
- [0098] 도 10b를 참고하면, 증폭기(1000)는 집적 회로(integrated circuit; IC)로 구현될 수 있다. 예를 들어, 증폭기(1000)의 트랜스포머는 복수 개의 단을 포함할 수 있다. 이때, 제1 인덕터(1003)는 트랜스포머의 제1 단에 배치될 수 있다. 제2 인덕터(1005)는 트랜스포머의 제2 단에 배치될 수 있다. 제3 인덕터(1006)는 트랜스포머의 제3 단에 배치될 수 있다. 여기서, 제1 단은 제2 단의 상부에 형성될 수 있다. 제2 단은 제3 단의 상부에 형성될 수 있다.
- [0099] 이때, 제1 인덕터(1003) 내지 제3 인덕터(1006)의 배치 순서는 다양하게 변형될 수 있다. 예를 들어, 제1 인덕터(1003)는 트랜스포머의 제2 단에 배치될 수 있다. 제2 인덕터(1005)는 트랜스포머의 제3 단에 배치될 수 있다. 제3 인덕터(1006)는 트랜스포머의 제1 단에 배치될 수 있다. 또는, 제1 인덕터(1003)는 트랜스포머의 제3 단에 배치될 수 있다. 제2 인덕터(1005)는 트랜스포머의 제1 단에 배치될 수 있다. 제3 인덕터(1006)는 트랜스

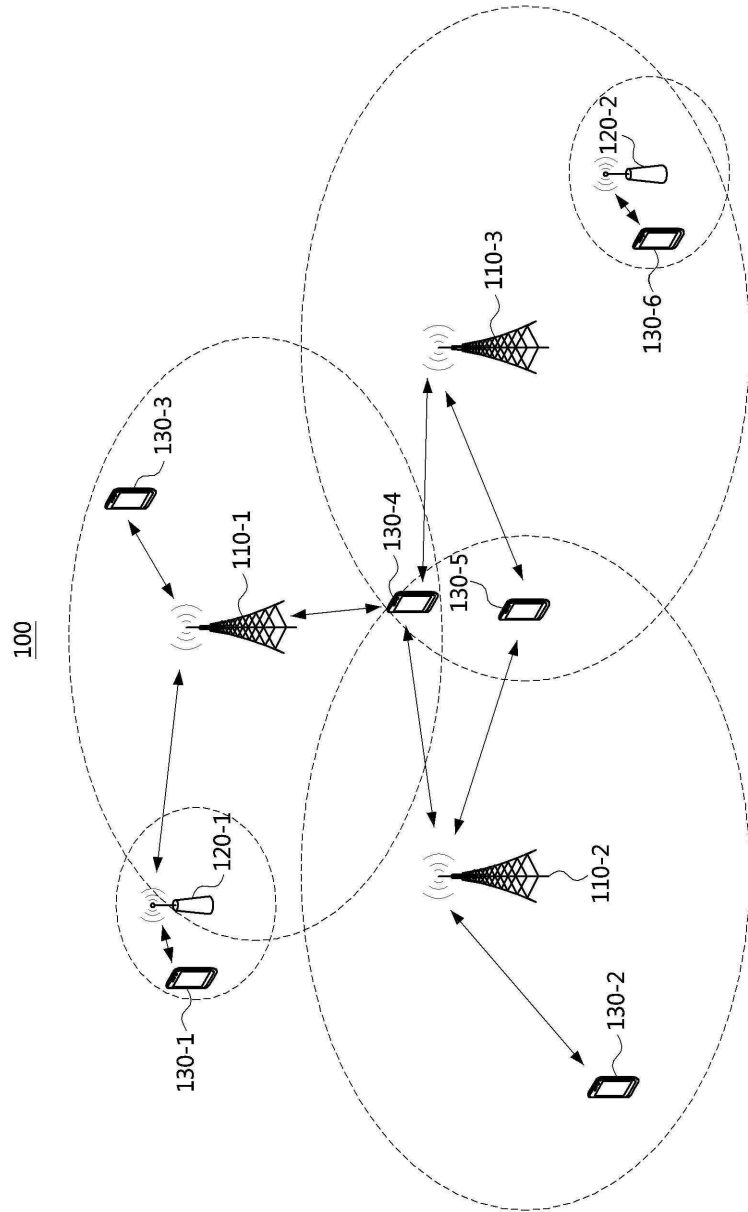
포머의 제2 단에 배치될 수 있다.

- [0100] 또한, 증폭기(1000)의 트랜스포머는 하나의 단으로 구성될 수 있다. 이때, 제2 인덕터(1005)는 제1 인덕터의 외곽을 둘러싸는 형태로 와인딩(winding)될 수 있다. 제3 인덕터(1006)는 제2 인덕터(1005)의 외곽을 둘러싸는 형태로 와인딩될 수 있다.
- [0101] 이때, 제1 인덕터(1003) 내지 제3 인덕터(1006)의 배치 순서는 다양하게 변형될 수 있다. 예를 들어, 제1 인덕터(1003)는 제2 인덕터(1005)의 외곽을 둘러싸는 형태로 와인딩(winding)될 수 있다. 제3 인덕터(1006)는 제1 인덕터(1005)의 외곽을 둘러싸는 형태로 와인딩될 수 있다. 또는, 제2 인덕터(1005)는 제3 인덕터(1006)의 외곽을 둘러싸는 형태로 와인딩(winding)될 수 있다. 제1 인덕터(1003)는 제2 인덕터(1005)의 외곽을 둘러싸는 형태로 와인딩될 수 있다.
- [0102] 또한, 제1 인덕터(1003) 내지 제3 인덕터(1006)는 복수의 단에서 다양한 형태로 와인딩될 수 있다.
- [0103] 제1 인덕터(1003), 제2 인덕터(1005), 및 제3 인덕터(1006)는 엣지-커플(edge-coupled) 방식 및 브로드-사이드 커플(broad-side coupled) 방식 중 적어도 하나의 방식으로 전자기적으로 커플링될 수 있다.
- [0104] 한편, 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 성능은 아래의 도 11 내지 도 13을 통해 비교할 수 있다.
- [0106] 도 11은 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 최대 가능 이득(maximum available gain; MAG) 그래프이다.
- [0107] 도 11을 참고하면, 참조 번호 1101은 본 발명의 제1 실시예에 따른 도 4의 증폭기(400)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다. 참조 번호 1102는 본 발명의 제2 실시예에 따른 도 6a 및 도 6b의 증폭기(600)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다. 참조 번호 1103은 본 발명의 제3 실시예에 따른 도 7의 증폭기(700)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다. 참조 번호 1104는 본 발명의 제4 실시예에 따른 도 10a 및 도 10b의 증폭기(1000)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다.
- [0108] 본 발명의 제4 실시예에 따른 증폭기(1000)는 제1 내지 제3 실시예에 따른 증폭기들 보다 평균적으로 주파수 크기에 따른 가장 높은 최대 가능 이득을 가질 수 있다.
- [0110] 도 12는 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 안정 계수 그래프이다.
- [0111] 도 12를 참고하면, 참조 번호 1201은 본 발명의 제1 실시예에 따른 도 4의 증폭기(400)의 입력 신호의 주파수의 크기에 따른 안정 계수의 변화를 나타낸다. 참조 번호 1202는 본 발명의 제2 실시예에 따른 도 6a 및 도 6b의 증폭기(600)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다. 참조 번호 1203은 본 발명의 제3 실시예에 따른 도 7의 증폭기(700)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다. 참조 번호 1204는 본 발명의 제4 실시예에 따른 도 10a 및 도 10b의 증폭기(1000)의 입력 신호의 주파수의 크기에 따른 최대 가능 이득의 변화를 나타낸다.
- [0112] 본 발명의 제4 실시예에 따른 증폭기(1000)는 제1 내지 제3 실시예에 따른 증폭기들 보다 주파수 크기에 따른 가장 높은 안정 계수를 가질 수 있다.
- [0114] 도 13은 본 발명의 제1 내지 제4 실시예에 따른 증폭기들의 최소 잡음 지수(minimum noise figure) 그래프이다.
- [0115] 도 13을 참고하면, 참조 번호 1301은 본 발명의 제1 실시예에 따른 도 4의 증폭기(400)의 입력 신호의 주파수의 크기에 따른 최소 잡음 지수의 변화를 나타낸다. 참조 번호 1302는 본 발명의 제2 실시예에 따른 도 6a 및 도 6b의 증폭기(600)의 입력 신호의 주파수의 크기에 따른 최소 잡음 지수의 변화를 나타낸다. 참조 번호 1303은 본 발명의 제3 실시예에 따른 도 7의 증폭기(700)의 입력 신호의 주파수의 크기에 따른 최소 잡음 지수의 변화를 나타낸다. 참조 번호 1304는 본 발명의 제4 실시예에 따른 도 10a 및 도 10b의 증폭기(1000)의 입력 신호의 주파수의 크기에 따른 최소 잡음 지수의 변화를 나타낸다.
- [0116] 본 발명의 제4 실시예에 따른 증폭기(1000)는 제1 내지 제3 실시예에 따른 증폭기들 보다 주파수 크기에 따른

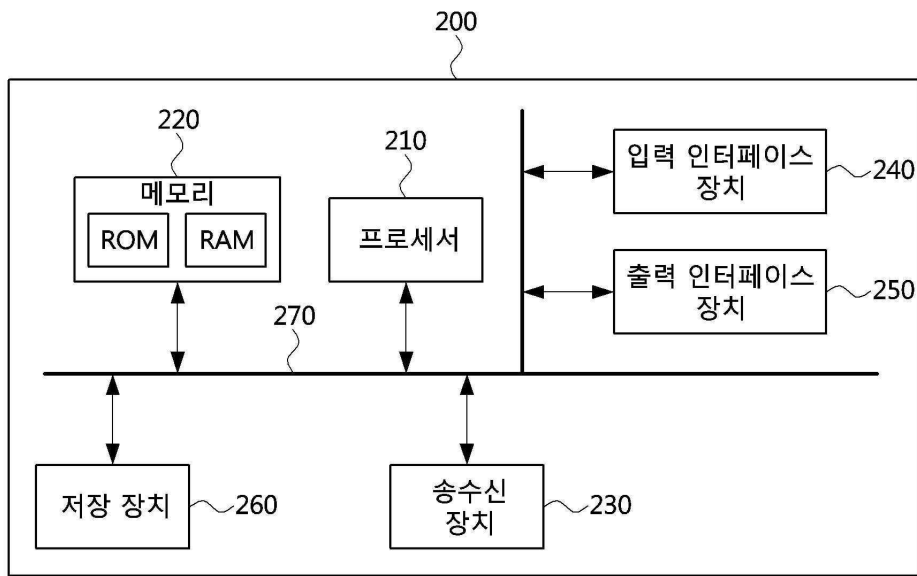
가장 낮은 최소 잡음 지수를 가질 수 있다.

- [0118] 본 발명에 따른 방법들은 다양한 컴퓨터 수단을 통해 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 컴퓨터 판독 가능 매체에 기록되는 프로그램 명령은 본 발명을 위해 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다.
- [0119] 컴퓨터 판독 가능 매체의 예에는 롬(rom), 램(ram), 플래시 메모리(flash memory) 등과 같이 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러(compiler)에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터(interpreter) 등을 사용해서 컴퓨터에 의해 실행될 수 있는 고급 언어 코드를 포함한다. 상술한 하드웨어 장치는 본 발명의 동작을 수행하기 위해 적어도 하나의 소프트웨어 모듈로 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0120] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

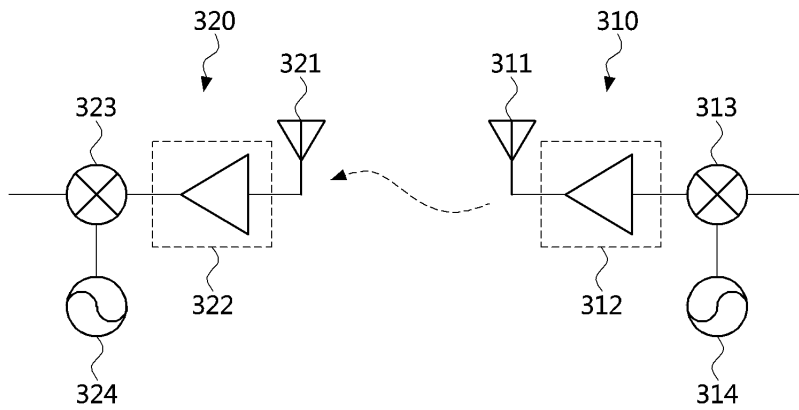
도면
도면1



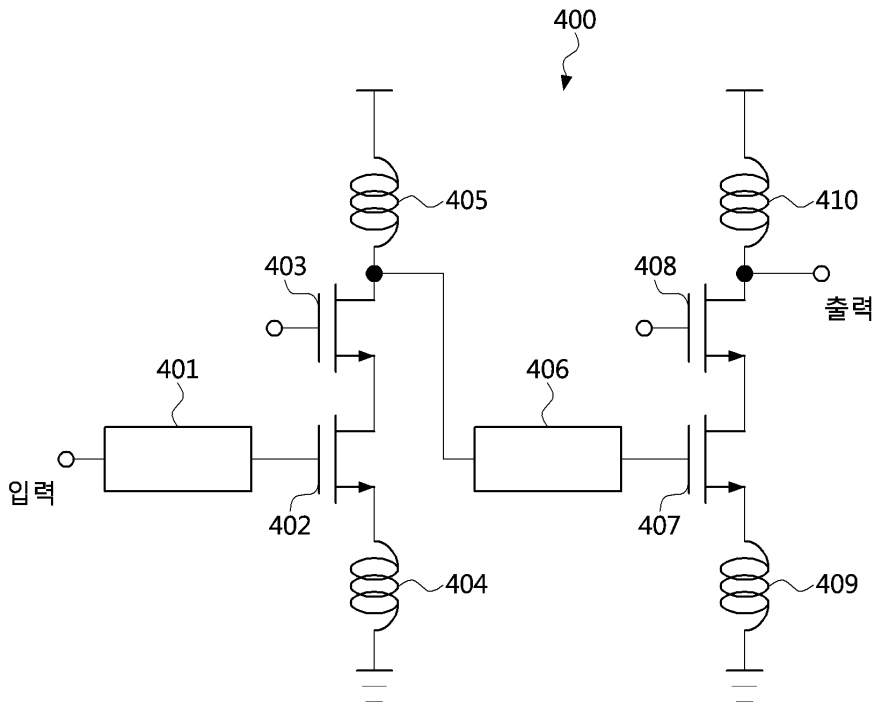
도면2



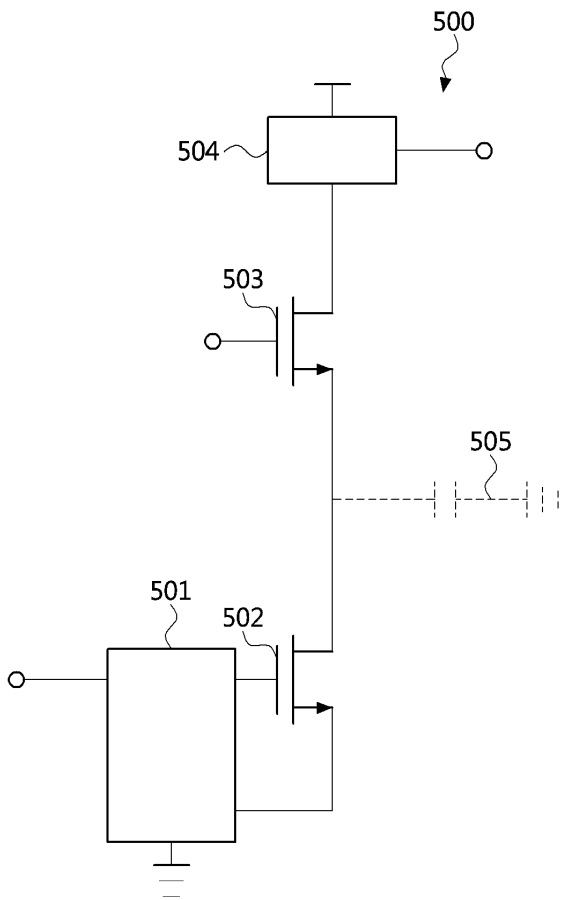
도면3



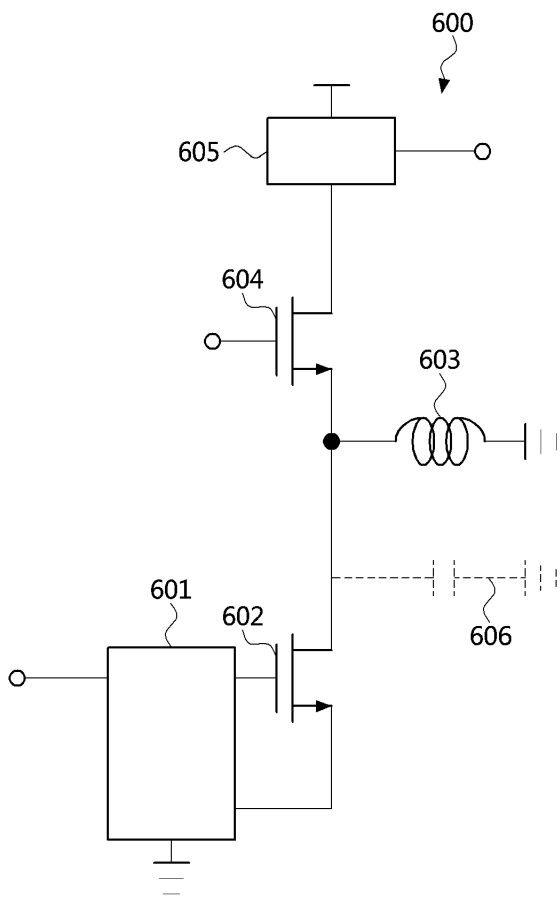
도면4



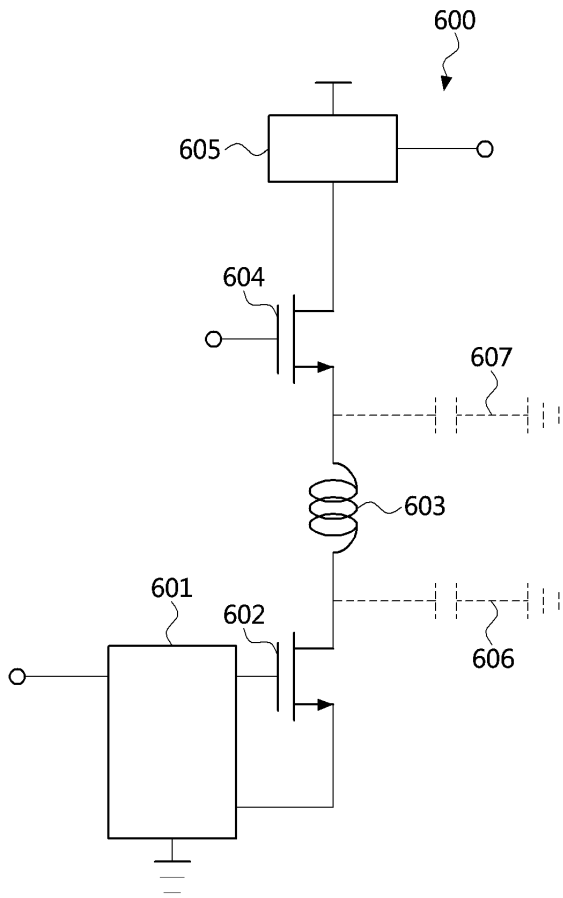
도면5



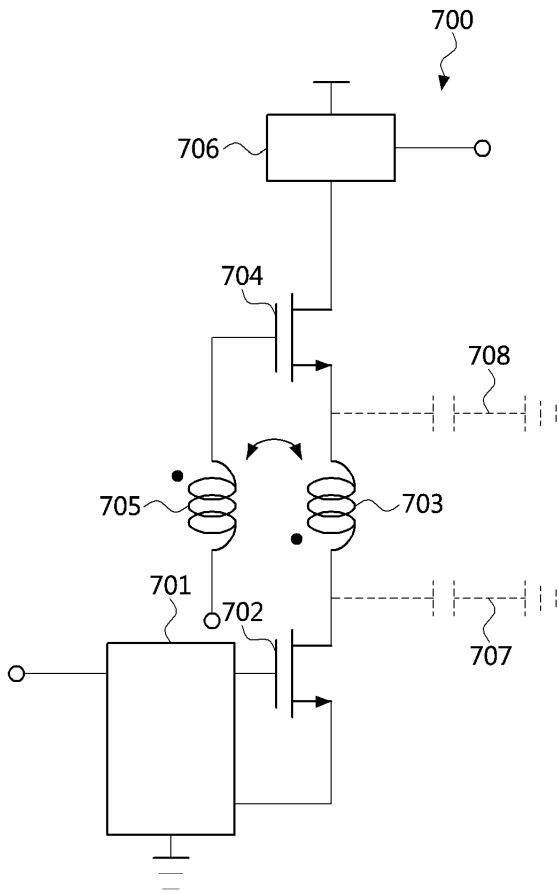
도면6a



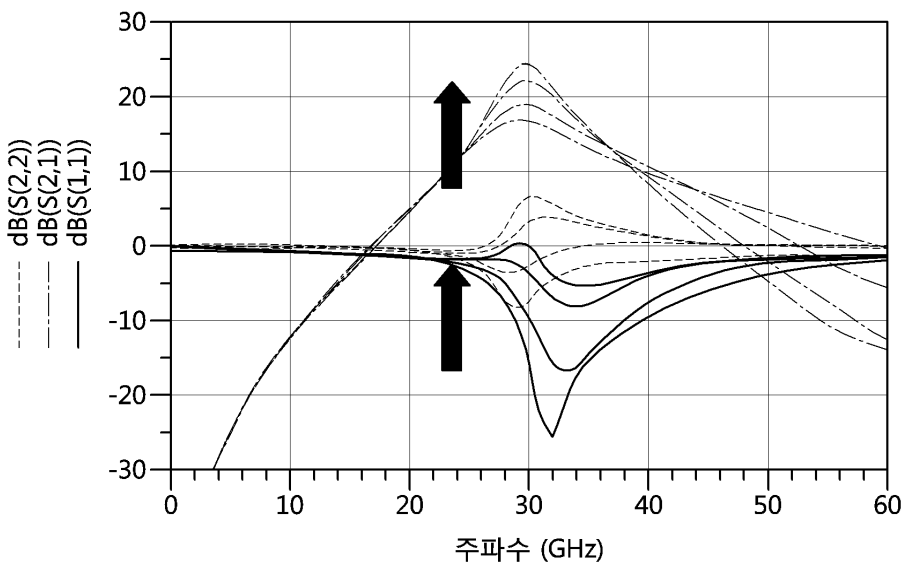
도면6b



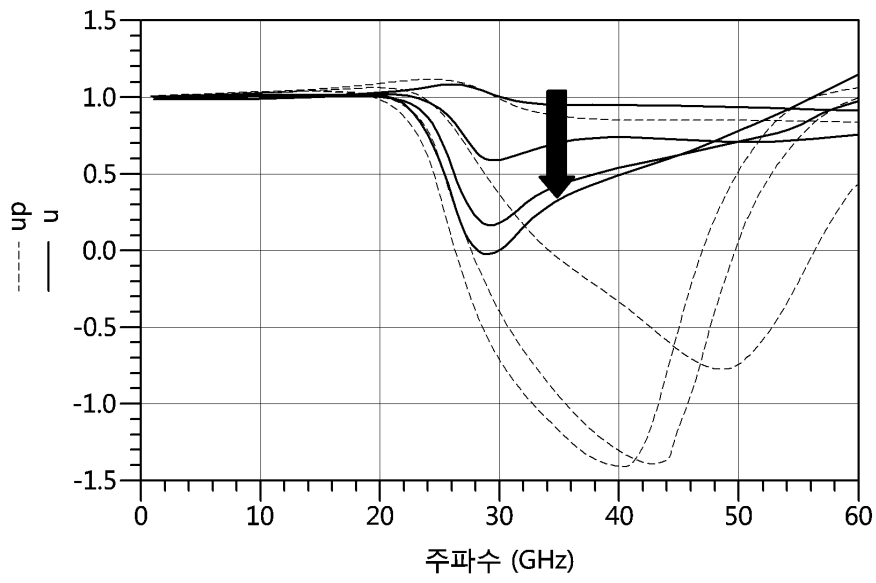
도면7



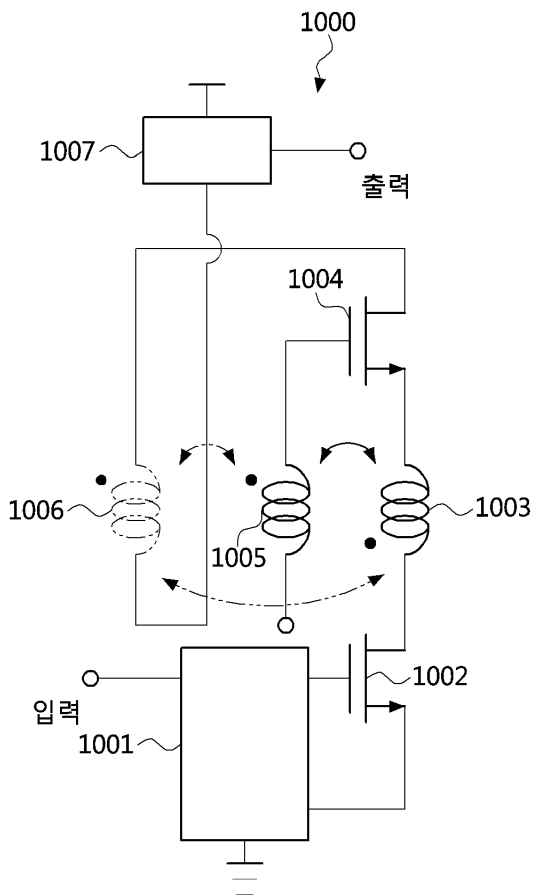
도면8



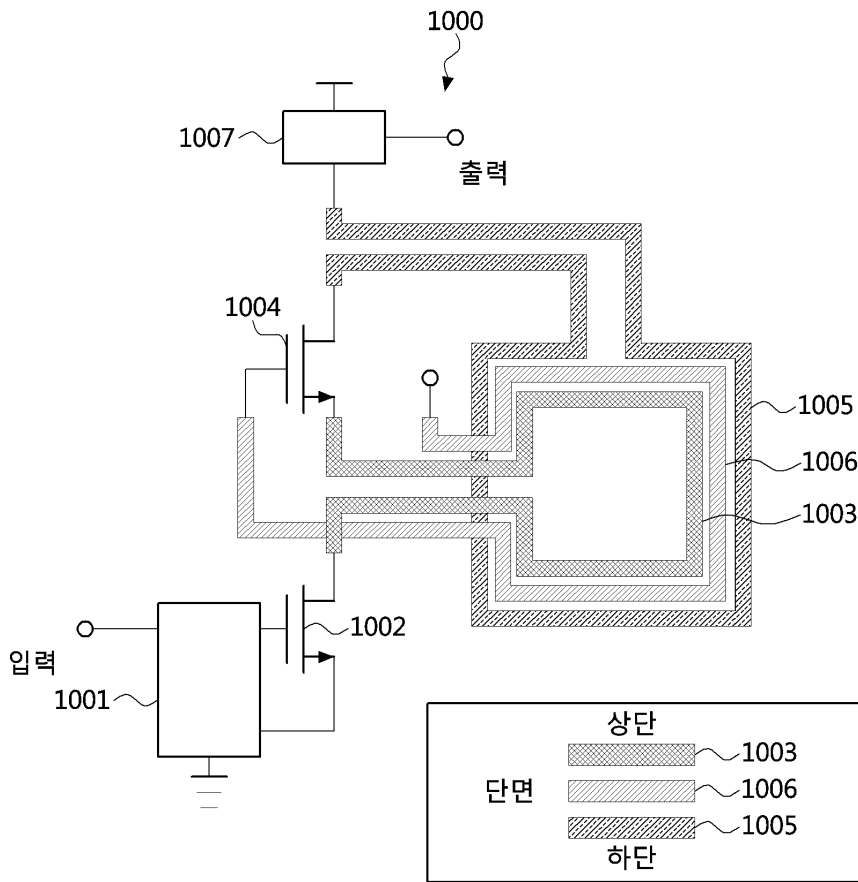
도면9



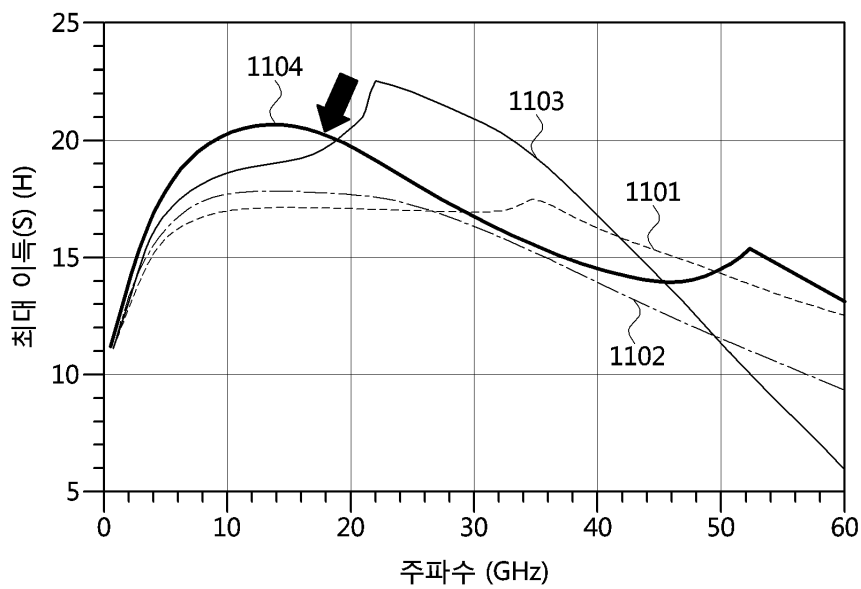
도면10a



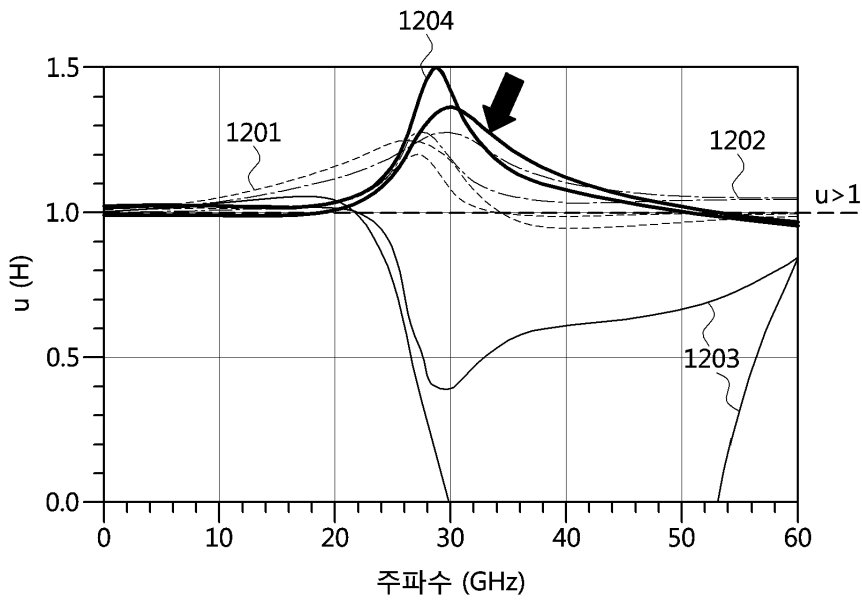
도면10b



도면11



도면12



도면13

