



(12) 发明专利

(10) 授权公告号 CN 111602124 B

(45) 授权公告日 2024. 09. 20

(21) 申请号 201880086468.3	(73) 专利权人 超威半导体公司
(22) 申请日 2018.12.21	地址 美国加利福尼亚州
(65) 同一申请的已公布的文献号 申请公布号 CN 111602124 A	(72) 发明人 努万·贾亚塞纳 迈克尔·伊格纳托斯基
(43) 申请公布日 2020.08.28	(74) 专利代理机构 上海胜康律师事务所 31263 专利代理师 樊英如 张静
(30) 优先权数据 15/872,943 2018.01.16 US	(51) Int.Cl. G06F 13/16 (2006.01) G06F 13/20 (2006.01) G06F 15/78 (2006.01)
(85) PCT国际申请进入国家阶段日 2020.07.14	(56) 对比文件 US 2006031659 A1,2006.02.09 US 8738891 B1,2014.05.27
(86) PCT国际申请的申请数据 PCT/US2018/067067 2018.12.21	审查员 王宁
(87) PCT国际申请的公布数据 W02019/143442 EN 2019.07.25	

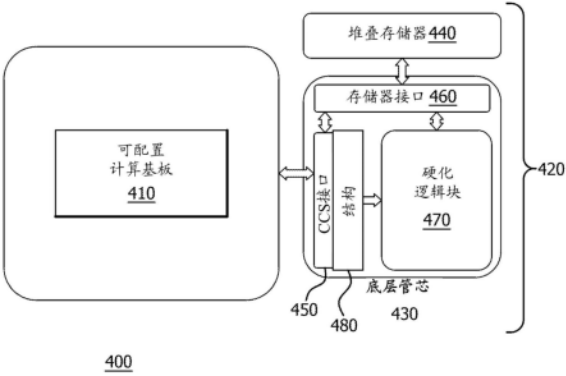
权利要求书2页 说明书7页 附图4页

(54) 发明名称

用于可配置计算基板的近存储器硬化计算块

(57) 摘要

本文描述一种使用近存储器和存储器内硬化逻辑块的可配置计算系统。所述硬化逻辑块被并入到存储器模块中。所述存储器模块包括接口或通信逻辑以在所述可配置计算基板与所述存储器模块之间通信。在一个实现方式中,所述存储器模块可包括管芯上存储器或其他形式的非可配置逻辑以实现对各种操作的更有效处理。在另一实现方式中,所述存储器模块可包括可配置计算基板逻辑结构的一部分以实现对各种操作的更有效处理。在另一实现方式中,所述存储器模块可包括管芯上存储器和可配置计算基板逻辑结构的一部分以实现对各种操作的更有效处理。



1. 一种可配置计算平台,其包括:
可配置计算基板;以及
存储器模块,所述存储器模块连接到所述可配置计算基板,所述存储器模块包括存储器管芯和底层管芯,
其中所述底层管芯包括:
可配置计算基板接口,所述可配置计算基板接口通信地耦合到所述可配置计算基板;
管芯上存储器,所述管芯上存储器通信地耦合到所述可配置计算基板接口;
存储器接口,所述存储器接口通信地耦合到所述存储器管芯和所述可配置计算基板接口;以及
硬化逻辑块,其通信地耦合到所述管芯上存储器和所述存储器接口;
其中所述硬化逻辑块被配置为:
基于由所述可配置计算基板发送的数据生成计算结果,以及
将所述计算结果选择性地存储在所述存储器管芯或所述管芯上存储器中。
2. 如权利要求1所述的可配置计算平台,其中所述硬化逻辑块为以下中的至少一者:中央处理单元(CPU)、CPU核、图形处理单元(GPU)、GPU核、硬编码加速器、专用集成电路块、执行引擎和数据并行浮点支持执行引擎。
3. 如权利要求1所述的可配置计算平台,其中所述管芯上存储器被配置来与所述存储器接口通信并且充当所述存储器管芯的高速缓存。
4. 如权利要求1所述的可配置计算平台,其中所述管芯上存储器包括在所述存储器模块的地址范围中。
5. 如权利要求1所述的可配置计算平台,其中当来自所述可配置计算基板的数据的大小与所述管芯上存储器的容量匹配时,所述数据被写入所述管芯上存储器。
6. 如权利要求1所述的可配置计算平台,其中当所述计算结果的数据大小与所述管芯上存储器的容量匹配时,所述计算结果被写入所述管芯上存储器。
7. 如权利要求1所述的可配置计算平台,所述底层管芯还包括:
可配置计算基板结构,所述可配置计算基板结构通信地耦合到所述可配置计算基板接口和所述硬化逻辑块。
8. 如权利要求7所述的可配置计算平台,其中所述可配置计算基板基于计算的类型通过所述可配置计算基板结构将所述数据发送到所述硬化逻辑块。
9. 如权利要求1所述的可配置计算平台,其中所述底层管芯为逻辑管芯。
10. 如权利要求1所述的可配置计算平台,其中所述底层管芯和所述存储器管芯是竖直堆叠的。
11. 一种用于使用可配置计算平台进行计算的方法,所述方法包括:
通过存储器模块从可配置计算基板接收数据,其中所述存储器模块包括存储器管芯和底层管芯;
由所述底层管芯的硬化逻辑块通过所述底层管芯的存储器接口访问所述数据;
由所述硬化逻辑块基于所述数据生成计算结果;以及
由所述硬化逻辑块将所述计算结果选择性地写入所述存储器管芯或者所述底层管芯的管芯上存储器。

12. 如权利要求11所述的方法,其还包括:

当所述数据的大小与所述管芯上存储器的容量匹配时,将所述数据写入所述管芯上存储器。

13. 如权利要求11所述的方法,

其中,当所述计算结果的数据大小与所述管芯上存储器的容量匹配时,所述计算结果被写入所述管芯上存储器。

14. 如权利要求12所述的方法,其还包括:

当所述数据被写入所述存储器管芯时,将所述数据的一部分写入所述管芯上存储器;
以及

使后续读取服务于所述数据的所述部分。

15. 如权利要求12所述的方法,其中所述管芯上存储器包括在所述存储器模块的地址范围中。

16. 如权利要求11所述的方法,其还包括:

基于计算的类型通过可配置计算基板结构和所述可配置计算基板接口在所述可配置计算基板与所述硬化逻辑块之间传达所述数据。

17. 如权利要求16所述的方法,其还包括:

当所述数据的大小与所述管芯上存储器的容量匹配时,通过所述可配置计算基板接口将所述数据写入所述管芯上存储器。

用于可配置计算基板的近存储器硬化计算块

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年1月16日提交的美国非临时申请号15/872,943的权益,所述申请的内容特此以引用方式并入本文,如同在本文中全面阐述一样。

背景技术

[0003] 可配置平台正被部署在数据中心中并且是用于加速某些类别的工作负荷的很有前景的候选架构。然而,这些可配置平台通常仅胜过图形处理单元 (GPU) 和用于某些类型的计算 (具有不规则数据流的那些计算、非标准位宽数据类型的计算等) 的其他类型的计算密集处理单元。为了解决此缺点,现场可编程门阵列 (FPGA) 供应商已开始将用于包括中央处理单元 (CPU)、浮点 (FP) 单元等的多个计算元件类型的硬化逻辑、硬编码逻辑块或硬化计算块 (统称为“硬化逻辑块”) 并入在FPGA中。然而,这需要FPGA供应商生产针对各种市场细分具有硬编码逻辑块的不同组合的种种装置。即使就此类硬编码逻辑块而言,可配置平台的效率对于得益于密集计算引擎诸如GPU的具有代码区段的应用程序是次优的。常规技术在板级将每一种类的多个离散装置 (例如,CPU和GPU以及FPGA) 并入系统中。由于需要并入并协调多个离散装置,因此此技术增加了系统级成本和复杂性。另一常规技术将硬化逻辑块并入在FPGA装置上。此技术需要制造具有硬化逻辑块类型的不同组合的许多不同的装置并且仍存在对于任何特定工作负荷并非最优的风险。

附图说明

[0004] 可从结合附图以举例的方式给出的以下描述中获得更详细的理解,在附图中:

[0005] 图1是根据一些实施方案的具有近存储器硬化逻辑的可配置计算基板的示例性高级框图;

[0006] 图2是根据一些实施方案的与存储器堆叠整合的底层管芯的示例性详细框图;

[0007] 图3是根据一些实施方案的具有近存储器硬化逻辑的可配置计算基板的另一示例性框图;

[0008] 图4是根据一些实施方案的具有近存储器硬化逻辑的可配置计算基板的又一示例性框图;

[0009] 图5是根据一些实施方案的用于使用具有近存储器硬化逻辑的可配置计算基板的示例性流程图;并且

[0010] 图6是在其中可实现一个或多个所公开实施方案的示例性装置的框图。

具体实施方式

[0011] 可配置计算基板或可配置逻辑装置 (统称为“可配置计算基板”) 最近在数据中心部署和机器学习加速方面获得了相当大的关注。可配置计算基板可指代现场可编程门阵列 (FPGA)、复杂可编程逻辑装置 (CPLD)、粗粒度可重新配置的阵列 (CGRA)、门阵列和其他类似平台或装置。然而,此类可配置计算基板可用硬化逻辑块增强以有效地支持具有密集算术

或复杂控制流的计算。也就是说,可配置计算基板通常并入硬化逻辑块以获得使用可配置逻辑块无法有效地实现的功能性。

[0012] 本文描述一种可配置计算系统,其使用近存储器和存储器内硬化逻辑块来增强可配置计算基板的容量,而无需向可配置计算基板添加额外的离散部件,诸如FPGA装置。这些硬化逻辑块可包括但不限于中央处理单元(CPU)、CPU核、图形处理单元(GPU)、GPU核、硬编码加速器、专用集成电路(ASIC)块、执行引擎、数据并行浮点支持执行引擎以及其他类似装置或逻辑及它们的组合。硬化逻辑块被并入到存储器模块中。具体地,硬化逻辑块在存储器模块的底层或逻辑管芯或者存储器管芯上。在一个实现方式中,可添加或包括单独管芯作为存储器模块的用于实现硬化逻辑块的部分。

[0013] 存储器模块包括接口或通信逻辑以在可配置计算基板与存储器模块之间进行通信。在一个实现方式中,可配置计算基板与存储器模块之间的接口在接口兼容实现混合和匹配用途的条件下可能是专有的。在一个实现方式中,接口可为标准的,诸如电子工程设计发展联合会(JEDEC)高带宽存储器(HBM),以使得能够使用商品存储器模块。接口的标准化将通过允许使用第三方存储器模块而增强灵活性。在一个实现方式中,存储器模块可包括用于实现对各种操作的更有效处理的管芯上存储器,诸如静态随机存取存储器(SRAM)或其他形式的非可配置逻辑。在另一实现方式中,存储器模块可包括可配置计算基板逻辑结构的一部分以实现对各种操作的更有效处理。在另一实现方式中,存储器模块可包括SRAM和可配置计算基板逻辑结构的一部分以实现对各种操作的更有效处理。

[0014] 在存储器模块上并入硬化逻辑块避免了对重新设计用于多个市场细分的核可配置计算基板的需要并且通过简单地变化用于存储器模块中的底层管芯类型的混合而允许单一可配置计算基板瞄准许多市场。

[0015] 本文所述的是用于配置存储器模块以及用于使数据在可配置计算基板与存储器模块中的硬化逻辑块之间来回移动的说明性实现方式。在不脱离本文所述的说明书和权利要求的范围的情况下设想了其他组合。

[0016] 图1示出了根据某些实现方式的可配置平台100的示例性高级框图。可配置平台100包括连接到一个或多个存储器模块120或与之通信(统称为“连接到”)的可配置计算基板110。一个或多个存储器模块120可为具有与存储器管芯140堆叠在一起的底层或逻辑管芯130的3D堆叠存储器模块。

[0017] 图2示出了根据某些实现方式的图1的存储器模块120的底层管芯130的分解图。底层管芯130包括用于与可配置计算基板110通信的可配置计算基板接口200(在图2中示出为CCS接口200)。可配置计算基板接口200连接到存储器接口210,所述存储器接口210继而连接到堆叠存储器,例如,存储器管芯140。存储器接口210进一步连接到硬化逻辑块220。因此,硬化逻辑块220是相对于可配置计算基板110的近存储器或存储器内构造。硬化逻辑块220可包括一个或多个逻辑块;为了易于描述,本文仅提及一个逻辑块。

[0018] 在操作上,可配置计算基板110通过可配置计算基板接口200和存储器接口210将数据写入存储器管芯140。硬化逻辑块220通过存储器接口210从存储器管芯140读取数据。来自硬化逻辑块220的结果通过存储器接口210写入存储器管芯140中。可配置计算基板110接着通过可配置计算基板接口200和存储器接口210从存储器管芯140读取结果。在一个实现方式中,可配置计算基板110和硬化逻辑块220可使用存储器存储和加载操作来将数据写

入存储器/从其读出并且在存储器上操作,或者反之亦然。可配置计算基板110与存储器模块120之间的可配置计算基板接口200可为工业标准存储器接口(因为只需要从存储器模块120外部加载/存储)或专有存储器接口。

[0019] 图3示出了根据某些实现方式的可配置平台300的示例性高级框图。可配置平台300包括连接到存储器模块320或与之通信(统称为“连接到”)的可配置计算基板310。存储器模块320可为具有连接到堆叠存储器340的底层管芯330的3D堆叠存储器模块。底层管芯330包括用于与可配置计算基板310通信的可配置计算基板接口350(在图3中示出为CCS接口350)。可配置计算基板接口350连接到存储器接口360,所述存储器接口360继而连接到堆叠存储器340。存储器接口360进一步连接到硬化逻辑块370。硬化逻辑块370可包括一个或多个逻辑块;为了易于描述,本文仅提及一个逻辑块。可配置计算基板接口350进一步连接到底层管芯330内的管芯上存储器380,所述管芯上存储器380包括在存储器模块320的地址空间或范围中。在非限制性实例中,管芯上存储器380可为SRAM。当数据与管芯上存储器380的容量兼容地设定大小时,管芯上存储器380提供对数据的有效处理,因为可得以避免对堆叠存储器340的读取和写入。在一个实现方式中,管芯上存储器380可在可配置计算基板310上提供。在此实现方式中,可配置计算基板接口350使得能够从存储器模块320中的硬化逻辑块370对管芯上存储器380进行寻址。

[0020] 在操作上,可配置计算基板310通过可配置计算基板接口350写入数据。要用硬化逻辑块传达的数据的量确定数据所存储的位置。如果数据的量与管芯上存储器380的容量兼容,则可配置计算基板310通过可配置计算基板接口350将数据写入管芯上存储器380(使用与管芯上存储器380相关联的地址空间)。如果数据的量与管芯上存储器380的容量不兼容,则可配置计算基板310通过可配置计算基板接口350和存储器接口360将数据写入堆叠存储器340(使用与堆叠存储器340相关联的地址空间)。硬化逻辑块370通过存储器接口360从堆叠存储器340或者从管芯上存储器380读取数据。取决于与结果相关联的数据的量并且使用适当的地址空间,来自硬化逻辑块220的结果通过存储器接口360写入到堆叠存储器340或写入管芯上存储器380中。可配置计算基板310接着使用适当的地址空间通过可配置计算基板接口350和存储器接口360从堆叠存储器340或通过可配置计算基板接口350从管芯上存储器380读取结果。在一些实现方式中,管芯上存储器380可操作为堆叠存储器340的高速缓存,并且可自动地捕获被写入堆叠存储器340的数据的子集,并且使后续读取服务于所述数据,由此减少对堆叠存储器340的访问。

[0021] 图4示出了根据某些实现方式的可配置平台400的示例性高级框图。可配置平台400包括连接到存储器模块420或与之通信(统称为“连接到”)的可配置计算基板410。存储器模块420可为具有连接到堆叠存储器440的底层管芯430的3D堆叠存储器模块。底层管芯430包括用于与可配置计算基板410通信的可配置计算基板接口450(在图4中示出为CCS接口450)。可配置计算基板接口450连接到存储器接口460,所述存储器接口460继而连接到堆叠存储器440。存储器接口460进一步连接到硬化逻辑块470。硬化逻辑块470可包括一个或多个逻辑块;为了易于描述,本文仅提及一个逻辑块。可配置计算基板接口450进一步连接到可配置计算基板结构480。可配置计算基板结构480充当或表现为底层管芯430上的可配置计算基板410的部分并且使得硬化逻辑块470能够使用例如寄存器,因此避免了不得相对于堆叠存储器440进行加载和存储。这通过使可配置计算基板的内部结构通过两个装置

之间的接口上扩展而允许可配置计算基板410与存储器模块420之间的无缝通信。在此实现方式中,存储器模块420中的硬化逻辑块470可以任何方式在架构上与可配置计算基板410的其余部分对接,如同硬化逻辑块470直接在可配置计算基板410本身上一样。

[0022] 在操作上,可配置计算基板410通过可配置计算基板接口450与硬化逻辑块470通信。计算的性质或类型确定数据从可配置计算基板410传达到硬化逻辑块470的方式。在非限制性说明性实例中,计算的性质可指代流式传输计算,其中可配置计算基板结构480执行计算的某个或一些步骤并且硬化逻辑块470执行下一个或接下来的步骤(或反之亦然)。在此情况下,在每个装置上发生的步骤之间未收集许多数据并且数据在变得可用时简单地从一个装置传递到另一个装置。因此,使可配置计算基板结构480紧挨着硬化逻辑块470有助于这些类型的计算的切换。

[0023] 如果计算使得存储器模块420上的可配置计算基板结构480可用于与硬化逻辑块470对接,则数据通过可配置计算基板接口450从可配置计算基板410传递到硬化逻辑块470,并且由存储器模块420上的可配置计算基板结构480介导。如果计算的性质使得存储器模块420上的可配置计算基板结构480无法用于与硬化逻辑块470对接,则数据通过可配置计算基板接口450和存储器接口460存储在堆叠存储器440中。硬化逻辑块470通过存储器模块420上的可配置计算基板结构480接收数据或者通过存储器接口460访问来自堆叠存储器440的数据。来自硬化逻辑块470的结果通过存储器接口460写入堆叠存储器440中,或者通过可配置计算基板接口450传达到可配置计算基板410并且由存储器模块420上的可配置计算基板结构480介导,这取决于计算的性质。可配置计算基板410接着视情况通过可配置计算基板接口450和存储器接口460从堆叠存储器440读取结果,或者通过可配置计算基板接口450对所述结果进行直接操作并且由存储器模块420上的可配置计算基板结构480介导。

[0024] 在一个实现方式中,可配置平台可包括连接到存储器模块的可配置计算基板,其中存储器模块包括如图3所描述的管芯上存储器和如图4所描述的可配置计算基板两者。这种实现方式可用附加逻辑来考虑数据大小和计算的性质两者以确定数据大小与计算确定的性质之间的优先级考虑。

[0025] 虽然本文描述为在存储器模块的底层管芯上实现,但一个或多个硬化逻辑块可在存储器管芯上或在连接到存储器模块的单独管芯上实现。

[0026] 虽然本文描述为用于由一个逻辑管芯和一个或多个存储器管芯组成的存储器组织中,但存在包括例如多个逻辑管芯的其他物理表现。尽管被描述为具有一个或多个存储器管芯的逻辑管芯的竖直堆叠,但另一实施方案可将逻辑中的一些或全部水平放置在内插器上的单独芯片上,或者一起封装在多芯片模块(MCM)中。在总体堆叠或系统中可包括多于一个逻辑管芯。

[0027] 虽然本文描述为相对于可配置计算基板实现,但近存储器硬化逻辑块架构可在不脱离本文所提供描述或权利要求的范围的情况下与其他平台或装置一起使用。

[0028] 图5是用于使用可配置平台进行数据处理的示例性高级流程图500,所述可配置平台具有与在一个或多个存储器模块上实现的一个或多个硬化逻辑块通信的可配置计算基板。可配置计算基板将数据写入存储器模块(步骤510)。在一个实现方式中,数据存储在存储器管芯或存储器堆叠中。在另一实现方式中,当数据与管芯上存储器的容量兼容时,数据存储在与一个或多个硬化逻辑块相关联的管芯上存储器中。在另一实现方式中,数据存储

在存储器模块中的可配置逻辑结构的扩展部内的逻辑或存储元件中。一个或多个硬化逻辑块访问来自从存储器模块的数据(步骤520)。在一个实现方式中,从存储器管芯或存储器堆叠读取数据。在另一实现方式中,当数据与管芯上存储器的容量兼容时,从与硬化逻辑块相关联的管芯上存储器读取数据。在另一实现方式中,从存储器模块中的可配置逻辑结构的扩展部传达数据。将来自硬化逻辑块的结果写入存储器模块(步骤530)。在一个实现方式中,结果存储在存储器管芯或存储器堆叠中。在另一实现方式中,当与结果相关联的数据的大小与管芯上存储器的容量兼容时,结果存储在硬化逻辑块相关联的管芯上存储器中。在另一实现方式中,结果存储在存储器模块中的可配置逻辑结构的扩展部内的逻辑或存储元件中。可配置计算基板访问来自存储器模块的结果(步骤540)。在一个实现方式中,从存储器管芯或存储器堆叠读取结果。在另一实现方式中,当与结果相关联的数据的大小与管芯上存储器的容量兼容时,从与一个或多个硬化逻辑块相关联的管芯上存储器读取结果。在另一实现方式中,访问来自存储器模块中的可配置逻辑结构的延伸部内的逻辑或存储元件的结果。

[0029] 图6是在其中可实现本公开的一个或多个特征的示例性装置600的框图。装置600可包括例如计算机、游戏装置、手持式装置、机顶盒、电视机、移动电话或平板计算机。装置600包括处理器602、存储器604、存储装置606、一个或多个输入装置608以及一个或多个输出装置610。装置600还可任选地包括输入驱动器612和输出驱动器614。应理解,装置600可包括图6中未示出的另外的部件。

[0030] 在各种替代方案中,处理器602包括中央处理单元(CPU)、图形处理单元(GPU)、位于同一管芯上的CPU和GPU,或者一个或多个处理器核,其中每个处理器核可为CPU或GPU。在各种替代方案中,存储器604可与处理器602位于同一管芯上,或者与处理器602分开定位。存储器604包括易失性或非易失性存储器,例如随机存取存储器(RAM)、动态RAM或高速缓存。

[0031] 存储装置606包括固定式或可移除存储装置,例如,硬盘驱动器、固态驱动器、光盘或闪存驱动器。输入装置608包括但不限于键盘、小键盘、触摸屏、触摸板、检测器、传声器、加速计、陀螺仪、生物特征扫描仪或网络连接(例如,用于传输和/或接收无线IEEE 802信号的无线局域网卡)。输出装置610包括但不限于可配置计算基板、显示器、扬声器、打印机、触觉反馈装置、一个或多个灯、天线或网络连接(例如,用于传输和/或接收无线IEEE 802信号的无线局域网卡)。

[0032] 输入驱动器612与处理器602和输入装置608通信,并且允许处理器602从输入装置608接收输入。输出驱动器614与处理器602和输出装置610通信,并且允许处理器602将输出发送到输出装置610。应指出,输入驱动器612和输出驱动器614为任选部件,并且装置600在不存在输入驱动器612和输出驱动器614的情况下将以相同方式操作。

[0033] 一般而言,可配置计算平台包括可配置计算基板和连接到可配置计算基板的存储器模块。存储器模块包括存储器管芯和另一管芯。另一管芯包括:硬化逻辑块,所述硬化逻辑块被配置来对由可配置计算基板发送的数据进行操作;可配置计算基板接口,所述可配置计算基板接口被配置来与可配置计算基板通信;和存储器接口,所述存储器接口被配置来与存储器管芯、可配置计算基板接口和硬化逻辑块通信。在一个实现方式中,硬化逻辑块为以下中的至少一者:中央处理单元(CPU)、CPU核、图形处理单元(GPU)、GPU核、硬编码加速

度计、应用专用集成电路块、执行引擎以及数据并行浮点支持执行引擎。在一个实现方式中,另一管芯还包括管芯上存储器,所述管芯上存储器被配置来与可配置计算基板接口和硬化逻辑块通信。在一个实现方式中,管芯上存储器还被配置来与存储器接口通信并且充当存储器管芯的高速缓存。在一个实现方式中,管芯上存储器包括在存储器模块的地址范围中。在一个实现方式中,当来自可配置计算基板的数据的大小与管芯上存储器的容量基本上匹配时,数据被写入管芯上存储器。在一个实现方式中,当来自硬化逻辑块的结果的数据大小与管芯上存储器的容量基本上匹配时,结果被写入管芯上存储器。在一个实现方式中,管芯还包括可配置计算基板结构,所述可配置计算基板结构被配置来与可配置计算基板接口和硬化逻辑块通信。在一个实现方式中,可配置计算基板基于计算的类型通过可配置计算基板结构将数据发送到硬化逻辑块。在一个实现方式中,管芯还包括:管芯上存储器,所述管芯上存储器被配置来与可配置计算基板接口和硬化逻辑块通信;以及可配置计算基板结构,所述可配置计算基板结构被配置来与可配置计算基板接口和硬化逻辑块通信。在一个实现方式中,管芯是逻辑管芯。在一个实现方式中,管芯是存储器管芯。

[0034] 一般而言,用于使用可配置计算平台进行计算的方法包括将可配置计算基板与存储器模块连接。可配置计算基板通过可配置计算基板接口和存储器接口将数据写入包括在存储器模块中的存储器管芯,所述可配置计算基板接口和所述存储器接口设置在包括在存储器模块中的管芯上。来自存储器管芯的数据由硬化逻辑块通过存储器接口访问,所述硬化逻辑块设置在管芯上。在一个实现方式中,结果由硬化逻辑块通过存储器接口写入存储器管芯。在一个实现方式中,当数据的大小与管芯上存储器的容量基本上匹配时,数据通过可配置计算基板接口被写入管芯上存储器,所述管芯上存储器设置在管芯上。在一个实现方式中,当结果的数据大小与管芯上存储器的容量基本上匹配时,结果由硬化逻辑块写入管芯上存储器。在一个实现方式中,当数据被写入存储器管芯时,所述部分被写入管芯上存储器,并且后续读取服务于数据的部分。在一个实现方式中,管芯上存储器包括在存储器模块的地址范围中。在一个实现方式中,可配置计算基板与硬化逻辑块之间的数据基于计算的类型通过可配置计算基板结构和可配置计算基板接口传达,所述可配置计算基板结构设置在管芯上。在一个实现方式中,当数据的大小与管芯上存储器的容量基本上匹配时,数据通过可配置计算基板接口被写入管芯上存储器,所述管芯上存储器设置在管芯上。在一个实现方式中,当结果的数据大小与管芯上存储器的容量基本上匹配时,结果由硬化逻辑块写入存储器管芯。

[0035] 应理解,基于本文的公开内容,许多变型是可能的。尽管上面以特定组合描述特征和要素,但每个特征或要素可在没有其他特征和要素的情况下单独使用,或者在具有或不具有其他特征和要素的情况下以各种组合使用。

[0036] 所提供的方法可在通用计算机、处理器或处理器核中实现。以举例方式,合适的处理器包括通用处理器、专用处理器、常规处理器、数字信号处理器(DSP)、多个微处理器、与DSP核相关联的一个或多个微处理器、控制器、微控制器、专用集成电路(ASIC)、现场可编程门阵列(FPGA)电路、任何其他类型的集成电路(IC)和/或状态机。此类处理器可通过以下方式制造:使用处理后硬件描述语言(HDL)指令的结果和包括网表的其他中间数据(此类指令能够存储在计算机可读介质上)来配置制造过程。此类处理的结果可为掩模作品,所述掩模作品接着被用于半导体制造过程中以制造实现实施方案的各方面的处理器。

[0037] 本文提供的方法或流程图在适用的范围内可在并入计算机可读存储介质的计算机程序、软件或固件中实现,以便由通用计算机或处理器执行。计算机可读存储介质的实例包括只读存储器 (ROM)、随机存取存储器 (RAM)、寄存器、高速缓存存储器、半导体存储器装置、诸如内部硬盘和可移动磁盘的磁性介质、磁光介质以及诸如CD-ROM盘和数字通用光盘 (DVD) 的光学介质。

[0038] * * *

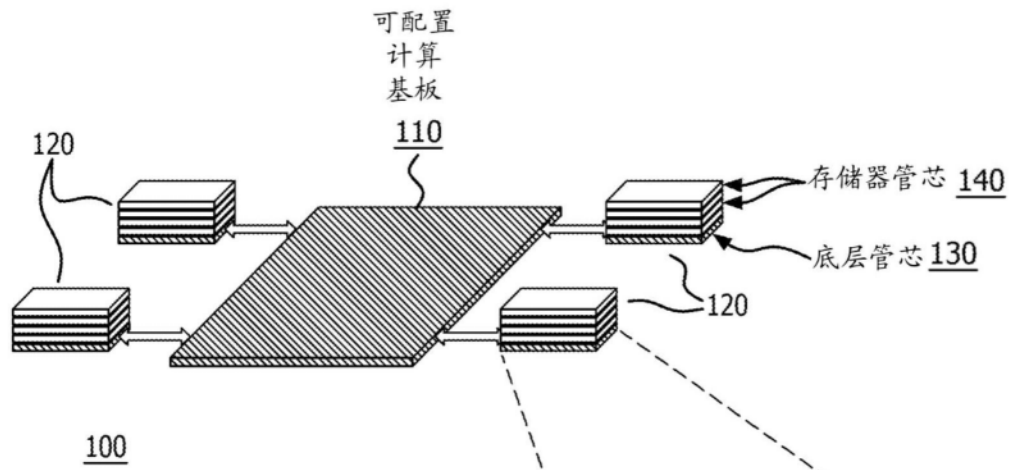


图 1

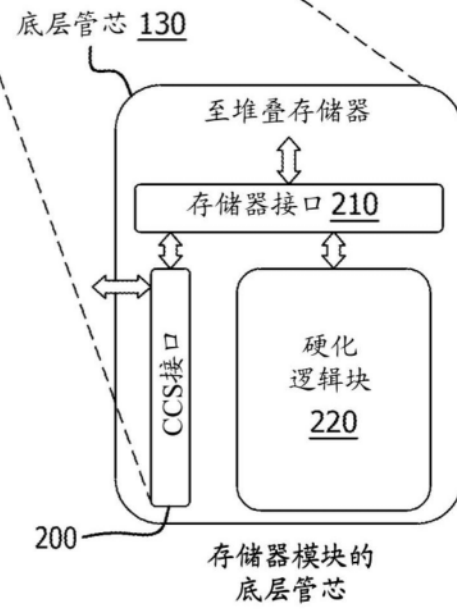


图 2

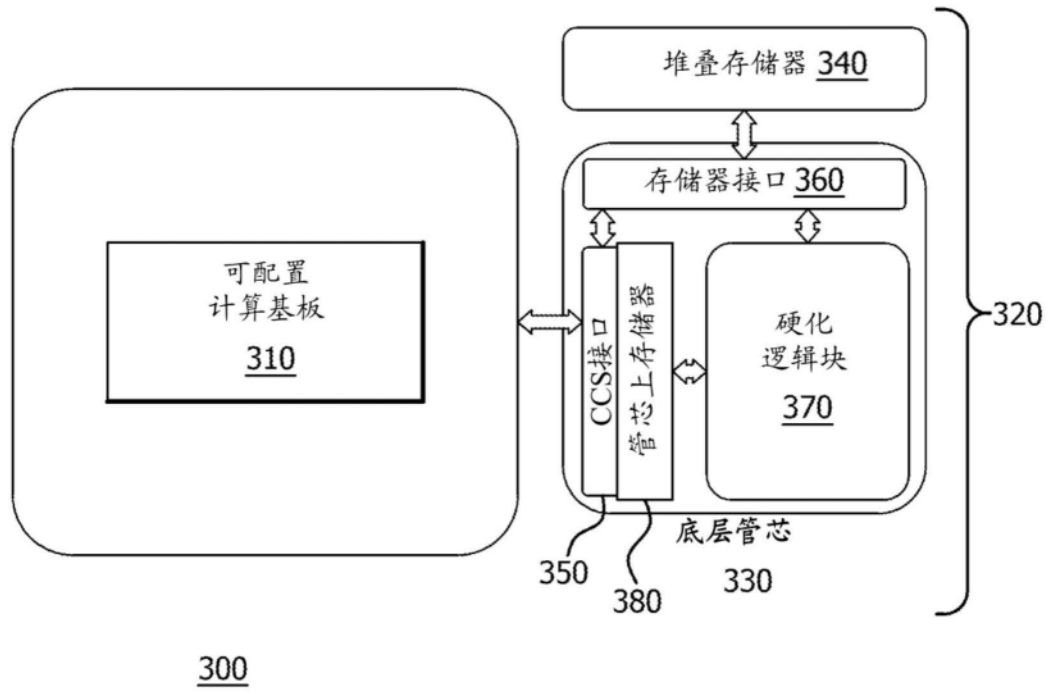


图3

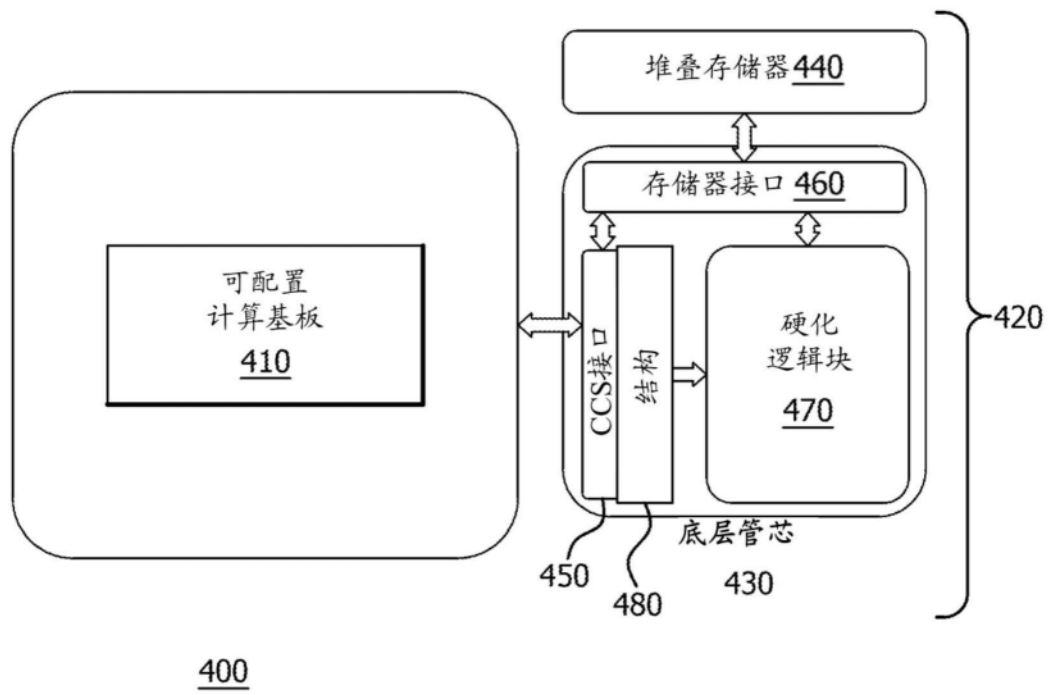


图4

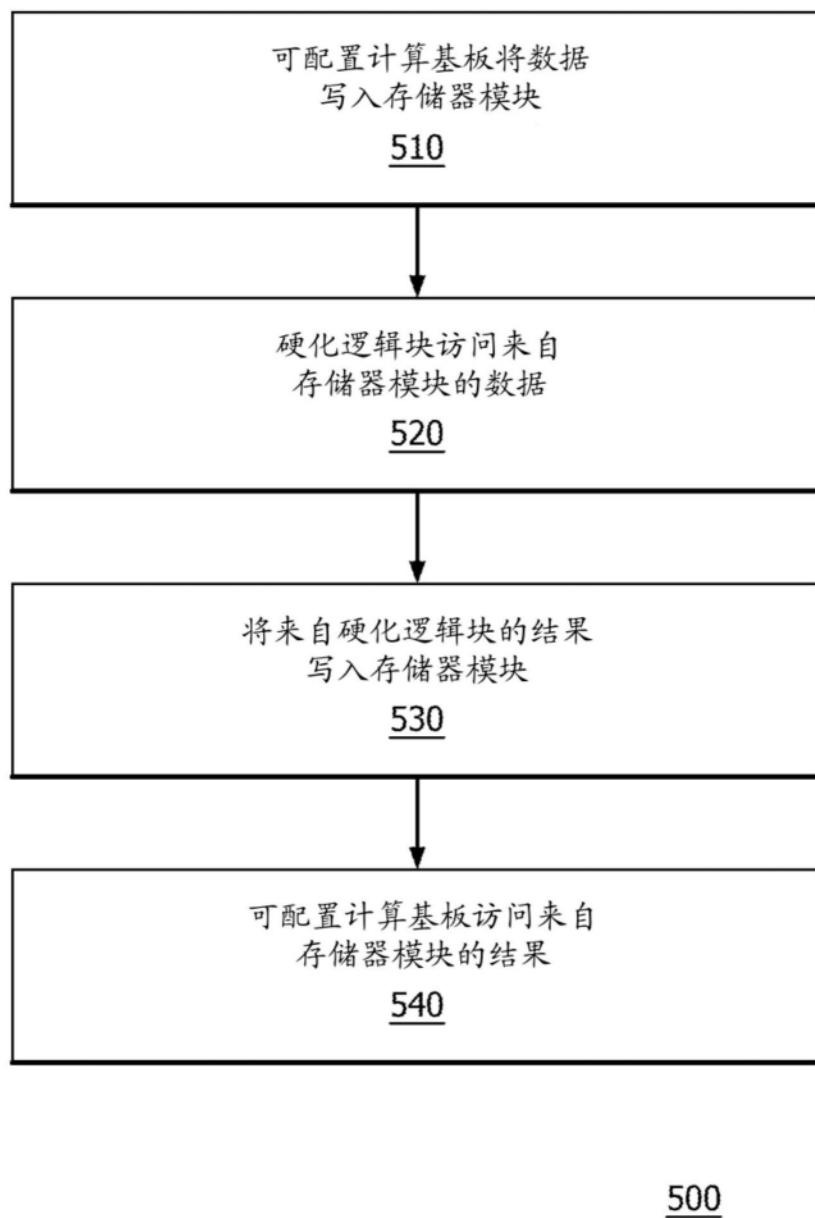


图5

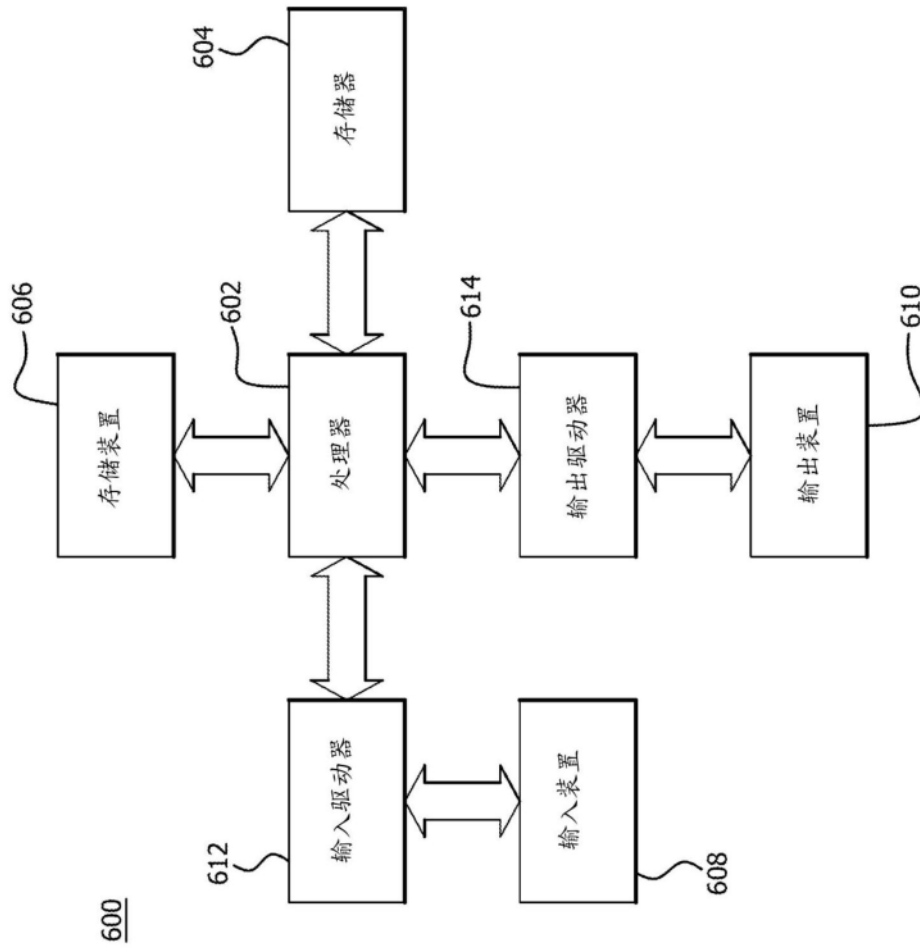


图6