

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6154926号
(P6154926)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.

F I

H O 1 L 21/02 (2006.01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006.01)

H O 1 L 21/02 B

B 2 3 K 20/00 (2006.01)

B 2 3 K 20/00 3 1 O L

B 2 3 K 20/24 (2006.01)

B 2 3 K 20/24

請求項の数 2 (全 41 頁)

(21) 出願番号 特願2016-24294 (P2016-24294)
 (22) 出願日 平成28年2月12日(2016.2.12)
 (62) 分割の表示 特願2014-99380 (P2014-99380)
 の分割
 原出願日 平成21年3月23日(2009.3.23)
 (65) 公開番号 特開2016-119490 (P2016-119490A)
 (43) 公開日 平成28年6月30日(2016.6.30)
 審査請求日 平成28年2月15日(2016.2.15)
 (31) 優先権主張番号 特願2008-79509 (P2008-79509)
 (32) 優先日 平成20年3月26日(2008.3.26)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 西田 恵里子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 島津 貴志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 柴山 将隆

最終頁に続く

(54) 【発明の名称】 SOI基板の作製方法

(57) 【特許請求の範囲】

【請求項1】

チョクラルスキー法により製造された単結晶シリコン半導体基板にハロゲンを含む雰囲気中で第1の熱酸化処理を行うことにより、前記単結晶シリコン半導体基板表面に第1の酸化シリコン膜を形成するとともに、前記第1の酸化シリコン膜に前記単結晶シリコン半導体基板中の不純物をゲッタリングさせることにより、前記単結晶シリコン半導体基板中の前記不純物の濃度を低下させ、

前記第1の酸化シリコン膜を除去し、

前記第1の酸化シリコン膜が除去された前記単結晶シリコン半導体基板表面に、不活性雰囲気又は真空状態でレーザ光を照射することにより、前記単結晶シリコン半導体基板中の結晶欠陥を低減するとともに前記単結晶シリコン半導体基板表面の凹凸を低減させ、

前記レーザ光が照射された前記単結晶シリコン半導体基板に第2の熱酸化処理を行うことにより第2の酸化シリコン膜を形成し、

前記第2の酸化シリコン膜を介して前記単結晶シリコン半導体基板にイオンを照射することにより、前記単結晶シリコン半導体基板中に脆化領域を形成し、

前記第2の酸化シリコン膜上に、テトラエトキシシランを用いて第3の酸化シリコン膜を形成し、

前記第3の酸化シリコン膜を介して前記脆化領域が形成された前記単結晶シリコン半導体基板と半導体基板とを接着し、

窒素雰囲気中で加熱し、前記窒素雰囲気中で冷却した後、大気雰囲気中でさらに冷却すること

により、前記脆化領域において前記単結晶シリコン半導体基板を分割して、前記半導体基板上に単結晶シリコン半導体層を設けることを特徴とするSOI基板の作製方法。

【請求項2】

チヨクラスキー法により製造された単結晶シリコン半導体基板にハロゲンを含む雰囲気中で第1の熱酸化処理を行うことにより、前記単結晶シリコン半導体基板表面に第1の酸化シリコン膜を形成するとともに、前記第1の酸化シリコン膜に前記単結晶シリコン半導体基板中の不純物をゲッタリングさせることにより、前記単結晶シリコン半導体基板中の前記不純物の濃度を低下させ、

前記第1の酸化シリコン膜を除去し、

前記第1の酸化シリコン膜が除去された前記単結晶シリコン半導体基板表面に、不活性雰囲気又は真空状態でレーザ光を照射することにより、前記単結晶シリコン半導体基板中の結晶欠陥を低減するとともに前記単結晶シリコン半導体基板表面の凹凸を低減させ、

前記レーザ光が照射された前記単結晶シリコン半導体基板に第2の熱酸化処理を行うことにより第2の酸化シリコン膜を形成し、

前記第2の酸化シリコン膜を介して前記単結晶シリコン半導体基板にイオンを照射することにより、前記単結晶シリコン半導体基板中に脆化領域を形成し、

前記第2の酸化シリコン膜上に、テトラエトキシシランを用いて第3の酸化シリコン膜を形成し、

前記第3の酸化シリコン膜の表面をプラズマ処理で活性化し、

前記第3の酸化シリコン膜を介して前記脆化領域が形成された前記単結晶シリコン半導体基板と半導体基板とを接着し、

窒素雰囲気中で加熱し、前記窒素雰囲気中で冷却した後、大気雰囲気中でさらに冷却することにより、前記脆化領域において前記単結晶シリコン半導体基板を分割して、前記半導体基板上に単結晶シリコン半導体層を設けることを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁膜上に形成された半導体層を有するSOI基板の作製方法及び半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、バルク状のシリコンウエハに代わり、SOI(Silicon On Insulator)基板を使った集積回路が開発されている。絶縁膜上に形成された薄いシリコンウエハの特長を生かすことで、集積回路のトランジスタの半導体層を完全に分離して形成することができ、またトランジスタを完全空乏型とすることができるため、高集積、高速駆動、低消費電力など付加価値の高い半導体集積回路が実現できる。

【0003】

SOI基板として、SIMOX基板、貼り合わせ基板が知られている。例えば、SIMOX基板は、シリコンウエハに酸素イオンを注入し、1300℃以上で熱処理して埋め込み酸化膜(BOX層)を形成することにより、基板表面にシリコンウエハを形成してSOI構造を得ている。

【0004】

貼り合わせ基板は、酸化膜を介して2枚のシリコンウエハ(ベース基板及びボンド基板)を貼り合わせ、一方のシリコンウエハ(ボンド基板)を裏面(貼り合わせた面ではない面)から薄膜化することにより、シリコンウエハを形成してSOI構造を得ている。研削や研磨では均一なシリコンウエハを形成することが難しいため、スマートカット(登録商標)と呼ばれる水素イオン注入を利用する技術が提案されている(例えば、特許文献1)。

【0005】

このSOI基板の作製方法の概要を説明すると、イオンインプランテーション法によりシリコンウエハに水素イオンを注入することによって、シリコンウエハ表面から所定の深さ

10

20

30

40

50

に脆化領域を形成する。次に、ベース基板となる別のシリコンウエハを酸化して酸化シリコン膜を形成する。その後、水素イオンを注入したシリコンウエハとベース基板となるシリコンウエハの酸化シリコン膜とを接合させて、2枚の単結晶シリコン基板を貼り合わせる。そして、加熱処理によって、イオン注入層を劈開面としてシリコンウエハを劈開させることで、ベース基板となるシリコンウエハに薄い単結晶シリコン層が貼りつけられた基板が形成される。

【0006】

イオンインプランテーション法は、真空中で試料に注入したい粒子をイオン化し、電界により加速して、試料に注入する方法である。イオン注入法を用いたイオン注入装置は、イオン源、質量分離部、加速部、ビーム操作部（静電スキャン）、注入室（エンドステーション）、及び真空排気装置から構成される。また、イオンビームの断面は不均一であるため、試料面上での均一性を得るために、イオンビームを電氣的に走査する。また、注入した粒子は深さ方向にガウス分布を示す。

10

【0007】

また、SOI基板を用いた半導体装置の一例として、スマートカットを利用して耐熱性の高い基板を支持基板とし用いる半導体装置の作製方法を開示されている（特許文献2参照）。

【先行技術文献】

【特許文献】

【0008】

20

【特許文献1】特開平5-211128号公報

【特許文献2】特開2000-012864号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

一般に上記のようなSOI基板の作製には、チョクラルスキー法（CZ法）により製造されたシリコンウエハが用いられる。このCZ法によって作製されたシリコンウエハには、結晶成長時に導入された結晶欠陥が存在している。このような結晶欠陥は、ウエハの加工時、SOI基板の製造時及び半導体装置製造の過程で様々な結晶欠陥を発生させる原因となっている。

30

【0010】

したがって、このような結晶欠陥を有するシリコンウエハを用いてSOI基板を作製すると、結晶性の高いSOI基板を得ることが難しいという問題がある。また、SOI基板に結晶欠陥が存在すると、半導体装置の特性に大きな影響を与えることになる。

【0011】

また、単結晶シリコン層が分離された後のシリコンウエハを再利用する場合に、シリコンウエハ中や表面は、結晶欠陥や分離によるダメージが残存しており、結晶性が損なわれているため、結晶性の高いSOI基板を得ることが難しくなる。

【0012】

そこで、本発明の一態様は、単結晶半導体層の結晶欠陥が低減されたSOI基板の作製方法を提供することを目的の一とする。また、このようなSOI基板を用いた優れた電気特性を有する半導体装置の作製方法を提供することを目的の一とする。

40

【課題を解決するための手段】

【0013】

本発明の一態様に係るSOI基板の作製方法は、単結晶半導体基板に熱酸化処理を行うことにより酸化膜を形成し、該酸化膜を除去し、該酸化膜を除去した後にレーザ光を照射し、さらに単結晶半導体基板に熱酸化処理を行うことにより酸化膜を形成することを特徴としている。以下に、本発明の一態様の具体的な構成について説明する。

【0014】

本発明の一態様に係るSOI基板の作製方法の一は、単結晶半導体基板に第1の熱酸化処

50

理を行うことにより第1の酸化膜を形成し、単結晶半導体基板に形成された第1の酸化膜を除去し、第1の酸化膜が除去された単結晶半導体基板の表面に対してレーザ光を照射し、単結晶半導体基板に第2の熱酸化処理を行うことに第2の酸化膜を形成し、第2の酸化膜を介して単結晶半導体基板にイオンを照射することにより、単結晶半導体基板中に脆化領域を形成し、第2の酸化膜と半導体基板の一方の面とが向かい合うように接着させ、熱処理を行うことにより、脆化領域において単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対してレーザ光を照射して、単結晶半導体層を熔融することで、単結晶半導体層を再単結晶化させることを特徴としている。

【0015】

10

本明細書において、「単結晶」とは、結晶面、又は結晶軸が揃っている結晶であり、それを構成している原子又は分子が空間的に規則正しい配列になっているものをいう。もっとも、単結晶は原子が規則正しく配列することによって構成されるものであるが、一部にこの配列の乱れがある格子欠陥を含むもの、意図的又は意図しないに格子歪みを有するものも含まれる。

【0016】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【0017】

また、本明細書において表示装置とは、液晶表示装置や発光表示装置を含む。液晶表示装置は液晶素子を含み、発光装置は、発光素子を含む。発光素子は、電流又は電圧によって輝度が抑制される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。

20

【発明の効果】

【0018】

本発明の一態様は、SOI基板の製造時や半導体装置の製造時において、単結晶半導体層に発生する結晶欠陥が低減されたSOI基板を製造することができる。このようなSOI基板を用いて、優れた電気特性を有する半導体装置を製造することができる。

【図面の簡単な説明】

【0019】

30

【図1】SOI基板の作製方法の一例を示す図。

【図2】(A)計算モデル、(B)(A)のYZ平面の断面図。

【図3】計算による構造変化の様子(YZ平面の断面図)。

【図4】計算による構造変化の様子(YZ平面の断面図)。

【図5】SOI基板の構成の一例を示す図。

【図6】SOI基板の構成の一例を示す図。

【図7】SOI基板の構成の一例を示す図。

【図8】水素イオン種のエネルギーダイアグラムについて示す図である。

【図9】イオンの質量分析結果を示す図である。

【図10】イオンの質量分析結果を示す図である。

40

【図11】加速電圧を80kVとした場合の水素原子の深さ方向のプロファイル(実測値及び計算値)を示す図である。

【図12】加速電圧を80kVとした場合の水素原子の深さ方向のプロファイル(実測値、計算値、及びフィッティング関数)を示す図である。

【図13】加速電圧を60kVとした場合の水素原子の深さ方向のプロファイル(実測値、計算値、及びフィッティング関数)を示す図である。

【図14】加速電圧を40kVとした場合の水素原子の深さ方向のプロファイル(実測値、計算値、及びフィッティング関数)を示す図である。

【図15】フィッティングパラメータの比(水素原子比及び水素イオン種比)をまとめた図である。

50

【図 16】SOI 基板の作製方法の一例を示す図。

【図 17】トランジスタの作製方法の一例について説明する断面図である。

【図 18】トランジスタの作製方法の一例について説明する断面図である。

【図 19】トランジスタの作製方法の一例について説明する断面図である。

【図 20】トランジスタの作製方法の一例について説明する平面図である。

【図 21】マイクロプロセッサの構成の一例を示すブロック図。

【図 22】RF CPU の構成の一例を示すブロック図。

【図 23】(A) エレクトロルミネセンス表示装置の画素の平面図。(B) J - K 切断線による図 23 (A) の断面図。

【図 24】SOI 基板を用いた電子機器の一例を示す図。

10

【図 25】SOI 基板を用いた電子機器の一例を示す図。

【発明を実施するための形態】

【0020】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

20

(実施の形態 1)

本実施の形態では、SOI 基板の作製方法の一例に関して図面を参照して説明する。具体的には、単結晶半導体基板に熱酸化処理を行うことにより単結晶半導体基板上に酸化膜を形成し、該酸化膜を除去した後にレーザを照射する方法について説明する。

【0022】

まず、単結晶半導体基板 101 を準備し、該単結晶半導体基板 101 を硫酸過酸化水素水混合溶液 (SPM)、アンモニア過酸化水素水混合溶液 (APM)、塩酸過酸化水素水混合溶液 (HPM)、希フッ酸 (DHF)、オゾン水などを適宜使って洗浄する。単結晶半導体基板 101 は、市販の単結晶半導体基板を用いることができ、例えば、単結晶のシリコン基板やゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径 5 インチ (125 mm)、直径 6 インチ (150 mm)、直径 8 インチ (200 mm)、直径 12 インチ (300 mm)、直径 18 インチ (450 mm) サイズの円形のものが代表的である。なお、形状は円形に限られず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、単結晶半導体基板 101 として、単結晶シリコン基板を用いる場合について説明する。

30

【0023】

次いで、単結晶半導体基板 101 に熱酸化処理 (第 1 の熱酸化処理とも記す) を行うことにより酸化膜 102 (第 1 の酸化膜とも記す) を形成する (図 1 (A))。単結晶半導体基板の製造時や加工の過程で、金属などの不純物が単結晶半導体基板に含まれてしまう場合がある。そして、当該金属などの不純物は、最終的に形成される SOI 基板に含まれてしまうおそれがある。そこで、本実施の形態において熱酸化処理は、酸化性雰囲気中にハロゲンを添加した酸化を行うことが好ましい。酸化性雰囲気中にハロゲンを添加するためのガスとして、HCl、HF、NF₃、HBr、Cl₂、DCE (dichloroethylene)、ClF₃、BCl₃、F₂、Br₂ などから選ばれた一種又は複数種を用いることができる。本実施の形態では、酸素に対し HCl を 0.5 ~ 10 体積 % (好ましくは 3 体積 %) の割合で含む雰囲気中で、900 ~ 1150 の温度 (代表的には 1000) で熱酸化処理を行うと良い。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。形成される酸化膜の膜厚としては、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 200 nm の厚さとする。また、ジクロロエチレンとしてトランス - 1, 2 - ジクロロエチレンを用いる場合は、トランス 1, 2 ジクロロ

40

50

エチレンは熱分解する温度が低いため、熱酸化処理の温度を低温で行いたい場合に有効となる。なお、トランス - 1, 2 - ジクロロエチレンにかえて、シス - 1, 2 - ジクロロエチレン、1, 1 - ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

【0024】

このようにして単結晶半導体基板 101 の表面に形成された酸化膜 102 は、酸化性雰囲気に含まれるハロゲン（例えば、塩素）の作用により、酸化膜 102 中に金属などの不純物がゲッターリングされ、単結晶半導体基板 101 中の金属などの不純物の濃度が低下するか又は除去される。すなわち、ハロゲンの作用により、金属などの不純物が揮発性のハロゲン化物（例えば、塩化物）となって気相中へ離脱され、単結晶半導体基板 101 から除去される。これは、単結晶半導体基板 101 の表面を化学的機械研磨処理したのに対して有効である。さらに、熱酸化処理による酸化膜 102 の形成を、900 ~ 1150 の温度範囲で行うため、単結晶半導体基板 101 の結晶性の改善が行われる。なお、化学機械研磨（Chemical Mechanical Polishing、略称：CMP）とは、アルカリ性溶液と研磨砥粒を混合させたスラリーを用いて化学的、かつ、機械的に研磨して表面を平坦化する処理である。

10

【0025】

次いで、当該金属などの不純物をゲッターリングした酸化膜 102 を除去する（図 1（B））。酸化膜 102 を除去する手法としては、酸化膜 102 を除去できる手法であれば特に限定はないが、例えば、バッファーフッ酸、その他フッ酸系のエッチャントを用いて行うことができる。当該金属などの不純物をゲッターリングした酸化膜 102 を除去することにより、金属などの不純物が低減又は除去された単結晶半導体基板 101 を得ることができる。

20

【0026】

酸化膜 102 を除去した後、単結晶半導体基板 101 にレーザ光を照射する（図 1（C））。単結晶半導体基板 101 にレーザ光を照射することにより、単結晶半導体基板 101 を溶融させることができる。レーザ光の照射による単結晶半導体基板 101 の溶融は、部分溶融であることが好ましい。部分溶融状態とは、単結晶半導体基板 101 の上部が溶融して液体となるが、下部は溶融せずに固体のままの状態であることをいう。部分溶融状態とした後に、融液を融点以下の温度にすると、単結晶半導体基板 101 の溶融されていない固相部分（種結晶）と、溶融された液相部分（融液）との界面において、融液側の原子が種結晶に付着することにより結晶が成長していく。このようにして、結晶成長を進行させることで、単結晶半導体基板 101 中の結晶欠陥の低減とともに表面凹凸を低減させることができる。

30

【0027】

レーザ光を発振するレーザは、連続発振レーザ、繰り返し周波数が 10 MHz 以上のパルスレーザ（疑似連続発振レーザ）及びパルス発振レーザのいずれを用いることもできる。単結晶半導体基板 101 を部分溶融状態とするには、連続発振レーザまたは疑似発振レーザを用いることが好ましい。単結晶半導体基板 101 の厚さ方向全体へ長時間加熱することが可能となり、表面にリッジと呼ばれる突起が形成されるのを防止することができる。例えば、KrF レーザなどのエキシマレーザ、Ar レーザ、Kr レーザ、CO₂ レーザ等の気体レーザがある。その他、固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、GdVO₄ レーザ、KGW レーザ、KYW レーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、Y₂O₃ レーザ等がある。なお、エキシマレーザはパルス発振レーザであるが、YAG レーザなどの固体レーザには、連続発振レーザにも、疑似連続発振レーザにも、パルス発振レーザにもなるものがある。

40

【0028】

単結晶半導体基板 101 の結晶欠陥を低減するためのレーザ光の照射強度は、単結晶半導体基板を部分溶融状態とすることができる程度の強度であることが好ましい。

【0029】

50

レーザ光の照射雰囲気は、希ガス又は窒素雰囲気のような不活性雰囲気、又は真空状態で行うことが好ましい。窒素などの不活性雰囲気や真空状態の方が、大気雰囲気よりもクラックやリッジの発生を抑える効果が高くなるため、レーザ光の使用可能なエネルギー範囲を広くすることができる。

【0030】

例えば、熱酸化処理を行わずに結晶成長時導入欠陥を低減するためにレーザ光を照射した場合、単結晶半導体基板101の表面及び内部に存在する金属などの不純物が単結晶半導体基板101中に拡散するおそれがある。上述したように、金属などの不純物が除去された単結晶半導体基板101にレーザ光を照射することにより、単結晶半導体基板101の結晶欠陥を効率よく低減することができる。また、単結晶半導体基板101に存在している結晶欠陥をあらかじめ低減しておくことによって、後にこの結晶欠陥に起因して発生する結晶欠陥を低減することができる。

10

【0031】

ここで、レーザ光の照射により、単結晶半導体基板の表面凹凸及びナノスケールの結晶欠陥が回復する様子を古典分子動力学計算により説明する。具体的には、表面凹凸及びナノスケールの結晶欠陥を有する単結晶シリコン基板の上部を加熱して、当該単結晶シリコン基板を部分熔融させ、下部に残存した固相を種結晶としてシリコン原子が再配列する様子を示す。なお、本計算においては、単結晶半導体基板101を単結晶シリコン基板とする。

【0032】

古典分子動力学法では、現実の原子の動きに合致する関数（原子間ポテンシャル）を作成し、当該関数を用いて各原子に働く力を評価し、ニュートンの運動方程式を解くことで、各原子の運動（時間発展）を追跡することができる。実際の計算手順では、以下のようなサイクルを繰り返すことになる。

20

（１）計算系の原子に対して、初期座標、初期速度（温度）などの初期条件を与える。

（２）原子間ポテンシャルより原子間力を求める。

（３）時間刻み t 後の原子の位置、速度を求める。

（４）（２）に戻る。

【0033】

上記手順により、各原子の時間軌跡を求めることができる。なお、上記計算を行うための古典分子動力学計算ソフトウェアとして、富士通株式会社製のMaterials Explorer 5.0を用いた。

30

【0034】

シリコンの原子間ポテンシャルとしては、様々なモデルが提唱されているが、本実施例では、現状、実験から求まる物性値を最も良く再現できる Tersoff ポテンシャルを用いた。なお、Tersoff モデルにおける温度と、現実の温度との間には一定のずれが存在するが、これは計算上の問題に過ぎないため、融点を基準に現実の温度に換算することが可能である。シリコンの融点の実験値は約1414 であり、これは、Tersoff モデルでは約2327 にあたる。以下において、現実のシリコンの融点を基準に換算した温度を、便宜上、換算温度と呼ぶことにする。

40

【0035】

次に、単結晶シリコン基板（（100）面）の平坦化及び再単結晶化の計算モデルと、その計算条件について説明する。計算に係る単位胞（計算単位胞）のサイズは、x 軸方向に3.26 nm、y 軸方向に3.26 nm、z 軸方向に6.52 nmとした。ここで、x 軸及びy 軸は、単結晶シリコン基板に平行な方向であり、z 軸は単結晶シリコン基板の板厚方向である。なお、計算に当たって、周期境界条件を適用することで、x 軸方向及びy 軸方向に十分広い膜を想定することとした。

【0036】

計算モデルとしては、表面に凹凸があり、内部にナノスケールの結晶欠陥が存在する単結晶シリコン基板として、以下の条件のものを採用した。

50

- ・単結晶シリコン基板の表面にはピラミッド型の凸部分が存在する。
- ・凸部分の高さ（単結晶シリコン基板表面の高低差）は1.36 nmである。
- ・座標（1.63、1.63、2.17）を中心として、半径1 nm以内の領域に存在するシリコン原子（合計191原子）を取り除き、直径約2 nmの球状の結晶欠陥を形成する。なお、上記の座標の各パラメータは、原点からの距離（nm）に対応している。
- ・計算単位胞内のシリコン原子の数は、1706個である。
- ・単結晶シリコン基板の下側7層（合計504原子）は、種結晶とするため、原子の位置を固定する（固相状態を想定）。

【0037】

y z 平面に垂直な方向から見た上記計算モデルの様子を図2（A）に示す。また、上記計算モデルにおいて、球状の結晶欠陥の中心部を通り、且つ、y z 平面に平行な平面における断面図を図2（B）に示す。なお、図2（B）は、x 軸方向に0.65 nmの厚みを持たせて上記計算モデルを示したものであり、厳密には、球状の結晶欠陥の中心部を通る断面のみを示しているわけではない。

【0038】

上記の計算モデルを用い、温度の初期条件を換算温度1458（融点以上）として、古典分子動力学計算を行った。なお、本実施の形態においては、初期状態（0 sec）から700 psecまでは、温度条件を一定（換算温度1458）として計算を行っている。

【0039】

単結晶シリコン基板の経時的な構造変化の様子を図3（A）から図3（F）に示す。図3（A）から図3（F）は、初期状態（0 sec）から50 psec後までの単結晶シリコン基板の構造変化の様子を、10 psec間隔で示している。図3により、50 psec程度で表面の凸部分が融解し、結晶欠陥が消滅し、単結晶シリコン基板が平坦化することがわかる。

【0040】

本計算では、700 psec以降、融点以下である換算温度1276に引き下げて古典分子動力学計算を行った。ここでも、700 psecから1400 psecまでは、温度条件を一定（1276）としている。図4には、700 psec以降の単結晶シリコン基板の経時的な構造変化の様子を示す。図4（A）から図4（C）は、700 psecから1400 psecまでの単結晶シリコン基板の構造変化の様子を、350 psec間隔で示すものである。

【0041】

図4に示すように、時間経過とともに固液界面が単結晶シリコン基板の表面方向へと上昇しており、固相部分を種結晶として溶融シリコンが結晶シリコンへと変化することがわかる。1400 psec後には表面付近まで再単結晶化された。

【0042】

本計算により、表面凹凸及びナノスケールの結晶欠陥を有する単結晶シリコン基板の上部を加熱し、溶融させることで、結晶欠陥の消滅と共に表面凹凸が低減する様子が確認された。また、下部に残存した固相を種結晶としてシリコン原子が再配列して、結晶成長が進行する様子が確認された。

【0043】

上記古典分子動力学計算の結果より、直径2 nm程度の結晶欠陥及び高低差1.5 nm程度の表面凹凸であれば、溶融時間が50 psec程度でも十分に可能であることが分かる。また、少なくとも700 psec程度の溶融時間があれば、下部に残存した固相を種結晶としてシリコン原子の再配列（再単結晶化）が可能であることが分かる。よって、連続発振レーザ又は疑似連続発振レーザを用いることにより、十分に欠陥を修復させることができ、平坦化処理を行うことができる。また、一般に、パルスレーザ光を用いた場合の半導体膜の溶融時間は、レーザ光のパルス幅と同程度であるから、パルス幅が50 psec以上であれば、2 nm程度の結晶欠陥及び高低差1.5 nm程度の表面凹凸を回復させる

10

20

30

40

50

ことができると言える。同様に、パルス幅が700 p s e c以上であれば、シリコン原子の再配列（再単結晶化）が可能であると言える。すなわち、上記の結晶欠陥の低減、表面凹凸の低減、及びシリコン原子の再配列（再単結晶化）を実現するためには、700 p s e c以上（例えば、25 n s e c）のパルス幅を有するパルスレーザ光を用いるとよい。

【0044】

また、単結晶半導体基板101の表面に所望の平坦性が得られていない場合には、その表面を平坦化するため、化学的機械研磨（CMP）を行うことが好ましい。単結晶半導体基板101の平坦性を向上させることにより、後に形成する酸化膜103を平坦に形成することができる。なお、レーザ光の照射により、所望の平坦性が得られるようであれば、平坦化工程は省略してもかまわない。

10

【0045】

次いで、単結晶半導体基板101に熱酸化処理（第2の熱酸化処理とも記す）を行うことにより酸化膜103（第2の酸化膜とも記す）を形成する（図1（D））。第2の熱酸化処理は、第1の熱酸化処理と同様に行うことができる。形成される酸化膜103の膜厚としては、10 nm～1000 nm（好ましくは50 nm～300 nm）の厚さとする。熱酸化処理により得られる酸化膜103は、平滑性を有し親水性表面を形成することができる。

【0046】

また、ハロゲンを添加して熱酸化処理を行うことにより形成される酸化膜103中にはハロゲンが含まれている。ハロゲンの濃度が、 $1 \times 10^{-16} / \text{cm}^3 \sim 5 \times 10^{-21} / \text{cm}^3$ の範囲で含まれることにより、金属などの不純物を捕獲して単結晶半導体基板101の汚染を防止するブロッキング層としての機能を発現させることができる。また、熱酸化処理に含まれるハロゲンにより単結晶半導体基板101の表面の未結合手が終端されるため、酸化膜103と単結晶半導体基板101との界面の局在準位密度を低減させることができる。

20

【0047】

なお、本実施の形態では、塩素原子を含有する酸化膜102及び酸化膜103の形成方法として、塩化水素やジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、単結晶半導体基板101に酸化性雰囲気中で熱酸化処理を行い、単結晶半導体基板101表面に酸化膜102（例えば、 SiO_x ）を形成した後（図1（A）参照）、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより、酸化膜102中に塩素原子を含有させてもよい。他にも、表面を塩化水素（HCl）溶液で処理した後に酸化性雰囲気中で熱酸化処理を行ってもよい。

30

【0048】

次いで、酸化膜103を介して、単結晶半導体基板101にイオンを照射することにより、イオンを単結晶半導体基板101に導入し、単結晶半導体基板101の一方の面から所定の深さの領域に脆化領域104を形成する（図1（E））。

【0049】

脆化領域104が形成される深さは、イオン種、イオンの運動エネルギー、イオンの入射角によって調節することができる。運動エネルギーは加速電圧などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化領域104が形成される。イオンを導入する深さで、後の工程において単結晶半導体基板101から分離される単結晶半導体層の厚さが決定される。脆化領域104が形成される深さは10 nm以上500 nm以下であり、好ましい深さの範囲は、50 nm以上200 nm以下である。

40

【0050】

イオンを単結晶半導体基板101に導入するには、イオンドーピング装置を用いることができる。イオンドーピング装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオンを引き出し、イオンを質量分離せずに被処理物に導入する。イオンドーピング装置を用いることにより、単結晶半導体基板101に対して均一なドーピングを行うことが

50

できる。なお、質量分離装置を備えているイオンドーピング装置では、質量分離を伴うイオン注入を行うことができる。

【0051】

イオンドーピング法を用いる場合、イオンの導入の際に用いるソースガスとしては、水素ガス、希ガス等があるが、本実施の形態では水素ガスを用いることが好ましい。ソースガスとして水素ガスを用いた場合、生成されるイオンは、 H^+ 、 H_2^+ 及び H_3^+ であるが、 H_3^+ が最も多く導入されることが好ましい。 H_3^+ は、 H^+ 、 H_2^+ よりも導入効率が良く、導入時間の短縮を図ることができる。また、後の工程において脆化領域 104 に亀裂が生じやすくなる。

【0052】

このようにして、単結晶半導体基板 101 にイオンを導入することにより、単結晶半導体基板 101 には大量の結晶欠陥が形成される。単結晶半導体基板 101 に結晶成長時に導入された結晶欠陥や、ウエハの加工時に形成された結晶欠陥が残存していると、これらの結晶欠陥を起因にして、単結晶半導体基板 101 に発生する結晶欠陥が増大する。後に、単結晶半導体層が形成される領域に、これらの結晶欠陥が大量に残存していると、良質な SOI 基板が得られなくなる。本実施の形態に示す方法により、結晶成長時に導入された結晶欠陥や、ウエハの加工時に形成された結晶欠陥をあらかじめ低減することによって、イオンの導入の際に形成される結晶欠陥を低減することができる。

【0053】

また、イオンドーピング法を用いる場合、イオンドーピング装置は質量分離を行わずイオンを導入するため、水素イオンの他に金属イオンも同時に単結晶半導体基板 101 へ導入される場合がある。金属イオンは質量数が大きいので、イオンが導入される側の最表面に多く分布する。本実施の形態では単結晶半導体基板 101 の表面に酸化膜 103 が形成されている。この酸化膜 103 の膜厚を金属イオンの導入される深さよりも厚く形成することで、当該金属の分布を酸化膜 103 中に止めておくことができる。酸化膜 103 にハロゲンを含ませることにより、重金属など単結晶半導体基板 101 に悪影響を与える不純物をゲッタリングする作用がある。それにより酸化膜 103 中に捕集した当該不純物を固定して単結晶半導体基板 101 の汚染を防ぐことができる。

【0054】

次いで、単結晶半導体基板 101 と貼り合わせるための半導体基板 111 を準備する。半導体基板 111 は、単結晶半導体基板 101 として用いる基板と同様の基板を用いることができる。さらには、多結晶半導体基板、太陽電池の製造に用いられる太陽電池級シリコン基板 (SOG-Si: Solar grade Silicon、例えば Si 純度が 99.9999% のもの) 等も用いることができる。本明細書に示す多結晶半導体基板とは、多結晶シリコン基板に加え、多結晶化合物半導体基板も含み、さらには微量にゲルマニウムを含む多結晶シリコン基板、微量にボロンを含む多結晶シリコン基板を指すものとする。

【0055】

また、半導体基板 111 と酸化膜 103 との接着を良好に行うために、接合面を活性化しておいてもよい。例えば、接着する面の一方又は双方に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行うことで接合面を活性化することもできる。このよう活性化処理により、400 以下の温度であっても単結晶半導体基板と半導体基板との接合をすることが容易となる。

【0056】

次いで、酸化膜 103 と半導体基板 111 の一方の面とが向かい合うようにボンディング (接着) する (図 1 (F))。酸化膜 103 と半導体基板 111 とを密着させることにより、ファン・デル・ワールス力で基板同士が引き合う。そして、基板の表面にできた Si-OH 同士が水素結合で接着する。低温 (例えば、150 ~ 200) の熱処理により

10

20

30

40

50

脱水縮合反応が起こり、水分子が離脱してシリコン原子間に酸素原子を介した結合（Si-O-Si）ができる。さらに高温で熱処理（例えば600）を行うことにより、酸素が拡散し界面はSi同士が結合し、単結晶半導体基板101と半導体基板111との接着がより強固なものとなる。本実施の形態において、単結晶半導体基板101と半導体基板111とを接着させるための絶縁膜として、熱酸化処理により得られる酸化膜103を用いている。熱酸化処理により得られる酸化膜103は平滑性を有しているため、単結晶半導体基板101と半導体基板111との接着を良好に行うことができる。

【0057】

なお、単結晶半導体基板101と半導体基板111を接着させる前に、単結晶半導体基板101上に形成された酸化膜103及び半導体基板111の表面処理を行うことが好ましい。表面処理としては、オゾン処理（例えば、オゾン水洗浄）、又はメガソニック洗浄及びオゾン水洗浄を行うことができる。また、オゾン水洗浄とフッ酸による洗浄を複数回繰り返して行ってもよい。このような表面処理を行うことにより、酸化膜103及び半導体基板111の表面の有機物等のゴミを除去し、酸化膜103の表面を親水性にすることができる。

【0058】

単結晶半導体基板101と半導体基板111とを貼り合わせた後は、加熱処理を加圧処理の一方又は両方を行うことが好ましい。加熱処理や加圧処理を行うことにより単結晶半導体基板101と半導体基板111との接着強度を向上させることが可能である。加熱処理は、脆化領域104に導入した原子又は分子が析出しない温度とし、その加熱温度は350以下が好ましい。言い換えれば、この加熱温度は脆化領域104からガスが抜けない温度である。加圧処理は、接着面に対して垂直な方向に圧力が加わるように行い、単結晶半導体基板101及び半導体基板111の耐圧性を考慮して行う。

【0059】

単結晶半導体基板101に熱処理を行うことにより、前記脆化領域104において前記単結晶半導体基板101を分割して、単結晶半導体層112が接着された半導体基板111と単結晶半導体基板105とに分離する（図1（G））。ここでの加熱処理には、RTA（Rapid Thermal Anneal）装置、ハロゲンランプ若しくは赤外線ランプで加熱するRTA（LRTA；Lamp Rapid Thermal Anneal）装置を用いることができる。この加熱処理で、単結晶半導体層112が接着された半導体基板111の温度が、550以上650以下の範囲となるように上昇させることが好ましい。

【0060】

本実施の形態では、抵抗加熱を有する縦型炉を用いた加熱処理を行う。単結晶半導体基板101が貼りつけられた半導体基板111を縦型炉のポートに載置する。ポートを縦型炉のチャンバーに搬入する。単結晶半導体基板101の酸化を抑制するため、まずチャンバー内を排気して真空状態とする。真空度は、 5×10^{-3} Pa程度とする。真空状態にした後、窒素をチャンバー内に供給して、チャンバー内を窒素雰囲気にする。この間、温度を200に上昇させる。

【0061】

チャンバー内を窒素雰囲気にした後、温度200で2時間加熱する。その後、1時間かけて400に温度上昇させる。加熱温度400の状態が安定したら、1時間かけて600に温度上昇させる。加熱温度600の状態が安定したら、600で2時間加熱処理する。その後、1時間かけて400まで下げ、10分～30分間後に、チャンバー内からポートを搬出する。大気雰囲気中で、ポート上の単結晶半導体基板101、及び単結晶半導体基板101が接着された半導体基板111を冷却する。

【0062】

上記の抵抗加熱炉を用いた加熱処理は、単結晶半導体基板101と半導体基板111との結合力を強化するための加熱処理と、脆化領域104に分離を生じさせる加熱処理が連続して行われる。この2つの加熱処理を異なる装置で行う場合は、例えば、抵抗加熱炉にお

10

20

30

40

50

いて、処理温度 200、処理時間 2 時間の加熱処理を行った後、貼り合わされた半導体基板 111 と単結晶半導体基板 101 を炉から搬出する。次いで、RTA 装置で、処理温度 600 以上 700 以下、処理時間 1 分以上 30 分以下の加熱処理を行い、単結晶半導体基板 101 を脆化領域 104 で分割させる。

【0063】

このように、熱処理を行い脆化領域 104 において分割（劈開）することにより、半導体基板 111 上に、酸化膜 103 を介して単結晶半導体層 112 を設けることができる（図 1（G））。

【0064】

半導体基板 111 に接着された単結晶半導体層 112 中及び表面には、脆化領域 104 の形成及び脆化領域 104 による分離によるダメージが残存しており、結晶性や平坦性が損なわれている。そこで、得られた単結晶半導体層 112 に対して平坦化処理を行うことが好ましい（図 1（H））。平坦化処理を行うことにより、単結晶半導体層 112 中及び表面の結晶欠陥を低減し、結晶性を回復させ、単結晶半導体層 112 の表面を平坦化させることができる。また、平坦化処理を行うことにより、単結晶半導体層 112 を薄膜化させることができる。

10

【0065】

平坦化処理としては、CMP、エッチング処理、レーザ光の照射のいずれか一方又は複数の方法を組み合わせて行うことができる。例えば、ドライエッチング又はウェットエッチングの一方、又は双方を組み合わせたエッチング処理（エッチバック処理）を行った後にレーザ光を照射するとよい。

20

【0066】

ドライエッチング処理では、エッチングガスとして、塩化硼素、塩化珪素または四塩化炭素などの塩化物ガス、塩素ガス、弗化硫黄、弗化窒素などの弗化物ガス、酸素ガスなどを用いることができる。ウェットエッチング処理では、エッチング液として、例えば、水酸化テトラメチルアンモニウム（tetramethyl ammonium hydroxide、略称：TMAH）溶液等を用いることができる。エッチング処理を行うことにより、単結晶半導体層 112 の表面に存在する分離によるダメージを除去することができる。また、レーザ光を照射する前に、単結晶半導体層 112 の表面に存在するダメージを除去しておくことにより、レーザ光を照射して単結晶半導体層 112 が溶融した際に、ダメージを単結晶半導体層中に取り込むことを防止することができる。

30

【0067】

レーザ光を単結晶半導体層 112 の上面側から照射することで、単結晶半導体層 112 の上面を溶融させることができる。溶融した後、単結晶半導体層 112 が冷却、固化することによって、上面の平坦性が向上した単結晶半導体層 112 が得られる。レーザ光を用いることにより、半導体基板 111 が直接加熱されないため、該半導体基板 111 の温度上昇を抑えることができる。

【0068】

なお、単結晶半導体層の欠陥を低減するためのパルスレーザの照射強度は、パルスレーザの照射による単結晶半導体層の溶融状態が、部分溶融状態、又は部分溶融状態と完全溶融状態の境界付近の状態（以下、「初期の完全溶融状態」と呼ぶ。）となるようにすることが好ましい。「初期の完全溶融状態」以外の完全溶融状態とする場合には、液体となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高いためである。ここで、部分溶融状態とは、この場合、単結晶半導体層の上部は溶融して液体となるが、下部は溶融せずに固体のままであることをいう。他方、完全溶融状態とは、単結晶半導体層が下部絶縁層との界面まで溶融され、液体状態になることをいう。

40

【0069】

一方で、部分溶融状態とする場合には、溶融されていない固体の領域から結晶成長が進行するため、結晶性を保ったまま欠陥を低減することができる。また、「初期の完全溶融状態」とする場合には、下方への熱の拡散により、単結晶半導体層と下部絶縁層との界面付

50

近から固化し、これを種結晶として、再度の単結晶化を進行させることができる。「初期の完全溶融状態」においては、原子の配列が完全にランダムになっているわけではなく、特に、温度上昇が小さい下部絶縁層との界面付近においては、原子配列は固体状態の単結晶半導体層のものと相違がない。このため、下部絶縁層との界面付近からの固化により、結晶性を低下させることなく欠陥を低減することができるものと考えられる。または、下部絶縁層との界面付近において、溶融していない固体が僅かに残存しており、これを種結晶として結晶成長が進行している可能性もある。

【0070】

上記レーザ光の照射には、パルス発振レーザを用いることが好ましい。これは瞬間的に高エネルギーのパルスレーザ光を発振することができ、溶融状態を作り出すことが容易となるためである。発振周波数は、1 Hz 以上 10 MHz 以下程度とすることが好ましい。

10

【0071】

このようにして、平坦化処理を行うことにより、単結晶半導体層中の結晶欠陥を低減し、結晶性を回復させ、単結晶半導体層の表面を平坦化させることができる。なお、本実施の形態において、単結晶半導体層表面のダメージを除去する際に、エッチング処理を用いた場合について説明したが、本発明の一態様はこれに限られず、CMPを用いることもできる。

【0072】

なお、平坦化処理を行った後に、単結晶半導体層112の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層112の薄膜化処理には、ドライエッチング又はウェットエッチングの一方、又は双方を組み合わせたエッチング処理（エッチバック処理）を適用すればよい。例えば、単結晶半導体層112がシリコン材料からなる層である場合、ドライエッチングとしてSF₆とO₂をプロセスガスに用いて、単結晶半導体層112を薄くすることができ、所望の単結晶半導体層112の膜厚を得ることができる。このとき得られる単結晶半導体層112の膜厚は、例えば、10 nm ~ 150 nm、好ましくは10 nm ~ 50 nmとする。なお、平坦化処理を行った後に所望の単結晶半導体層112の膜厚が得られるようであれば、薄膜化処理を行わなくてもかまわない。

20

【0073】

以上の工程により、半導体基板111上に酸化膜103を介して単結晶半導体層112が設けられたSOI基板113を作製することができる。本実施の形態で示した作製方法を用いることによって、単結晶半導体基板101に含まれる金属などの不純物を除去した後に、単結晶半導体基板101にレーザ光を照射することにより、単結晶半導体基板101に存在する結晶成長時に導入された結晶欠陥やウエハ加工時に形成された結晶欠陥を効率良く低減することができる。また、単結晶半導体基板101に存在している結晶欠陥をあらかじめ低減しておくことによって、その後の工程において発生する結晶欠陥を低減することができる。さらに、単結晶半導体基板101の分割後に、単結晶半導体層112中及び表面に対して平坦化処理を行うことにより、単結晶半導体層112中及び表面の結晶欠陥を低減し、結晶性を回復させ、表面を平坦化することができる。その結果、単結晶半導体層112の結晶欠陥が低減され、結晶性に優れたSOI基板を作製することができる。

30

【0074】

また本実施の形態は図1に示した構成に限られず、例えば、図5乃至図7に示す構成としてもよい。図5に、半導体基板111上に絶縁膜106と酸化膜103を介して単結晶半導体層112を設けた構成を示す。絶縁膜106は、半導体基板111上に、酸化珪素、酸化窒化珪素、窒化珪素、窒化酸化珪素等の酸化性を有する材料を用いて形成する。絶縁膜106は、上記の材料を用いた単数の膜を用いたものであっても、複数の膜を積層して用いたものであってもよい。

40

【0075】

例えば、酸化珪素を絶縁膜106として用いる場合、絶縁膜106はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。絶縁

50

膜106の膜厚は、10nm～1000nm（好ましくは50nm～300nm）の厚さとすることができる。この場合、絶縁膜106の表面を酸素プラズマ処理で緻密化してもよい。また、窒化珪素を絶縁膜106として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD法等の気相成長法によって形成することができる。また、窒化酸化珪素膜を絶縁膜106として用いる場合、シランとアンモニアの混合ガス、又はシランと酸化窒素の混合ガスを用いてプラズマCVD等の気相成長法によって形成することができる。

【0076】

また絶縁膜106として、有機シランガスを用いて化学気相成長法により作製される酸化珪素を用いても良い。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

【0077】

なお、本明細書において、酸化窒化物とは、その組成として、窒素原子よりも酸素原子の数が多い物質とし、また、窒化酸化物とは、その組成として、酸素原子よりも窒素原子の数が多い物質とする。なお、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した場合に、濃度範囲として酸素が50～70原子%、窒素が0.5～15原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、Siが25～35原子%、水素が10～30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。

【0078】

半導体基板111上に絶縁膜106を形成した後に、表面に酸化膜103が形成され、表面から所定の深さの領域に脆化領域104が形成された単結晶半導体基板101（図1（A）乃至（E）参照）と半導体基板111とを絶縁膜106を介して接着する。次に、熱処理を行い脆化領域104において分割することにより、半導体基板111上に絶縁膜106及び酸化膜103を介して単結晶半導体層112を形成することができる。なお、該単結晶半導体層112に対して平坦化処理を行ってもよい。これらの方法は、図1（F）乃至（H）において示した方法を用いればよいので、詳しい説明を省略する。

【0079】

以上により、図5に示すSOI基板を作製することができる。なお、絶縁膜106を半導体基板111側に設ける例を示したが、本発明の一態様はこれに限定されず、単結晶半導体基板101側に設けることもできる。その場合は、単結晶半導体基板101の表面に形成されている酸化膜103上に形成することができる。

【0080】

熱酸化処理により得られる酸化膜は平滑性を有しているため、該酸化膜上に絶縁膜106を形成した場合は、絶縁膜106の平滑性も向上させることができる。よって、単結晶半導体基板と半導体基板との接着を良好に行うことができる。また、半導体基板111側に絶縁膜106を形成した場合は、半導体基板111の表面に凹凸があったとしても、平坦化する膜として機能させることができる。よって、単結晶半導体基板と半導体基板との接着を良好に行うことができる。

【0081】

図6に、半導体基板111上に酸化膜114と酸化膜103を介して単結晶半導体層112を設けた構成を示す。酸化膜114は、酸化膜103と同様にして、半導体基板111に熱酸化処理を行うことにより形成することができる。熱酸化処理はドライ酸化で行っても良いが、酸化性雰囲気中にハロゲンを添加した酸化を行うことが好ましい。酸化性雰囲気中にハロゲンを添加するためのガスとして、 HCl 、 HF 、 NF_3 、 HBr 、 Cl_2 、 DCE (Dichloroethylene)、 ClF_3 、 BCl_3 、 F_2 、 Br_2 などから選ばれた一種又は複数種を用いることができる。形成される酸化膜114の膜厚としては、 $10\text{nm} \sim 1000\text{nm}$ (好ましくは $50\text{nm} \sim 300\text{nm}$)とする。

【0082】

このようにして半導体基板111の表面に形成された酸化膜114は、酸化性雰囲気に含まれるハロゲンの作用により、酸化膜114中に金属などの不純物がゲッタリングされ、半導体基板111中の金属などの不純物の濃度が低下するか又は除去される。すなわち、ハロゲンの作用により、金属などの不純物が揮発性の塩化物となって気相中へ離脱され、単結晶半導体基板101から除去される。これは、単結晶半導体基板101の表面をCMPしたものに対して有効である。さらに、熱酸化処理による酸化膜114の形成を $900 \sim 1150$ の温度範囲で行うため、単結晶半導体基板101の結晶性の改善を行うことができる。

【0083】

半導体基板111の表面に酸化膜114を形成した後に、表面に酸化膜103が形成され、表面から所定の深さの領域に脆化領域104が形成された単結晶半導体基板101 (図1(A)乃至(E)参照)と半導体基板111とを酸化膜114及び酸化膜103を介して接着する。次に、熱処理を行い脆化領域104において分割することにより、半導体基板111上に酸化膜114及び酸化膜103を介して単結晶半導体層112を形成することができる。なお、該単結晶半導体層112に対して平坦化処理を行ってもよい。これらの方法は、図1(F)乃至(H)において示した方法を用いればよい。詳しい説明を省略する。以上により、図6に示すSOI基板を作製することができる。

【0084】

単結晶半導体基板101及び半導体基板111の表面に熱酸化処理による酸化膜を形成することによって、半導体基板111から単結晶半導体層112へ不純物が拡散し、単結晶半導体層112が汚染することを防ぐブロッキング層として機能する。また、熱酸化処理により得られる酸化膜は平滑性を有しているため、単結晶半導体基板と半導体基板との接着を良好に行うことができる。

【0085】

図7に、半導体基板111上に酸化膜114、絶縁膜106及び酸化膜103を介して単結晶半導体層112を設けた構成を示す。酸化膜114及び絶縁膜106は、上記に示した方法で形成することができる。なお、絶縁膜106は、単結晶半導体基板101及び半導体基板111のどちらか一方又は両方に設けることができる。

【0086】

半導体基板111に酸化膜114を形成し、該酸化膜114上に絶縁膜106を形成した後に、図1(D)と同様にして酸化膜103が形成されて、脆化領域104が形成された単結晶半導体基板101と貼り合わせる。図1(G)、(H)と同様の工程を行うことにより、図7に示すSOI基板を作製することができる。

【0087】

単結晶半導体基板101及び半導体基板111の表面に熱酸化処理による酸化膜を形成し、さらに絶縁膜106を形成することによって、半導体基板111から単結晶半導体層112へ不純物が拡散し、単結晶半導体層112が汚染することを防ぐブロッキング層として機能する。また、熱酸化処理により得られる酸化膜は平滑性を有しているため、該酸化膜上に絶縁膜106を形成することによって、絶縁膜106の平滑性も向上させることができる。よって、単結晶半導体基板と半導体基板との接着を良好に行うことができる。

10

20

30

40

50

【 0 0 8 8 】

本実施の形態では、塩素原子を含有する酸化膜 1 1 4 の形成方法として、塩化水素やジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、半導体基板 1 1 1 に酸化性雰囲気中で熱酸化処理を行い、半導体基板 1 1 1 表面に酸化膜 1 1 4 (例えば、 SiO_x) を形成した後、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより酸化膜 1 1 4 中に塩素原子を含有させてもよい。他にも、表面を塩化水素 (HCl) 溶液で処理した後、酸化性雰囲気中で熱酸化処理を行ってもよい。

【 0 0 8 9 】

本実施の形態は、他の実施の形態と自由に組み合わせて行うことができる。

10

【 0 0 9 0 】

以下において、本発明の特徴の一であるイオンの照射方法について考察する。

【 0 0 9 1 】

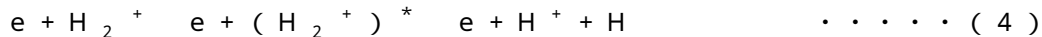
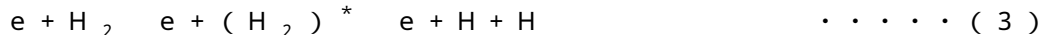
本発明の一態様では、水素 (H) に由来するイオン (以下「水素イオン種」と呼ぶ) を単結晶半導体基板に対して照射している。より具体的には、水素ガス又は水素を組成に含むガスを原材料として用い、水素プラズマを発生させ、該水素プラズマ中の水素イオン種を単結晶半導体基板に対して照射している。

【 0 0 9 2 】

(水素プラズマ中のイオン)

上記のような水素プラズマ中には、 H^+ 、 H_2^+ 、 H_3^+ といった水素イオン種が存在する。ここで、各水素イオン種の反応過程 (生成過程、消滅過程) について、以下に反応式を列挙する。

20



30

【 0 0 9 3 】

図 8 に、上記の反応の一部を模式的に表したエネルギーダイアグラムを示す。なお、図 8 に示すエネルギーダイアグラムは模式図に過ぎず、反応に係るエネルギーの関係を厳密に規定するものではない点に留意されたい。なお、以下の反応式は、実験的に観測されていないため、図 8 では、バツ印で示している。



【 0 0 9 4 】

(H_3^+ の生成過程)

40

上記のように、 H_3^+ は、主として反応式 (5) により表される反応過程により生成される。一方で、反応式 (5) と競合する反応として、反応式 (6) により表される反応過程が存在する。 H_3^+ が増加するためには、少なくとも、反応式 (5) の反応が、反応式 (6) の反応より多く起こる必要がある (なお、 H_3^+ が減少する反応としては他にも (7)、(8)、(9) が存在するため、(5) の反応が (6) の反応より多いからといって、必ずしも H_3^+ が増加するとは限らない。)。反対に、反応式 (5) の反応が、反応式 (6) の反応より少ない場合には、プラズマ中における H_3^+ の割合は減少する。

【 0 0 9 5 】

上記反応式における右辺 (最右辺) の生成物の増加量は、反応式の左辺 (最左辺) で示す原料の密度や、その反応に係る速度係数などに依存している。ここで、 H_2^+ の運動エネ

50

ルギーが約 11 eV より小さい場合には (5) の反応が主要となり (すなわち、反応式 (5) に係る速度係数が、反応式 (6) に係る速度係数と比較して十分に大きくなり)、 H_2^+ の運動エネルギーが約 11 eV より大きい場合には (6) の反応が主要となることが実験的に確認されている。

【0096】

荷電粒子は電場から力を受けて運動エネルギーを得る。該運動エネルギーは、電場によるポテンシャルエネルギーの減少量に対応している。例えば、ある荷電粒子が他の粒子と衝突するまでの間に得る運動エネルギーは、その間に通過した電位差分のポテンシャルエネルギーに等しい。つまり、電場中において、他の粒子と衝突することなく長い距離を移動できる状況では、そうではない状況と比較して、荷電粒子の運動エネルギー (の平均) は

10

【0097】

また、平均自由行程が小さくとも、その間に大きな運動エネルギーを得ることができる状況であれば、荷電粒子の運動エネルギーは大きくなる。すなわち、平均自由行程が小さくとも、電位差が大きい状況であれば、荷電粒子の持つ運動エネルギーは大きくなると言える。

【0098】

これを H_2^+ に適用してみる。プラズマの生成に係るチャンパー内のように電場の存在を前提とすれば、該チャンパー内の圧力が低い状況では H_2^+ の運動エネルギーは大きくなり、該チャンパー内の圧力が高い状況では H_2^+ の運動エネルギーは小さくなる。つまり、チャンパー内の圧力が低い状況では (6) の反応が主要となるため、 H_3^+ は減少する傾向となり、チャンパー内の圧力が高い状況では (5) の反応が主要となるため、 H_3^+ は増加する傾向となる。また、プラズマ生成領域における電場 (又は電界) が強い状況、すなわち、ある二点間の電位差が大きい状況では H_2^+ の運動エネルギーは大きくなり、反対の状況では、 H_2^+ の運動エネルギーは小さくなる。つまり、電場が強い状況では (6) の反応が主要となるため H_3^+ は減少する傾向となり、電場が弱い状況では (5) の反応が主要となるため、 H_3^+ は増加する傾向となる。

20

【0099】

(イオン源による差異)

30

ここで、イオン種の割合 (特に H_3^+ の割合) が異なる例を示す。図9は、100%水素ガス (イオン源の圧力: $4.7 \times 10^{-2}\text{ Pa}$) から生成されるイオンの質量分析結果を示すグラフである。なお、上記質量分析は、イオン源から引き出されたイオンを測定することにより行った。横軸はイオンの質量である。スペクトル中、質量1、2、3のピークは、それぞれ、 H^+ 、 H_2^+ 、 H_3^+ に対応する。縦軸は、スペクトルの強度であり、イオンの数に対応する。図9では、質量が異なるイオンの数量を、質量3のイオンを100とした場合の相対比で表している。図9から、上記イオン源により生成されるイオンの割合は、 $\text{H}^+ : \text{H}_2^+ : \text{H}_3^+ = 1 : 1 : 8$ 程度となることが分かる。なお、このような割合のイオンは、プラズマを生成するプラズマソース部 (イオン源) と、当該プラズマからイオンビームを引き出すための引出電極などから構成されるイオンドーピング装置によっ

40

【0100】

図10は、図9とは異なるイオン源を用いた場合であって、イオン源の圧力がおよそ $3 \times 10^{-3}\text{ Pa}$ の時に、 PH_3 から生成したイオンの質量分析結果を示すグラフである。上記質量分析結果は、水素イオン種に着目したものである。また、質量分析は、イオン源から引き出されたイオンを測定することにより行った。図10は、図9と同様、横軸はイオンの質量を示し、質量1、2、3のピークは、それぞれ H^+ 、 H_2^+ 、 H_3^+ に対応する。縦軸はイオンの数量に対応するスペクトルの強度である。図10から、プラズマ中のイオンの割合は $\text{H}^+ : \text{H}_2^+ : \text{H}_3^+ = 37 : 56 : 7$ 程度であることが分かる。なお、図10はソースガスが PH_3 の場合のデータであるが、ソースガスとして100%水素ガ

50

スを用いたときも、水素イオン種の割合は同程度になる。

【0101】

図10のデータを得たイオン源の場合には、 H^+ 、 H_2^+ 及び H_3^+ のうち、 H_3^+ が7%程度しか生成されていない。他方、図9のデータを得たイオン源の場合には、 H_3^+ の割合を50%以上(上記の条件では80%程度)とすることが可能である。これは、上記考察において明らかになったチャンバー内の圧力及び電場に起因するものと考えられる。

【0102】

(H_3^+ の照射メカニズム)

図9のような複数のイオン種を含むプラズマを生成し、生成されたイオン種を質量分離しないで単結晶半導体基板に照射する場合、単結晶半導体基板の表面には、 H^+ 、 H_2^+ 、 H_3^+ の各イオンが照射される。イオンの照射からイオン導入領域形成にかけてのメカニズムを再現するために、以下の5種類のモデルを考える。

1. 照射されるイオン種が H^+ で、照射後も H^+ (H)である場合。
2. 照射されるイオン種が H_2^+ で、照射後も H_2^+ (H_2)のままである場合。
3. 照射されるイオン種が H_2^+ で、照射後に2個の H (H^+)に分裂する場合。
4. 照射されるイオン種が H_3^+ で、照射後も H_3^+ (H_3)のままである場合。
5. 照射されるイオン種が H_3^+ で、照射後に3個の H (H^+)に分裂する場合。

【0103】

(シミュレーション結果と実測値との比較)

上記のモデルを基にして、水素イオン種をSi基板に照射する場合のシミュレーションを行った。シミュレーション用のソフトウェアとしては、SRIM(the Stopping and Range of Ions in Matter:モンテカル口法によるイオン導入過程のシミュレーションソフトウェア、TRIM(the Transport of Ions in Matter)の改良版)を用いている。なお、計算の関係上、モデル2では H_2^+ を質量2倍の H^+ に置き換えて計算した。また、モデル4では H_3^+ を質量3倍の H^+ に置き換えて計算した。さらに、モデル3では H_2^+ を運動エネルギー1/2の H^+ に置き換え、モデル5では H_3^+ を運動エネルギー1/3の H^+ に置き換えて計算を行った。

【0104】

なお、SRIMは非晶質構造を対象とするソフトウェアではあるが、高エネルギー、高ドーズの条件で水素イオン種を照射する場合には、SRIMを適用可能である。水素イオン種とSi原子の衝突により、Si基板の結晶構造が非単結晶構造に変化するためである。

【0105】

図11に、モデル1乃至モデル5を用いて水素イオン種をSi基板に照射した場合(H換算で10万個照射時)のSi基板中の水素原子数の計算結果を示す。また、図9の水素イオン種を照射したSi基板中の水素濃度(SIMS(Secondary Ion Mass Spectroscopy)のデータ)をあわせて示す。モデル1乃至モデル5を用いて行った計算の結果については、縦軸を水素原子の数で表しており(右軸)、SIMSデータについては、縦軸を水素原子の密度で表している(左軸)。横軸はSi基板表面からの深さである。実測値であるSIMSデータと、計算結果とを比較した場合、モデル2及びモデル4は明らかにSIMSデータのピークから外れており、また、SIMSデータ中にはモデル3に対応するピークも見られない。このことから、モデル2乃至モデル4の寄与は、相対的に小さいことが分かる。イオンの運動エネルギーが数keV程度であるのに対して、H-Hの結合エネルギーは数eV程度に過ぎないことを考えれば、モデル2及びモデル4の寄与が小さいのは、Si原子との衝突により、大部分の H_2^+ や H_3^+ が、 H^+ やHに分離しているためと思われる。

【0106】

以上より、モデル2乃至モデル4については、以下では考慮しない。図12乃至図14に、モデル1及びモデル5を用いて水素イオン種を照射した場合(H換算で10万個照射時)の計算結果を示す。また、図9の水素イオン種を照射したSi基板中の水素濃度(SI

10

20

30

40

50

M S データ) 及び、上記シミュレーション結果を S I M S データにフィッティングさせたもの(以下フィッティング関数と呼ぶ)を合わせて示す。ここで、図 1 2 は加速電圧を 8 0 k V とした場合を示し、図 1 3 は加速電圧を 6 0 k V とした場合を示し、図 1 4 は加速電圧を 4 0 k V とした場合を示している。なお、モデル 1 及びモデル 5 を用いて行った計算の結果については、縦軸を水素原子の数で表しており(右軸)、S I M S データ及びフィッティング関数については、縦軸を水素原子の密度で表している(左軸)。横軸は S i 基板表面からの深さである。

【 0 1 0 7 】

フィッティング関数はモデル 1 及びモデル 5 を考慮して以下の計算式により求めることとした。なお、計算式中、X、Y はフィッティングに係るパラメータであり、V は体積である。

[フィッティング関数]

$$= X / V \times [\text{モデル 1 のデータ}] + Y / V \times [\text{モデル 5 のデータ}]$$

【 0 1 0 8 】

現実に照射されるイオン種の割合 ($H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 程度) を考えれば H_2^+ の寄与(すなわち、モデル 3) についても考慮すべきであるが、以下に示す理由により、ここでは除外して考えた。

- ・モデル 3 に示される照射過程により導入される水素は、モデル 5 の照射過程と比較して僅かであるため、除外して考えても大きな影響はない(S I M S データにおいても、ピークが現れていない)。

- ・モデル 5 とピーク位置の近いモデル 3 は、モデル 5 において生じるチャネリング(結晶の格子構造に起因する原子の移動)により隠れてしまう可能性が高い。

すなわち、モデル 3 のフィッティングパラメータを見積もるのは困難である。これは、本シミュレーションが非晶質 S i を前提としており、結晶性に起因する影響を考慮していないことによるものである。

【 0 1 0 9 】

図 1 5 に、上記のフィッティングパラメータをまとめる。いずれの加速電圧においても、導入される H の数の比は、[モデル 1] : [モデル 5] = 1 : 4 2 ~ 1 : 4 5 程度(モデル 1 における H の数を 1 とした場合、モデル 5 における H の数は 4 2 以上 4 5 以下程度)であり、照射されるイオン種の数の比は、[H^+ (モデル 1)] : [H_3^+ (モデル 5)] = 1 : 1 4 ~ 1 : 1 5 程度(モデル 1 における H^+ の数を 1 とした場合、モデル 5 における H_3^+ の数は 1 4 以上 1 5 以下程度)である。モデル 3 を考慮していないことや非晶質 S i と仮定して計算していることなどを考えれば、実際の照射に係るイオン種の比 ($H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 程度) に近い値が得られていると言える。

【 0 1 1 0 】

(H_3^+ を用いる効果)

図 9 に示すような H_3^+ の割合を高めた水素イオン種を基板に照射することで、 H_3^+ に起因する複数のメリットを享受することができる。例えば、 H_3^+ は H^+ や H などに分離して基板内に導入されるため、主に H^+ や H_2^+ を照射する場合と比較して、イオンの導入効率を向上させることができる。これにより、半導体基板の生産性向上を図ることができる。また、同様に、 H_3^+ が分離した後の H^+ や H の運動エネルギーは小さくなる傾向にあるから、薄い半導体層の製造に向いている。

【 0 1 1 1 】

なお、本明細書では、 H_3^+ を効率的に照射するために、図 9 に示すような水素イオン種を照射可能なイオンドーピング装置を用いる方法について説明している。イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いて H_3^+ を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。一方で、 H_3^+ の照射を第一に考えるのであれば、イオンドーピング装置を用いることに限定して解釈する必要はない。

【 0 1 1 2 】

(実施の形態2)

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。具体的には、角(端部)に丸みを帯びている(エッジロールオフ(ERO)を有する)単結晶半導体基板を用いる場合について説明する。また、単結晶半導体基板を繰り返し利用する(再利用)する場合に関して図面を参照して説明する。なお、本実施の形態において、上記実施の形態と同様の部分には同じ符号を付し、詳しい説明を省略する。

【0113】

まず、表面に酸化膜103が設けられ、表面から所定の深さの領域に脆化領域104が形成された単結晶半導体基板101(ここでは、単結晶シリコン基板)を準備する(図16(A)参照)。図16(A)については、上述した図1(A)乃至(E)において示した方法を用いればよい。ため、詳しい説明を省略する。

10

【0114】

本実施の形態では、図16(A)に示すように、単結晶半導体基板101の角(端部)は丸みを帯びているため、当該端部の表面に酸化膜103が形成される。

【0115】

次いで、半導体基板111を準備し(図16(B))、酸化膜103と半導体基板111の一方の面とが向かい合うようにボンディング(接着)する(図16(C))。

【0116】

次いで、加熱処理を行い脆化領域104にて分離することにより、半導体基板111上に酸化膜103を介して単結晶半導体層112を形成する(図16(D))。

20

【0117】

以上の工程により、半導体基板111上に酸化膜103を介して単結晶半導体層112を形成することができる(図16(E))。なお、単結晶半導体層112の表面に凹凸がある場合には、当該SOI基板を用いてデバイスを形成する前に表面の平坦化処理を行うことが好ましい。平坦化処理は、上記図1(H)で示したようにCMP、エッチング処理、レーザ光の照射のいずれか一又は複数の方法を組み合わせて行うことができる。平坦化処理を行うことにより、単結晶半導体層112中及び表面の結晶欠陥を低減し、単結晶半導体層の結晶性を回復させることができる。

【0118】

図16(A)乃至図16(E)については、上述した実施の形態1において示した方法を用いれば良い。ため、詳しい説明を省略する。

30

【0119】

次いで、分離された単結晶半導体基板105を繰り返し利用する工程(半導体基板再生処理)について説明する。

【0120】

単結晶半導体基板101は、エッジロールオフの影響により、単結晶半導体基板101の端部において半導体基板111との貼り合わせが十分に行われない場合がある。その結果、端部において単結晶半導体基板105は脆化領域104にて分離されず、酸化膜103等が残存する場合がある(図16(F))。

40

【0121】

そこで、単結晶半導体基板105の端部における残渣部107を除去する(図16(G))。残渣部107は、ウェットエッチング処理を行うことにより除去することができる。具体的には、フッ化水素酸とフッ化アンモニウムと界面活性剤を含む混合溶液(例えば、ステラケミファ社製、商品名:LAL500)をエッチャントとして用いてウェットエッチングを行う。

【0122】

また、水素イオンが導入された脆化領域104は、TMAH(Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド)に代表される有機アルカリ性水溶液を用いてウェットエッチングすることにより、除去する

50

ことができる。このような処理を行うことにより、単結晶半導体基板 105 の端部における残渣物による段差が緩和される。

【0123】

次いで、単結晶半導体基板 105 をハロゲン雰囲気中で酸化することにより、酸化膜 108 を形成し（図 16（H））、その後当該酸化膜 108 を除去する。ハロゲンとしては HCl を用いることができる。このように熱酸化処理により酸化膜 108 を形成した後、当該酸化膜 108 の除去を行うことによって、ハロゲン元素によるゲッタリング効果を得ることができる。ゲッタリング効果としては、SOI 基板作製時に導入された金属などの不純物を除去する効果が得られる。すなわち、塩素の作用により、金属などの不純物が揮発性の塩化物となって気相中へ離脱して除去される。

10

【0124】

次いで、単結晶半導体基板に平坦化処理を行う。平坦化処理としては、CMP、ドライエッチング処理、またはウェットエッチング処理、レーザ光の照射、のいずれか一、又は複数の方法を組み合わせて行うことができる。本実施の形態では、単結晶半導体基板 105 にレーザ光の照射を行う（図 16（I））。単結晶半導体基板 105 にレーザ光を照射することにより、単結晶半導体基板 105 を溶融させることができる。単結晶半導体基板 105 は、レーザ光によって溶融された部分が冷却し、固化するため、平坦性が向上される。また、レーザの照射により平坦性の向上とともに、単結晶半導体基板 105 の結晶欠陥が減少し、単結晶半導体基板 105 の結晶性を向上させることができる（図 16（J））。

20

【0125】

単結晶半導体基板 105 にレーザ光を照射する具体的な方法は、図 1（C）と同様にして行うことができるため説明を省略する。但し、単結晶半導体基板 105 に、単結晶半導体層の分離と再生処理を繰り返し行うことにより、単結晶半導体基板 105 の厚みは徐々に薄くなっていく。そこで、図 16（I）に示すレーザ光照射工程において、単結晶半導体基板の厚みに最適な波長、つまり単結晶半導体基板への光の侵入長が単結晶半導体基板の板厚と同程度の波長を有する CW レーザ光に適宜変更する。波長可変のレーザを用いると、単結晶半導体基板の膜厚が徐々に薄くなっていても、一台のレーザで単結晶半導体基板の板厚に対応できるため効率が良い。このように、単結晶半導体基板の板厚に適宜使用する CW レーザ光の波長を変更し、レーザ光の照射を行うことで、単結晶半導体基板を最大限再利用することができる。

30

【0126】

単結晶半導体基板 105 にレーザ光を照射しても、単結晶半導体基板 105 の端部において、単結晶半導体層 112 の分離による段差が残っている場合がある。その場合には、レーザ光を照射した後に、CMP により平坦化することが好ましい。その結果、単結晶半導体基板 105 の端部における段差を除去し、単結晶半導体基板 105 の表面を平坦にすることができる。なお、レーザ光の照射により、所望の平坦性が得られるようであれば、平坦化工程は省略してもかまわない。

【0127】

以上の工程により、結晶欠陥が低減され、結晶性の高い単結晶半導体基板 105 を得ることができる。再生処理が行われた単結晶半導体基板 105 を用いて SOI 基板を作製する際には、図 1（D）の工程から作製することができる。

40

【0128】

このような再生処理を行うことにより、単結晶半導体基板 105 を用いて SOI 基板を作製した場合であっても、結晶欠陥が低減された SOI 基板を作製することができる。また、単結晶半導体基板の再生処理工程により単結晶半導体基板を繰り返し利用することによって、低コスト化を図ることができる。また、本実施の形態で示した単結晶半導体基板の再生面を十分に平坦化することができるため、単結晶半導体基板と半導体基板との密着性を向上させ、貼り合わせ不良を低減することができる。

【0129】

50

本実施の形態は、他の実施の形態と自由に組み合わせて行うことができる。

【0130】

(実施の形態3)

本実施の形態では、実施の形態1又は実施の形態2で作製したSOI基板を用いた半導体装置の作製方法について説明する。ここでは、半導体装置としてCMOS構造を作製する一例を、図17を用いて説明する。なお、本実施の形態において、上記実施の形態と同様の部分には同じ符号を付し、詳しい説明を省略する。

【0131】

実施の形態1によれば、SOI基板の単結晶半導体層112の厚さを100nm又はそれ以下とすることができる。単結晶半導体層112の厚さを100nm又はそれ以下とすると、トランジスタのチャネル形成領域の空乏層の最大深さより薄くなり、顕著なトランジスタの電気特性をもたらす。トランジスタのチャネル領域の十分な空乏層化により良好なS値、しきい値電圧などを得ることができる。さらに、CMOS構造を作製した場合、早いスイッチング速度を得ることができる。

10

【0132】

まず、実施の形態1に従ってSOI基板を得た後、単結晶半導体層112上に素子分離絶縁層を形成するためのマスクとなる保護層206を形成する。この段階の工程断面図が図17(A)に相当する。保護層206は酸化シリコン膜や窒化シリコン膜などを用いる。

【0133】

なお、しきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を単結晶半導体層112に添加しておくことが好ましい。例えば、p型不純物として硼素を $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加されていてもよい。

20

【0134】

次いで、保護層206をマスクとしてエッチングを行い、露呈している単結晶半導体層112及びその下方の酸化膜103の一部を除去する。次いで、TEOSを用いて酸化シリコン膜を化学気相成長法で堆積する。この酸化シリコン膜は、単結晶半導体層112が埋め込まれるように厚く堆積する。次いで、単結晶半導体層112に重なる酸化シリコン膜を研磨により除去した後、保護層206を除去して、素子分離絶縁層207を残存させる。この段階の工程断面図が図17(B)に相当する。

【0135】

次いで、第1の絶縁膜を形成し、第1の絶縁膜上に導電材料を含むポリシリコン膜を有するゲート電極209を形成し、ゲート電極209をマスクとして第1の絶縁膜をエッチングしてゲート絶縁層208を形成する。ゲート絶縁層208は、PECVD法又はスパッタリング法等を用いて得られる酸化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタルを含む膜の単層、又はこれらの積層である。ゲート絶縁層208は、PECVD法を行うことにより単結晶半導体層112の表面を覆って薄い膜厚、例えば20nmの膜厚で形成することができる。また、高密度プラズマ処理により単結晶半導体層112の表面を酸化又は窒化することで形成してもよい。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、単結晶半導体層112の表面を酸化又は窒化することにより、1~50nm、望ましくは5~30nmの絶縁膜が単結晶半導体層112に接するように形成される。実施の形態1に示すように、平坦化処理を行うことにより、単結晶半導体層の表面が十分に平坦化されるため、厚さ20nmの絶縁膜をゲート絶縁層208として用いても、十分なゲート耐圧を得ることができる。この段階の工程断面図が図17(C)に相当する。

30

40

【0136】

次いで、ゲート電極209を覆う第2の絶縁膜210を形成し、nFETとなる領域にA

50

sなどをドーピングして浅い接合深さの第1不純物領域211を形成し、pFETとなる領域にBなどをドーピングして浅い接合深さの第2の不純物領域212を形成する。さらに、サイドウォール絶縁層213、214を形成する。pFETとなる領域のサイドウォール絶縁層214は、nFETとなる領域のサイドウォール絶縁層213よりも幅を広くする。この段階の工程断面図が図17(C)に相当する。

【0137】

次いで、第2の絶縁膜210を部分的にエッチングしてゲート電極209の上面と、第1不純物領域211及び第2不純物領域212とを露出させる。次いで、nFETとなる領域にAsなどをドーピングして深い接合深さの第3不純物領域215を形成し、pFETなる領域にBなどをドーピングして深い接合深さの第4不純物領域216を形成する。次いで、活性化のための熱処理(800 ~ 1100)を行う。次いで、シリサイドを形成するための金属膜としてコバルト膜を成膜する。次いで、RTAなどの熱処理(500、1分)を行い、コバルト膜に接する部分のシリコンをシリサイド化させる。その後、コバルト膜を選択的に除去することにより、シリサイド217、218、219を形成する。次いで、シリサイド化の熱処理よりも高い温度で熱処理を行い、シリサイド部分の低抵抗化を図る。この段階の工程断面図が図17(D)に相当する。

【0138】

次いで、層間絶縁膜220を形成し、深い接合深さの第3不純物領域215や深い接合深さの第4不純物領域216に達するコンタクトプラグ221を形成する。こうして半導体基板111に接合された単結晶半導体層112を用いてnFET222とpFET223とが作製できる。この段階の工程断面図が図17(E)に相当する。

【0139】

これらのnFET222とpFET223を相補的に組み合わせることによってCMOS構造を構成することができる。

【0140】

このようにして、本発明の一態様に係るSOI基板を用いてトランジスタを作製することができる。本発明の一態様に係るSOI基板の単結晶半導体層は、結晶欠陥がほとんどなく、その表面が平坦化され、さらにその厚さを50nm以下と薄膜化されている。このことにより、SOI基板に低い駆動電圧、高い電界効果移動度、小さいサブスレッショルド値など、すぐれた特性を備えたトランジスタを作製することができる。さらに、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。すなわち、本発明の一態様に係るSOI基板を用いることによって、しきい値電圧や移動度などトランジスタ特性として重要な特性値の不均一性が抑制され、また高性能化が可能になる。なお、本実施の形態においては、半導体基板111上に、酸化膜103、及び単結晶半導体層112が順に設けられた構造のSOI基板を用いて説明しているが、本発明はこれに限定して解釈されるものではない。

【0141】

(実施の形態4)

本実施の形態では、実施の形態3と異なる高性能及び高信頼性な半導体素子を有する半導体装置を、歩留まりよく作製することを目的とした半導体装置の作製方法の一例について説明する。なお、本実施の形態に示す半導体装置の作製方法では、半導体層と配線との接続に係る開口が自己整合的に形成されることを特徴としている。なお、本実施の形態において、上記実施の形態と同様の部分には同じ符号を付し、詳しい説明を省略する。

【0142】

はじめに、実施の形態1などに示した方法を用いて作製したSOI基板を用意する。本実施の形態においては、半導体基板111上に、酸化膜114、酸化膜103、及び単結晶半導体層112が順に設けられた構造のSOI基板を用いて説明する。そして、該半導体基板における半導体層を島状にパターンニングして島状半導体層606を形成した後、ゲート絶縁層として機能する絶縁層608、及びゲート電極(又は配線)として機能する導電層を順に形成する。本実施の形態では、ゲート電極として機能する導電層を二層構造で形

成するが、本発明はこれに限定されるものではない。ここで、絶縁層 608 は、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素などの材料を用いて、CVD 法やスパッタリング法などにより形成することができる。絶縁層 608 の厚さは 5 nm 以上 100 nm 以下程度とすれば良い。また、導電層は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等の材料を用いて、CVD 法やスパッタリング法などにより形成することができる。導電層の厚さは、100 nm 以上 500 nm 以下程度となるようにすれば良い。なお、本実施の形態では、絶縁層 608 を酸化珪素 (厚さ 20 nm) にて形成し、導電層 (下層) を窒化タンタル (厚さ 50 nm) にて形成し、導電層 (上層) をタングステン (厚さ 200 nm) にて形成する場合について説明する。

10

【0143】

なお、上記の半導体層には、トランジスタの閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型を付与する不純物や、リン、砒素などの n 型を付与する不純物を添加しても良い。例えば、p 型を付与する不純物として硼素を添加する場合、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度で添加すれば良い。また、半導体層に対して水素化処理を行っても良い。水素化処理は、例えば、水素雰囲気中において 350、2 時間程度行う。

【0144】

次に、上記のゲート電極として機能する導電層をパターニングする。なお、本実施の形態における薄膜トランジスタの製造方法では、上記の導電層に対して少なくとも二度のパターニングを行うが、ここでは、そのうちの一度目のパターニングを行う。これにより、最終的に形成されるゲート電極より一回り大きい導電層 610、及び導電層 612 が形成される。ここで、「一回り大きい」とは、二度目のパターニング工程において用いられるゲート電極形成用のレジストマスクを、導電層 610、及び導電層 612 の位置に合わせて形成できる程度の大きさをいうものとする。なお、上記二度のパターニングは、導電層の島状半導体層 606 と重なる領域に対して行えば良いものであり、導電層全面に対して二度のパターニングを行う必要はない。

20

【0145】

その後、上記の絶縁層 608、導電層 610、及び導電層 612 を覆うように、絶縁層 614 を形成する (図 18 (A)、図 20 (A) 参照)。ここで、絶縁層 614 は、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムなどの材料を用いて、CVD 法やスパッタリング法などにより形成することができる。絶縁層 614 の厚さは 0.5 μm 以上 2 μm 以下程度とすることが好ましい。本実施の形態では、一例として、絶縁層 614 を酸化珪素 (厚さ 1 μm) にて形成する場合について説明する。

30

【0146】

なお、図 18 (A) は、平面図である図 20 (A) の P - Q における断面に対応する図である。同様に、図 18 (B) と図 20 (B) が対応し、図 18 (D) と図 20 (C) が対応し、図 19 (C) と図 20 (D) が対応する。図 20 に示す平面図では、簡単のため、対応する断面図における一部の構成要素を省略している。

40

【0147】

次に、上記の絶縁層 614 上に、パターニング工程において用いるゲート電極形成用のレジストマスク 616 を形成する。該パターニング工程は、上記導電層に対する二度のパターニングのうち、二度目のパターニング工程に当たるものである。レジストマスク 616 は、感光性物質であるレジスト材料を塗布した後、パターンを露光することで形成できる。レジストマスク 616 の形成後には、該レジストマスク 616 を用いて、導電層 610、導電層 612、及び絶縁層 614 をパターニングする。具体的には絶縁層 614 を選択的にエッチングして絶縁層 622 を形成した後、導電層 610、及び導電層 612 を選択的にエッチングしてゲート電極として機能する導電層 618、導電層 620 を形成する (図 18 (B)、図 20 (B) 参照)。ここで、絶縁層 614 を選択的にエッチングする際

50

には、ゲート絶縁層として機能する絶縁層 608 の一部も同時にエッチングされる。

【0148】

次に、レジストマスク 616 を除去した後、島状半導体層 606、絶縁層 608、導電層 618、導電層 620、絶縁層 622 などを覆うように、絶縁層 624 を形成する。絶縁層 624 は後のサイドウォール形成時のバリア層として機能する。絶縁層 624 は、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどの材料を用いて形成することができるが、バリア層として機能させるためには、後のサイドウォールに用いられる材料とエッチング時の選択比が取れる材料を用いて形成することが好ましいと言える。絶縁層 624 の厚さは 10 nm 以上 200 nm 以下程度とすれば良い。本実施の形態では、絶縁層 624 を、窒化珪素（厚さ 50 nm）を用いて形成することとする。

10

【0149】

絶縁層 624 の形成後には、導電層 618、導電層 620、絶縁層 622 等をマスクとして、一導電型を付与する不純物元素を島状半導体層 606 に添加する。本実施の形態では、島状半導体層 606 に n 型を付与する不純物元素（例えばリンや砒素）を添加する。該不純物の添加により、島状半導体層 606 に不純物領域 626 が形成される（図 18（C）参照）。なお、本実施の形態においては、絶縁層 624 を形成した後に、n 型を付与する不純物元素を添加する構成としたが、本発明はこれに限られない。例えば、レジストマスクを除去した後、又は除去する前に上記の不純物元素を添加し、その後、絶縁層 624 を形成する構成としてもよい。また、添加する不純物元素を、p 型を付与する不純物元素

20

【0150】

次に、サイドウォール 628 を形成する（図 18（D）、図 20（C）参照）。サイドウォール 628 は、絶縁層 624 を覆うように絶縁層を形成し、該絶縁層に対して垂直方向を主体とした異方性エッチングを適用することで形成することができる。上記異方性エッチングにより、絶縁層が選択的にエッチングされることになるためである。絶縁層は、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどの材料を用いて、CVD 法やスパッタリング法などにより形成することができる。また、有機材料を含む膜を、スピンコートなどにより形成しても良い。本実施の形態においては、絶縁層の材料として酸化珪素を用いることとする。すなわち、サイドウォール 628 は酸化珪素により形成される。また、上記エッチングガスとしては、例えば、 CHF_3 とヘリウムの混合ガスを用いることができる。なお、サイドウォール 628 を形成する工程はこれらに限定されない。

30

【0151】

次に、絶縁層 622、サイドウォール 628 などをマスクとして、島状半導体層 606 に一導電型を付与する不純物元素を添加する。なお、島状半導体層 606 には、先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。つまり、本実施の形態においては、n 型を付与する不純物元素を添加することになる。

【0152】

上記不純物元素の添加により、島状半導体層 606 に、チャンネル形成領域 630 と、低濃度不純物領域 632 と、高濃度不純物領域 634 が形成される。低濃度不純物領域 632 は LDD（Lightly Doped Drain）領域として機能し、高濃度不純物領域 634 はソース又はドレインとして機能する。

40

【0153】

次に、絶縁層 624 をエッチングして、高濃度不純物領域に達する開口（コンタクトホール）を形成する（図 19（A）参照）。本実施の形態においては、酸化珪素を用いて絶縁層 622、及びサイドウォール 628 を形成し、窒化珪素を用いて絶縁層 624 を形成しているため、絶縁層 624 を選択的にエッチングして開口を形成することができる。

【0154】

上記高濃度不純物領域に達する開口を形成した後、絶縁層 614 を選択的にエッチングす

50

ることにより、開口 6 3 6 を形成する（図 1 9（B）参照）。開口 6 3 6 は、高濃度不純物領域に達する開口と比較して大きく形成されることになる。これは、開口 6 3 6 は、プロセスルールやデザインルールに従ってその最小線幅が決まるのに対して、高濃度不純物領域に達する開口は、自己整合的に形成されることでより微細化されるためである。

【0155】

その後、上記高濃度不純物領域に達する開口及び開口 6 3 6 を介して、島状半導体層 6 0 6 の高濃度不純物領域 6 3 4 及び導電層 6 2 0 に接する導電層を形成する。該導電層は、CVD 法やスパッタリング法等により形成することができる。材料としては、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガ
ン（Mn）、ネオジム（Nd）、炭素（C）、珪素（Si）等を用いることができる。また、上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。また、上記導電層は、単層構造としても良いし、積層構造としても良い。本実施の形態においては、チタンとアルミニウムとチタンとの三層構造とする場合を示す。

10

【0156】

上記導電層を選択的にエッチングすることにより、ソース電極又はドレイン電極（ソース配線又はドレイン配線）として機能する導電層 6 3 8、導電層 6 4 0 及び導電層 6 4 2、導電層 6 2 0 と接続されて配線として機能する導電層 6 4 4、導電層 6 4 6 及び導電層 6 4 8 を形成する（図 1 9（C）、図 2 0（D）参照）。以上の工程により、島状半導体層 6 0 6 と、ソース電極又はドレイン電極として機能する導電層との接続を自己整合的に形
成したトランジスタが完成する。

20

【0157】

このようにして、本発明の一態様に係る SOI 基板を用いてトランジスタを作製することができる。本発明の一態様に係る SOI 基板の単結晶半導体層は、結晶欠陥がほとんどなく、ゲート電極層との界面準位密度が低減された単結晶半導体層であり、その表面が平坦化され、さらにその厚さを 50 nm 以下と薄膜化されている。このことにより、SOI 基板に、低い駆動電圧、高い電界効果移動度、小さいサブスレッショルド値など、優れた特性を備えたトランジスタを作製することができる。さらに、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。すなわち、本発明の一態様に係る SOI 基板を用いることによって、しきい値電圧や移動度などトラ
ンジスタ特性として重要な特性値の不均一性が抑制され、また高性能化が可能になる。なお、本実施の形態においては、半導体基板 1 1 1 上に、酸化膜 1 1 4、酸化膜 1 0 3、及び単結晶半導体層 1 1 2 が順に設けられた構造の SOI 基板を用いて説明しているが、本発明はこれに限定して解釈されるものではない。

30

【0158】

また、本実施の形態において示した方法により、ソース電極又はドレイン電極の接続関係を自己整合的に形成することができるため、トランジスタの構造を微細化することができる。つまり、半導体素子の集積度を向上することができるようになる。また、チャンネル長や低濃度不純物領域の長さを自己整合的に規定することができるため、微細化において問題となるチャンネルの抵抗のばらつきを抑制することができる。すなわち、特性の優れたト
ランジスタを提供することができる。

40

【0159】

従って、本発明の一態様に係る SOI 基板を用いてトランジスタなど各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。

【0160】

（実施の形態 5）

実施の形態 3 及び実施の形態 4 を参照してトランジスタの作製方法を説明したが、トランジスタの他、容量、抵抗などトランジスタと共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。なお、本実施の形態において、上記実施の形態と同様の部分に

50

は同じ符号を付し、詳しい説明を省略する。

【0161】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図21はマイクロプロセッサ500の構成例を示すブロック図である。

【0162】

マイクロプロセッサ500は、演算回路501(Arithmetic logic unit。ALUともいう。)、演算回路制御部502(ALU Controller)、命令解析部503(Instruction Decoder)、割り込み制御部504(Interrupt Controller)、タイミング制御部505(Timing Controller)、レジスタ506(Register)、レジスタ制御部507(Register Controller)、バスインターフェース508(Bus I/F)、読み出し専用メモリ509、およびメモリアインターフェース510を有している。

10

【0163】

バスインターフェース508を介してマイクロプロセッサ500に入力された命令は、命令解析部503に入力され、デコードされた後、演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505は、デコードされた命令に基づき様々な制御を行う。

【0164】

演算回路制御部502は、演算回路501の動作を制御するための信号を生成する。また、割り込み制御部504は、マイクロプロセッサ500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部504は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部507は、レジスタ506のアドレスを生成し、マイクロプロセッサ500の状態に応じてレジスタ506の読み出しや書き込みを行う。

20

【0165】

例えば、タイミング制御部505は、演算回路501、演算回路制御部502、命令解析部503、割り込み制御部504、およびレジスタ制御部507の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部505は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えている。図21に示すように、内部クロック信号CLK2は他の回路に入力される。

30

【0166】

このようなマイクロプロセッサ500は、結晶欠陥が低減され、結晶方位が一定の単結晶半導体層112によって集積回路が形成されているので、処理速度の高速化のみならず、低消費電力化を図ることができる。

【0167】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図22は、このような半導体装置の構成例を示すブロック図である。図22に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RF CPU」という)と呼ぶことができる。

40

【0168】

図22に示すように、RF CPU 511は、アナログ回路部512とデジタル回路部513を有している。アナログ回路部512として、共振容量を有する共振回路514、整流回路515、定電圧回路516、リセット回路517、発振回路518、復調回路519と、変調回路520を有している。デジタル回路部513は、RFインターフェース521、制御レジスタ522、クロックコントローラ523、CPUインターフェース524、中央処理ユニット525、ランダムアクセスメモリ526、読み出し専用メモリ527を有している。

【0169】

50

R F C P U 5 1 1 の動作の概要は以下の通りである。アンテナ 5 2 8 が受信した信号は共振回路 5 1 4 により誘導起電力を生じる。誘導起電力は、整流回路 5 1 5 を経て容量部 5 2 9 に充電される。この容量部 5 2 9 はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 5 2 9 は、R F C P U 5 1 1 を構成する基板に集積されている必要はなく、他の部品として R F C P U 5 1 1 に組み込むこともできる。

【 0 1 7 0 】

リセット回路 5 1 7 は、デジタル回路部 5 1 3 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 5 1 8 は、定電圧回路 5 1 6 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 5 1 9 は、受信信号を復調する回路であり、変調回路 5 2 0 は、送信するデータを変調する回路である。

10

【 0 1 7 1 】

例えば、復調回路 5 1 9 はローパスフィルタで形成され、振幅変調 (A S K) 方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調 (A S K) 方式の送信信号の振幅を変動させて送信するため、変調回路 5 2 0 は、共振回路 5 1 4 の共振点を変化させることで通信信号の振幅を変化させている。

【 0 1 7 2 】

クロックコントローラ 5 2 3 は、電源電圧または中央処理ユニット 5 2 5 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 5 3 0 が行っている。

20

【 0 1 7 3 】

アンテナ 5 2 8 から R F C P U 5 1 1 に入力された信号は復調回路 5 1 9 で復調された後、R F インターフェース 5 2 1 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 5 2 2 に格納される。制御コマンドには、読み出し専用メモリ 5 2 7 に記憶されているデータの読み出し、ランダムアクセスメモリ 5 2 6 へのデータの書き込み、中央処理ユニット 5 2 5 への演算命令などが含まれている。

【 0 1 7 4 】

中央処理ユニット 5 2 5 は、インターフェース 5 2 4 を介して読み出し専用メモリ 5 2 7 、ランダムアクセスメモリ 5 2 6 、制御レジスタ 5 2 2 にアクセスする。インターフェース 5 2 4 は、中央処理ユニット 5 2 5 が要求するアドレスより、読み出し専用メモリ 5 2 7 、ランダムアクセスメモリ 5 2 6 、制御レジスタ 5 2 2 のいずれかに対するアクセス信号を生成する機能を有している。

30

【 0 1 7 5 】

中央処理ユニット 5 2 5 の演算方式は、読み出し専用メモリ 5 2 7 に O S (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット 5 2 5 が処理する方式を適用できる。

40

【 0 1 7 6 】

このような R F C P U は、結晶欠陥が低減され、結晶方位が一定の単結晶半導体層 1 1 2 によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部 5 2 9 を小型化しても長時間の動作が保証される。

【 0 1 7 7 】

(実施の形態 6)

本実施の形態では、本発明の一態様に係る S O I 基板を用いたエレクトロルミネセンス表示装置 (以下、E L 表示装置という。) について図 2 3 を参照して説明する。図 2 3 (A) は E L 表示装置の画素の平面図であり、図 2 3 (B) は、J - K 切断線による図 2 3 (

50

A)の断面図である。図23では、上面射出型(トップエミッション型)の構成とした場合を示し、図中に示す矢印の方向に光を放出する構成としている。

【0178】

図23(A)に示すように、画素は、トランジスタでなる選択用トランジスタ401、表示制御用トランジスタ402、走査線405、信号線406、及び電流供給線407、画素電極408を含む。エレクトロルミネセンス材料を含んで形成される層(EL層)が一对の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極408である。

【0179】

選択用トランジスタ401が有する単結晶半導体層403、表示制御用トランジスタ402が有する単結晶半導体層404は、本発明の一態様に係る半導体基板111に接着された単結晶半導体層112から形成された層であり、金属などの不純物が除去され、結晶欠陥の低減がなされたものである。

【0180】

また、単結晶半導体層403は、選択用トランジスタ401のチャネル形成領域、ソース領域およびドレイン領域が形成されている。単結晶半導体層404は、表示制御用トランジスタ402のチャネル形成領域、ソース領域およびドレイン領域が形成されている。

【0181】

選択用トランジスタ401において、ゲート電極は走査線405に含まれ、ソース電極またはドレイン電極の一方は信号線406に含まれ、他方は電極411として形成されている。表示制御用トランジスタ402は、ゲート電極412が電極411と電氣的に接続され、ソース電極またはドレイン電極の一方は、画素電極408に電氣的に接続される電極413として形成され、他方は、電流供給線407に含まれている。

【0182】

表示制御用トランジスタ402はpチャネル型のFETである。図23(B)に示すように、単結晶半導体層404には、チャネル形成領域451、およびp型の不純物領域452が形成されている。なお、SOI基板は、実施の形態1及び実施の形態2で作製したSOI基板が用いられている。

【0183】

表示制御用トランジスタ402のゲート電極412を覆って、層間絶縁膜427が形成されている。層間絶縁膜427上に、信号線406、電流供給線407、電極413などが形成されている。また、層間絶縁膜427上には、電極413に電氣的に接続されている画素電極408が形成されている。画素電極408は周辺部が絶縁性の隔壁層428で囲まれている。画素電極408上にはEL層429が形成され、EL層429上には対向電極430が形成されている。補強板として対向基板431が設けられており、対向基板424は樹脂層425により半導体基板111に固定されている。

【0184】

EL表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとにトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。しかし、本発明の一態様に係るSOI基板の作製方法により作製されたSOI基板は結晶欠陥がほとんどないため、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。従って、本発明の一態様に係るSOI基板を用いてEL表示装置を作製することで、選択用トランジスタ401および表示制御用トランジスタ402は画素ごとに特性のばらつきが低減されるため、電流駆動方式を採用することができる。

【0185】

(実施の形態7)

本発明の一態様に係るSOI基板を用いてトランジスタ等の半導体装置を作製し、この半導体装置を用いてさまざまな電子機器を完成することができる。本発明の一態様に係るS

10

20

30

40

50

ＯＩ基板に設けられた単結晶半導体層は不純物濃度が低減されているため、活性層として用いることで、リーク電流が低減し、電気的特性が向上した半導体素子を製造することができる。また、当該単結晶半導体層は結晶欠陥が低減されているため、ゲート絶縁層との界面において、局在準位密度を低減させることが可能となる。さらに、単結晶半導体層が高い平坦性を有するため、単結晶半導体層上に、薄く、且つ高い絶縁耐圧を有するゲート絶縁層を形成することができ、作製される半導体素子の移動度の向上、Ｓ値の向上または短チャネル効果抑制を実現することができる。すなわち、本発明の一態様に係るＳＯＩ基板を用いることで、電流駆動能力が高く、かつ信頼性の高い半導体素子を作製することが可能になる。その結果、最終製品としての電子機器をスループット良く、良好な品質で作製することができる。この半導体素子を用いて、さまざまな半導体装置を作製することができる。本実施の形態では、図面を用いて具体的な例を説明する。なお、本実施の形態において、上記実施の形態と同様の部分には同じ符号を付し、詳しい説明を省略する。

10

【０１８６】

図２４（Ａ）は表示装置であり、筐体９０１、支持台９０２、表示部９０３、スピーカ部９０４、ビデオ入力端子９０５などを含む。この表示装置は、他の実施の形態で示した作製方法により形成したトランジスタを駆動ＩＣや表示部９０３などに用いることにより作製される。なお、表示装置には液晶表示装置、発光表示装置などがあり、用途別にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。具体的には、ディスプレイ、ヘッドマウントディスプレイ、反射型プロジェクターなどを挙げることができる。

20

【０１８７】

図２４（Ｂ）はコンピュータであり、筐体９１１、表示部９１２、キーボード９１３、外部接続ポート９１４、ポインティングデバイス９１５などを含む。本発明の一態様を用いて作製されたトランジスタは、表示部９１２の画素部だけではなく、表示用の駆動ＩＣ、本体内部のＣＰＵ、メモリなどの半導体装置にも適用が可能である。

【０１８８】

また、図２４（Ｃ）は携帯電話であり、携帯用の情報処理端末の１つの代表例である。この携帯電話は筐体９２１、表示部９２２、操作キー９２３などを含む。本発明の一態様を用いて作製されたトランジスタは表示部９２２の画素部やセンサ部９２４だけではなく、表示用の駆動ＩＣ、メモリ、音声処理回路などに用いることができる。センサ部９２４は光センサ素子を有しており、センサ部９２４で得られる照度に合わせて表示部９２２の輝度コントロールを行うことや、センサ部９２４で得られる照度に合わせて操作キー９２３の照明を抑えることによって、携帯電話の消費電力を抑えることができる。

30

【０１８９】

上記の携帯電話を初めとして、ＰＤＡ（Personal Digital Assistants、情報携帯端末）、デジタルカメラ、小型ゲーム機、携帯型の音響再生装置などの電子機器に、本発明の一態様を用いて形成した半導体装置を用いることもできる。例えば、ＣＰＵ、メモリ、センサなどの機能回路を形成することや、これらの電子機器の画素部や、表示用の駆動ＩＣにも適用することが可能である。

【０１９０】

また、図２４（Ｄ）、（Ｅ）はデジタルカメラである。なお、図２４（Ｅ）は、図２４（Ｄ）の裏側を示す図である。このデジタルカメラは、筐体９３１、表示部９３２、レンズ９３３、操作キー９３４、シャッターボタン９３５などを有する。本発明の一態様を用いて作製されたトランジスタは、表示部９３２の画素部、表示部９３２を駆動する駆動ＩＣ、メモリなどに用いることができる。

40

【０１９１】

図２４（Ｆ）はデジタルビデオカメラである。このデジタルビデオカメラは、本体９４１、表示部９４２、筐体９４３、外部接続ポート９４４、リモコン受信部９４５、受像部９４６、バッテリー９４７、音声入力部９４８、操作キー９４９、接眼部９５０などを有する。本発明の一態様を用いて作製されたトランジスタは、表示部９４２の画素部、表示部

50

942を制御する駆動IC、メモリ、デジタル入力処理装置などに用いることができる。

【0192】

この他にも、ナビゲーションシステム、音響再生装置、記録媒体を備えた画像再生装置などに用いることが可能である。これらの表示部の画素部や、表示部を制御する駆動IC、メモリ、デジタル入力処理装置、センサ部などの用途に、本発明の一態様を用いて作製されたトランジスタを用いることができる。

【0193】

また、図25は、本発明の一態様を適用した携帯電話の別の一例であり、図25(A)が正面図、図25(B)が背面図、図25(C)が2つの筐体をスライドさせたときの正面図である。携帯電話700は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

10

【0194】

携帯電話700は、筐体701及び筐体702で構成されている。筐体701においては、表示部703、スピーカ704、マイクロフォン705、操作キー706、ポインティングデバイス707、カメラ用レンズ708、外部接続端子709及びイヤホン端子710等を備え、筐体702においては、キーボード711、外部メモリスロット712、裏面カメラ713、ライト714等により構成されている。また、アンテナは筐体701に内蔵されている。本発明の一態様を用いて作製された半導体素子は、表示部703の画素部、表示部703を駆動する駆動IC、メモリ、音声処理回路などに用いることができる。また、表示部703に、図23で説明したEL表示装置を適用することで、表示むらが少なく画質の優れた表示部とすることができる。

20

【0195】

また、携帯電話700には、上記の構成に加えて、非接触型ICチップ、小型記録装置等を内蔵していてもよい。

【0196】

重なり合った筐体701と筐体702(図25(A)に示す。)は、スライドさせることが可能であり、スライドさせることで図25(C)のように展開する。表示部703とカメラ用レンズ708を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部703をファインダーとして用いることで、裏面カメラ713及びライト714で静止画及び動画の撮影が可能である。

30

【0197】

スピーカ704及びマイクロフォン705を用いることで、携帯電話700は、音声記録装置(録音装置)又は音声再生装置として使用することができる。また、操作キー706により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

【0198】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード711を用いると便利である。更に、重なり合った筐体701と筐体702(図25(A))をスライドさせることで、図25(C)のように展開させることができる。携帯情報端末として使用する場合には、キーボード711及びポインティングデバイス707を用いて、円滑な操作が可能である。外部接続端子709はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット712に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

40

【0199】

筐体702の裏面(図25(B))には、裏面カメラ713及びライト714を備え、表示部703をファインダーとして静止画及び動画の撮影が可能である。

【0200】

50

また、上記の機能構成に加えて、赤外線通信機能、ＵＳＢポート、テレビワンセグ受信機能、非接触ＩＣチップ又はイヤホンジャック等を備えたものであってもよい。

【０２０１】

以上のように、本発明の一態様により作製された半導体装置の適用範囲は極めて広く、本発明の一態様に係るＳＯＩ基板を材料として、あらゆる分野の電子機器に用いることができる。

【符号の説明】

【０２０２】

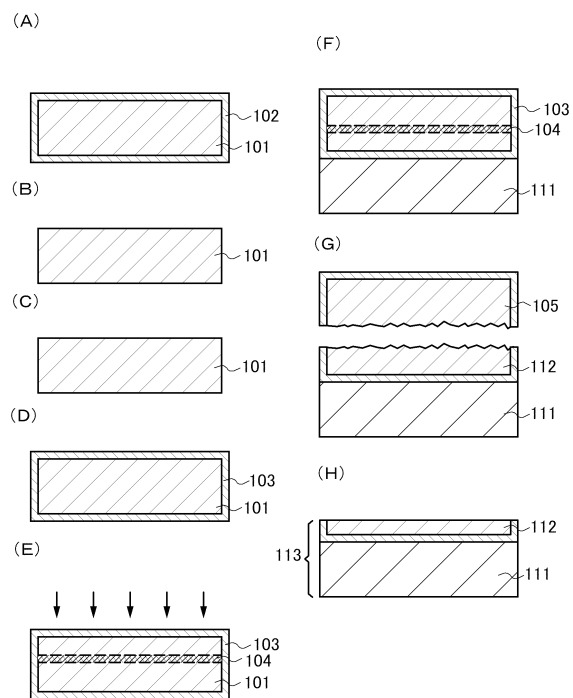
１０１	単結晶半導体基板	
１０２	酸化膜	10
１０３	酸化膜	
１０４	脆化領域	
１０５	単結晶半導体基板	
１０６	絶縁膜	
１０７	残渣部	
１０８	酸化膜	
１１１	半導体基板	
１１２	単結晶半導体層	
１１３	ＳＯＩ基板	
１１４	酸化膜	20
２０６	保護層	
２０７	素子分離絶縁層	
２０８	ゲート絶縁層	
２０９	ゲート電極	
２１０	絶縁膜	
２１１	不純物領域	
２１２	不純物領域	
２１３	サイドウォール絶縁層	
２１４	サイドウォール絶縁層	
２１５	不純物領域	30
２１６	不純物領域	
２１７	シリサイド	
２１８	シリサイド	
２１９	シリサイド	
２２０	層間絶縁膜	
２２１	コンタクトプラグ	
２２２	n F E T	
２２３	p F E T	
４０１	選択用トランジスタ	
４０２	表示制御用トランジスタ	40
４０３	単結晶半導体層	
４０４	単結晶半導体層	
４０５	走査線	
４０６	信号線	
４０７	電流供給線	
４０８	画素電極	
４１０	電極	
４１１	電極	
４１２	ゲート電極	
４１３	電極	50

4 2 4	対向基板	
4 2 5	樹脂層	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
4 5 1	チャネル形成領域	
4 5 2	高濃度不純物領域	10
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	20
5 1 0	メモリインターフェース	
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	30
5 2 0	変調回路	
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	40
5 3 0	電源管理回路	
6 0 6	島状半導体層	
6 0 8	絶縁層	
6 1 0	導電層	
6 1 2	導電層	
6 1 4	絶縁層	
6 1 6	レジストマスク	
6 1 8	導電層	
6 2 0	導電層	
6 2 2	絶縁層	50

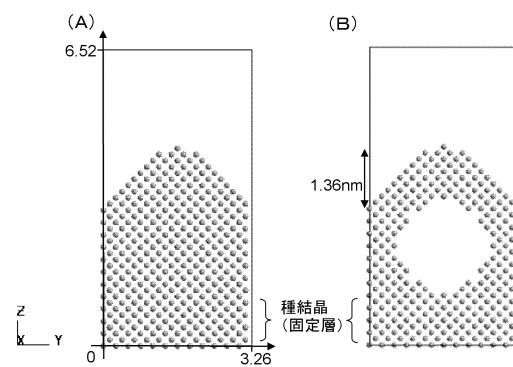
6 2 4	絶縁層	
6 2 6	不純物領域	
6 2 8	サイドウォール	
6 3 0	チャネル形成領域	
6 3 2	低濃度不純物領域	
6 3 4	高濃度不純物領域	
6 3 6	開口	
6 3 8	導電層	
6 4 0	導電層	
6 4 2	導電層	10
6 4 4	導電層	
6 4 6	導電層	
6 4 8	導電層	
7 0 0	携帯電話	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	スピーカ	
7 0 5	マイクロフォン	
7 0 6	操作キー	20
7 0 7	ポインティングデバイス	
7 0 8	カメラ用レンズ	
7 0 9	外部接続端子	
7 1 0	イヤホン端子	
7 1 1	キーボード	
7 1 2	外部メモリスロット	
7 1 3	裏面カメラ	
7 1 4	ライト	
9 0 1	筐体	
9 0 2	支持台	30
9 0 3	表示部	
9 0 4	スピーカ部	
9 0 5	ビデオ入力端子	
9 1 1	筐体	
9 1 2	表示部	
9 1 3	キーボード	
9 1 4	外部接続ポート	
9 1 5	ポインティングデバイス	
9 2 1	筐体	
9 2 2	表示部	40
9 2 3	操作キー	
9 2 4	センサ部	
9 3 1	筐体	
9 3 2	表示部	
9 3 3	レンズ	
9 3 4	操作キー	
9 3 5	シャッターボタン	
9 4 1	本体	
9 4 2	表示部	
9 4 3	筐体	50

- 9 4 4 外部接続ポート
- 9 4 5 リモコン受信部
- 9 4 6 受像部
- 9 4 7 バッテリー
- 9 4 8 音声入力部
- 9 4 9 操作キー
- 9 5 0 接眼部

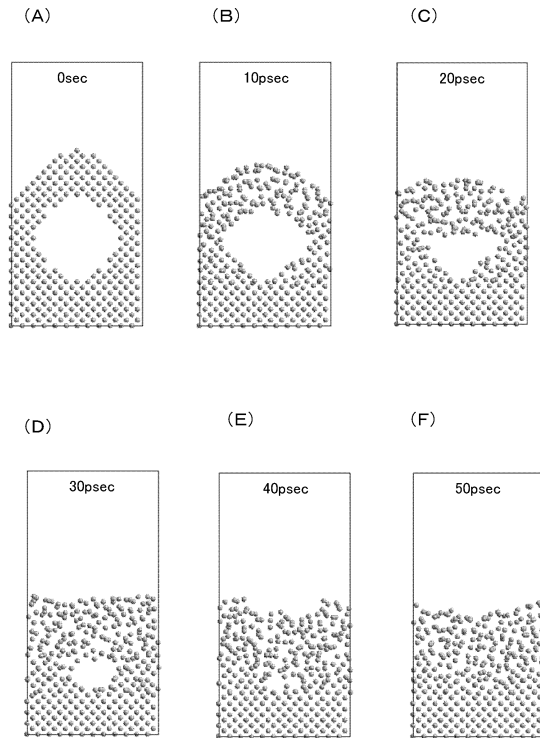
【図 1】



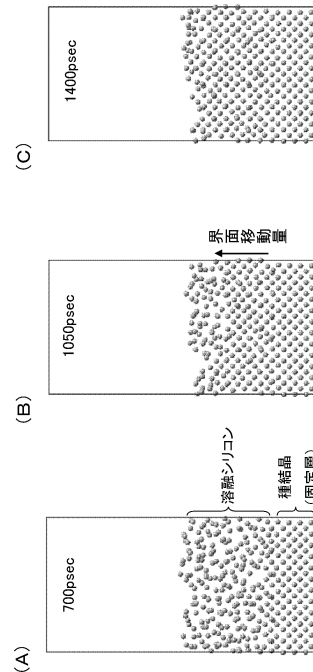
【図 2】



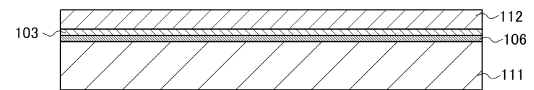
【 図 3 】



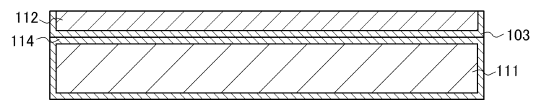
【圖 4】



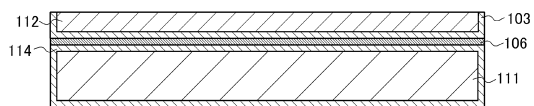
【 図 5 】



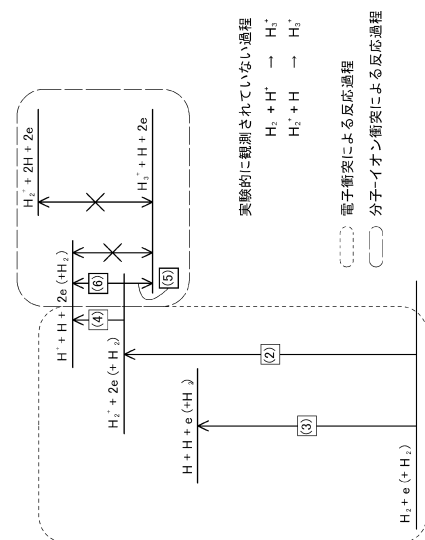
【 図 6 】



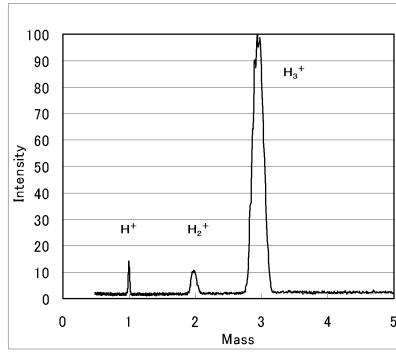
【圖 7】



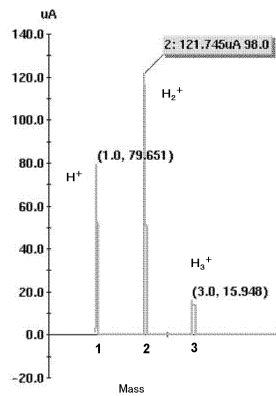
【 図 8 】



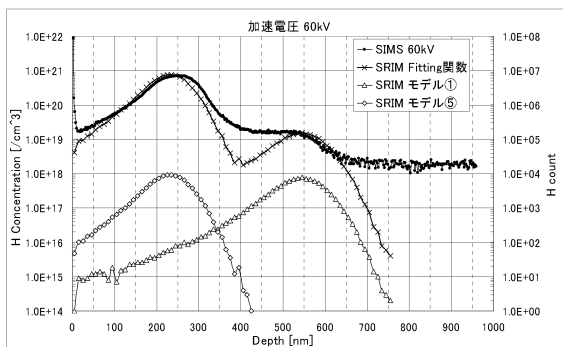
【図 9】



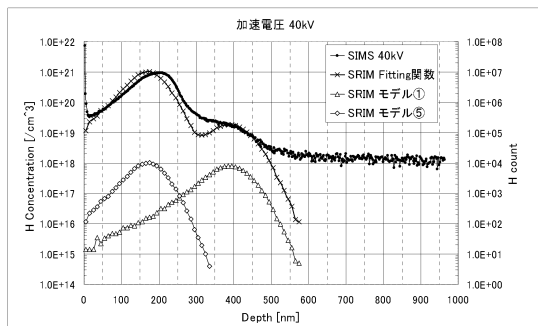
【図 10】



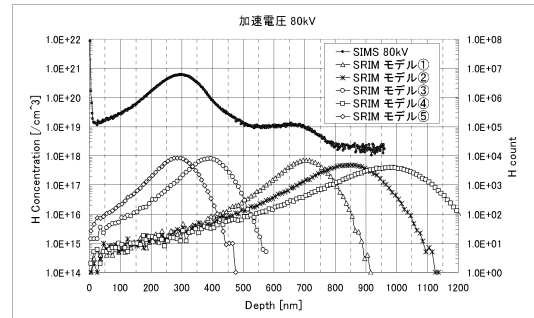
【図 13】



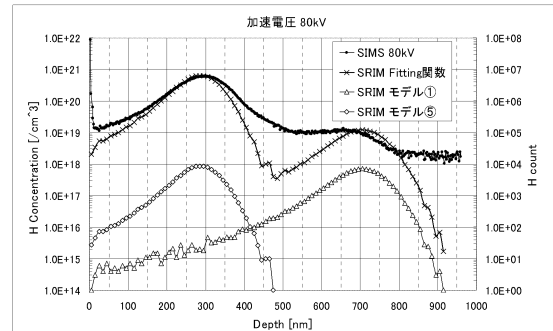
【図 14】



【図 11】



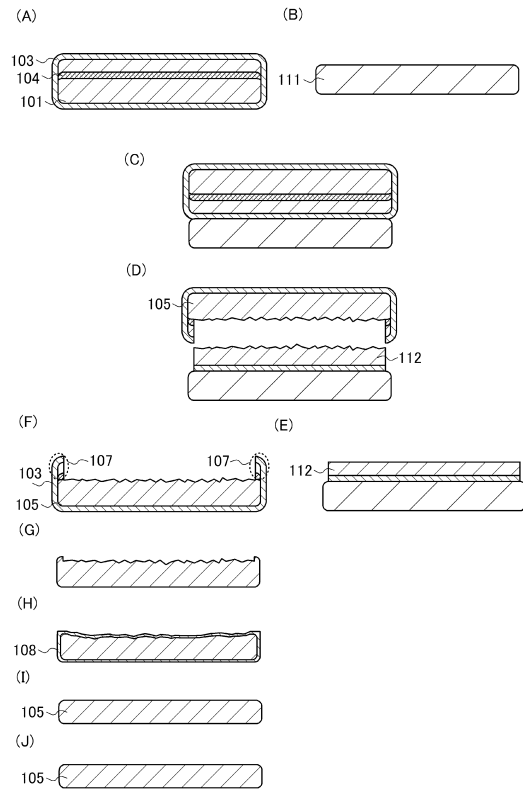
【図 12】



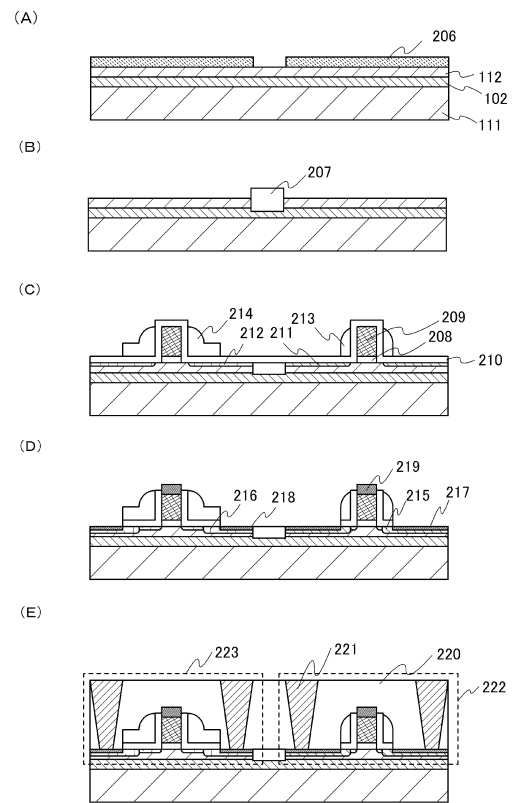
【図 15】

加速電圧	水素元素 (H) 比 (X : Y)	水素イオン種比 (X : Y / 3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

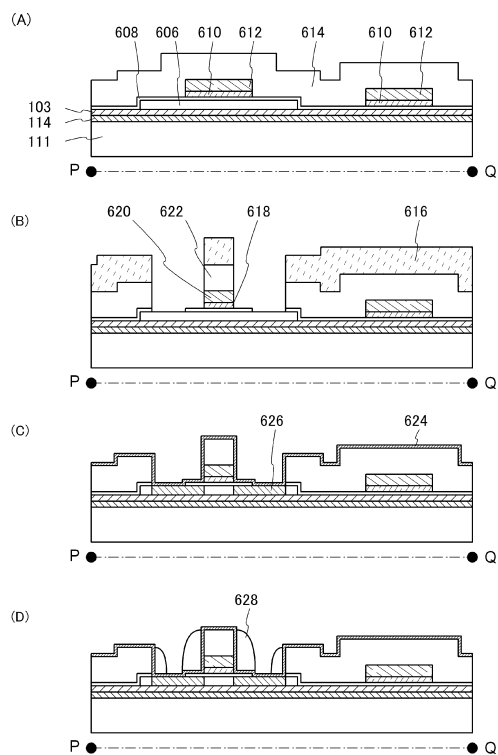
【図 16】



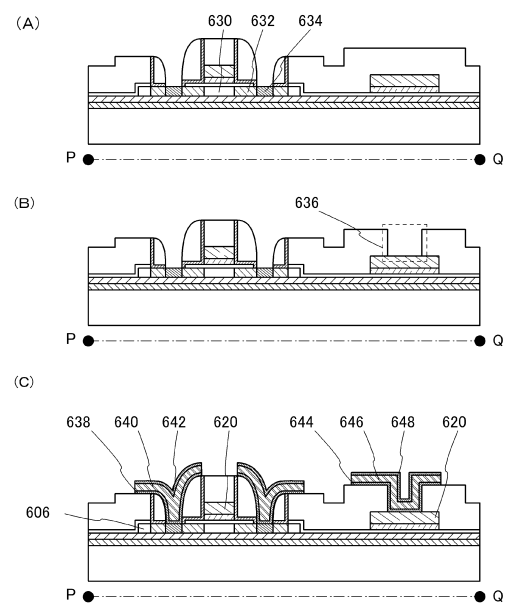
【図 17】



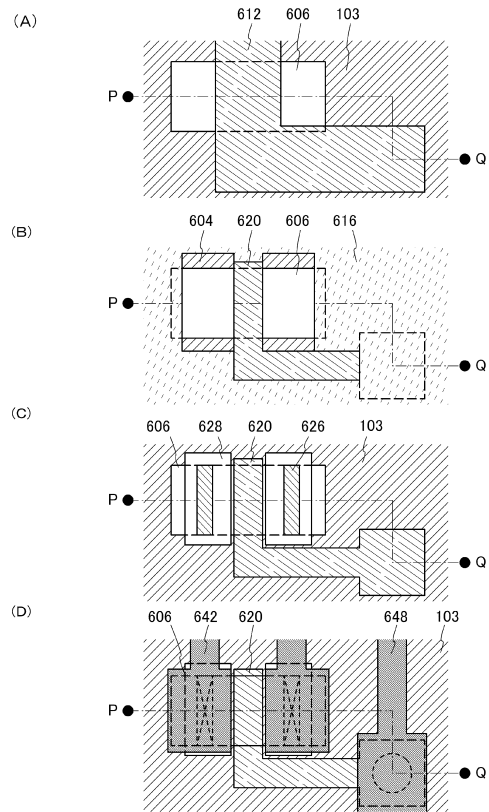
【図 18】



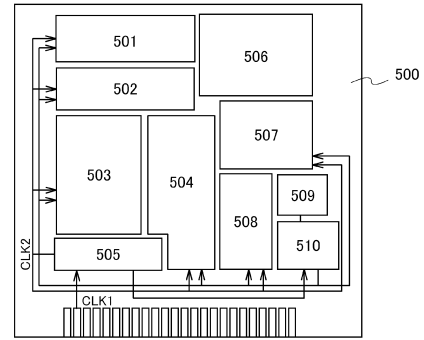
【図 19】



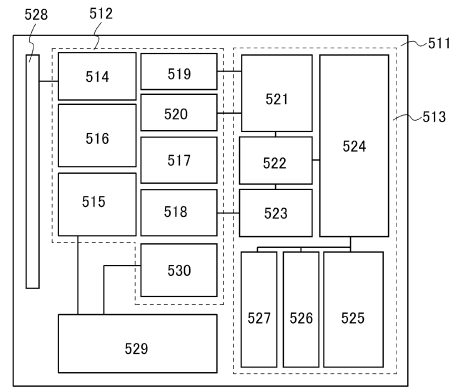
【図 20】



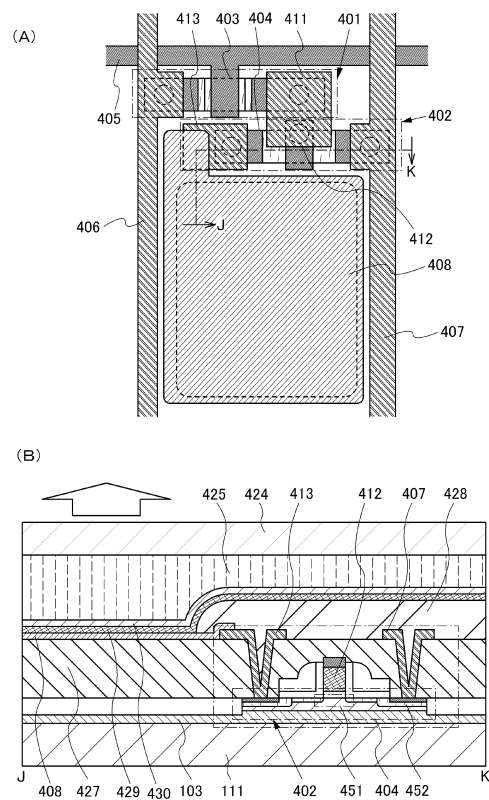
【図 21】



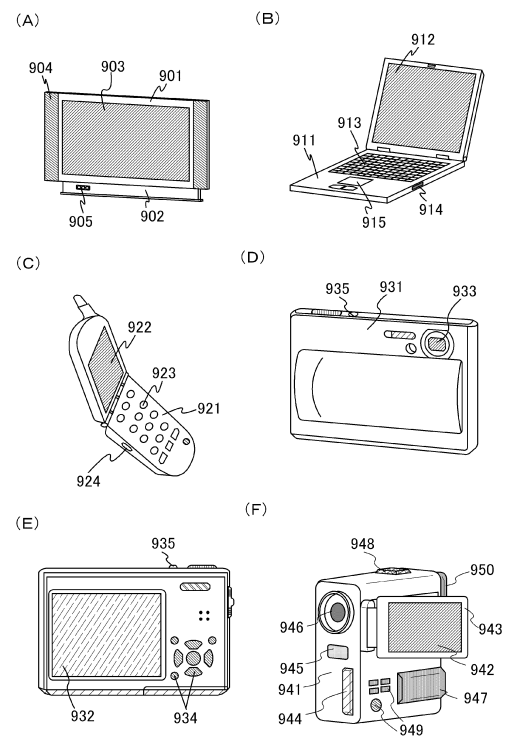
【図 22】



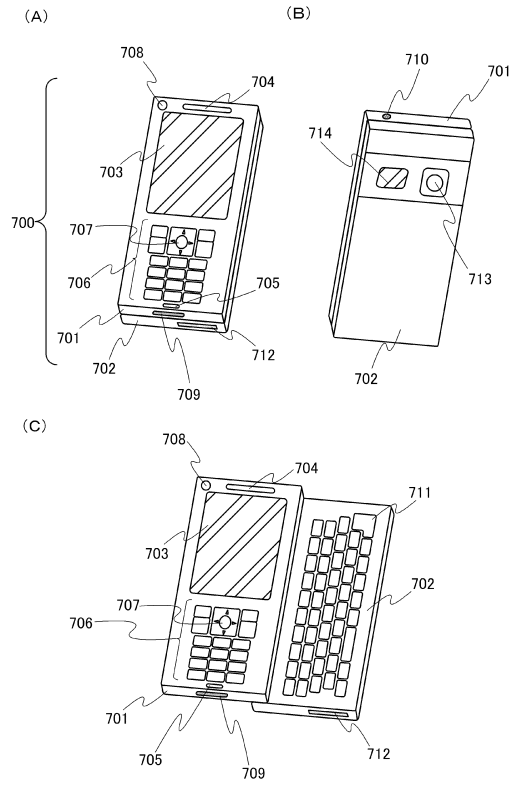
【図 23】



【図 24】



【図 25】



フロントページの続き

(56)参考文献 特開2000-36583(JP,A)
特開平11-307747(JP,A)
特開平11-191617(JP,A)
特開昭56-038828(JP,A)
特開昭56-103425(JP,A)
特開2006-303201(JP,A)
特開平04-056223(JP,A)
特開平05-326897(JP,A)
特開平09-186306(JP,A)
特開平08-316443(JP,A)
国際公開第2006/029651(WO,A1)
国際公開第2005/022610(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L	21/02
B23K	20/00
B23K	20/24
H01L	27/12