(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 12/08

(45) 공고일자 2003년01월06일
(11) 등록번호 10-0349792
(24) 등록일자 2002년08월09일

(21) 출원번호 10-1995-0008057
(22) 출원일자 1995년04월07일

(65) 공개번호 특1995-0033848
(43) 공개일자 1995년12월26일

(30) 우선권주장 94-104723 1994년04월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 요시오까신이찌
일본국도꾜도고다이라시죠스이혼쵸5-19-1
가와사끼?뻬이
미국캘리포니아94306팔로알토비스타에비뉴579

(74) 대리인 백남기

심사관 : 허영한

(54) 데이타처리장치

요약

데이타처리장치에 관한 것으로서, 논리캐쉬에 있어서의 시노님대책에 소요되는 TLB액세스횟수를 저감하기 위해서, 캐쉬태그어드레스로서의 논리페이지정보에 대응하는 물리페이지정보를 논리캐쉬메모리에 보유하고, 공유영역을 액세스하는 경우 캐쉬미스일 때에 캐쉬메모리가 보유하는 물리페이지정보와 검색어드레스를 TLB로 변환한 물리페이지정보를 비교하고, 일치하는 경우에는 캐쉬히트로서 그의 캐쉬엔트리를 처리하도록 하였다.

이것에 의해, 다른 논리어드레스에 동일한 물리어드레스가 할당된 경우의 시노님의 문제를 TLB로의 액세스횟수를 종래에 비해 반감시켜서 해결할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 데이타처리장치에 있어서 시노님의 문제를 해결하기 위한 논리 캐쉬메모리에 대한 제어방법을 개념적으로 도시한 설명도.

제2도는 캐쉬엔트리에 물리어드레스정보를 포함시키지 않고 시노님의 문제를 해결하고자 하는 경우에 있어서의 논리캐쉬메모리에 대한 제어방법을 개념적으로 도시한 설명도.

제3도는 다중논리공간의 설명도.

제4도 A는 공간번호로 확장된 논리어드레스의 1예를 도시한 포맷도.

제4도 B는 공유플래그를 갖는 캐쉬엔트리의 1예를 도시한 포맷도.

제5도는 시노님의 개념에 대한 설명도.

제6도 A 및 제6도 B는 논리캐쉬메모리에 있어서의 시노님의 문제에 대한 설명도.

제7도는 본 발명에 관한 데이타처리장치의 1실시예인 마이크로컴퓨터의 블럭도.

제8도는 TLB의 엔트리구성예를 도시한 포맷도.

제9도는 논리캐쉬메모리의 엔트리구성예를 도시한 포맷도.

제10도는 제7도에 도시되는 논리 캐쉬메모리, TLB 및 컨트롤 유닛의 상세한 1예의 블럭도.

제11도는 논리캐쉬메모리에 대한 전체적인 제어를 도시한 흐름도.

제12도는 캐쉬리드히트와 캐쉬라이트히트의 경우에 있어서의 논리캐쉬메모리의 동작제어 흐름도.

제13도는 캐쉬리드미스의 경우에 있어서의 논리 캐쉬메모리의 동작제어 흐름도.

제14도는 캐쉬라이트미스의 경우에 있어서의 논리캐쉬메모리의 동작제어 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 논리캐쉬메모리와 어드레스 변환기구를 내장하는 데이타 처리장치에 있어서 그 소비전력을 억제하는 기술에 관한 것으로서, 예를들면 마이크로컴퓨터 또는 마이크로프로세서에 적용해서 유효한 기술에 관한 것이다.

데이타 처리장치의 처리성능을 향상시키기 위해서, 캐쉬메모리를 내장하는 방법이 종래부터 적용되고 있다. 또, 사용자가 실제메모리(physical memory or real memory)를 의식하지 않고 오퍼레이팅 시스템(이하, OS라고 한다)이 메모리관리를 실행하는 분야에서는 데이타처리장치가 어드레스 변환기구를 서포트할 필요가 있다. 어드레스 변환기구라는 것은 가상기억을 실현하기 위해 논리어드레스(또는 가상어드레스)를 물리어드레스로 변환하는 기구이다.

또, 어드레스 변환기구를 고속으로 실행하기 위해서 논리어드레스와 물리어드레스의 변환쌍을 보유하는 어드레스 변환버퍼(이하, 단지 TLB라고 한다)를 데이타 처리장치에 내장하는 기술도 종래부터 채용되고 있다. 이들의 캐쉬메모리나 TLB는 데이타 처리성능의 향상이나 OS의 서포트에 필요하지만, 소비전력증대를 억제한다는 점에 관해서는 캐쉬메모

리동작에 병행해서 TLB를 극력 동작시키지 않는 것이 중요하다. 따라서, 물리어드레스정보와 데이타와의 쌍을 캐쉬엔트리로서 갖는 물리캐쉬메모리는 검색어드레스를 물리어드레스로 하지 않으면 안되기 때문에, 항상 TLB의 액세스가 필요하게 되어 소비전력이 증대하게 된다. 이것에 대해서, 논리어드레스정보와 데이타와의 쌍을 캐쉬엔트리로서 갖는 논리캐쉬메모리는 검색어드레스가 논리어드레스로 되므로 캐쉬미스시에만 TLB를 액세스하면 좋으므로, 물리캐쉬메모리에 비해 저소비전력화에는 유리하다. 그러나, 논리캐쉬메모리에는 시노님(synonym)의 문제가 있다.

여기에서, 시노님을 설명한다. 먼저, 멀티타스크 OS에 있어서는 각각의 타스크가 그의 주행환경인 프로세스를 갖는다. 프로세스에는 데이타처리장치의 상태나 어드레스공간, 논리어드레스에서 물리어드레스로 변환하기 위한 변환테이블이 포함된다. 예를들면 제3도와 같이 논리어드레스A가 프로세스1에서는 물리어드레스C로, 프로세스2에서는 물리어드레스D로 변환될 수 있다. 즉, 그와 같은 다중논리공간에 있어서 프로세스의 전환이 실행될 때는 TLB의 내용이 변경되지 않으면 안된다. 그러나, 프로세스가 전환할 때마다 TLB의 내용을 무효로 해서 엔트리의 대체를 실행하고 있던 것에서는 그를 위한 처리시간과 전력소비의 증대가 무시할 수 없을 정도로 크게 된다.

이 때문에, 공간번호(ASID)의 개념을 도입하여 제4도 A에 도시한 바와 같이, 논리어드레스를 공간번호로 확장해서 프로세스1의 논리어드레스와 프로세스2의 논리어드레스를 구별할 수가 있다.

이것에 의해, 프로세스에 전환시마다 TLB를 무효화하지 않아도 좋다.

이와 같이, 논리어드레스를 공간번호로 확장했을 때, 제5도에 도시된 바와 같이 프로세스1과 프로세스2가 물리공간을 공유하는 경우가 발생한다. 즉, 제5도에 따르면, 프로세스1의 논리어드레스A와 프로세스2의 논리어드레스B가 공유하는 공통의 물리어드레스C로 변환되는 일이 발생한다. 이와 같이, 다른 논리어드레스에 동일한 물리어드레스가 할당되는 경우를 시노님(synonym)이라 한다.

이러한 시노님에 의해서 발생하는 논리캐쉬메모리의 문제점을 제6도 A 및 제6도 B에 따라서 설명한다. 논리어드레스A와 B는 다르기 때문에, 논리캐쉬메모리 중에는 제6도 A에 도시된 바와 같이 데이타가 동일하게 되는 2개의 엔트리가 동시에 존재할 수 있다. 여기에서, 그 상태에 있어서 논리어드레스B에 라이트가 발생하고, 제6도 B에 도시된 바와 같이 논리어드레스B의 데이타가 D로 변경되었다고 한다. 이 때, 라이트스루방식을 고려하면, 어드레스B에 대응하는 주기억상의 데이타는 D로 리라이트되지만, 그것에 대응하는 캐쉬메모리상의 논리어드레스A의 데이타는 C인채로 되어 캐쉬메모리와 주기억의 데이타가 서로 부정합으로 되어 버린다. 또, 이 상태에서 논리어드레스A로의 리드가 발생하면, 캐쉬히트로 되어 데이타C가 사용되게 된다. 이것이 시노님의 문제이다.

상기 시노님의 문제를 해결하기 위해서는 공유플래그의 개념을 도입할 수 있다. 예를들면, 공유플래그라는 것은 소정의 물리공간 또는 그 데이타가 여러개의 다른 프로세스 또는 논리공간에서 공유되고 있는지 공유되고 있지 않는지를 나타내기 위한 플래그이다.

제4도 B에 도시된 바와 같이 논리캐쉬메모리의 캐쉬엔트리에 그와 같은 공유플래그SH를 부가한다. 논리캐쉬메모리의 엔트리에 포함되는 데이타가 공유데이타인 경우에는 공유플래그SH가 " 1" 로 되고, 그렇지 않은 경우에는 " 0" 으로 된다.

그와 같은 공유플래그의 개념을 채용한 경우에 있어서의 세트어소시에이티브형식(set-associativ forme)의 논리캐쉬메모리가 제2도의 상태라고 한다.

이 상태에서 논리어드레스b(VA(b)는 그의 논리 페이지번호와 같은 논리페이지정보이다)에 의한 액세스가 있었을 때, 그것에 의해서 선택되는 엔트리가 캐쉬미스인 경우에는, 바꾸어말하면 그것에 의해서 선택된 엔트리의 태그VA(a)가

논리어드레스b의 논리페이지정보VA(b)가 아니고 또한 그의 엔트리의 공유플래그SH가 1인 경우에는 새로운 엔트리의 추가를 실행하지 않고 이하의 수순에 따르도록 한다. 즉, 캐쉬메모리의 검색어드레스인 논리어드레스b를 TLB에 의해서 어드레스변환해서 그의 물리어드레스정보 PA(b)를 얻는다. 또, 그 때 선택된 태그의 논리페이지정보VA(a)를 사용해서 마찬가지로 TLB에 의해 어드레스변환해서 물리어드레스정보PA(a)를 얻는다. 그리고, 쌍방의 물리어드레스정보의 비교결과가 일치, 즉 PA(a)=PA(b)인 경우에 논리어드레스b는 논리어드레스a의 데이타를 공유하고 있게 되기 때문에, 상기 캐쉬엔트리에 대해서는 캐쉬히트로서 처리를 실행한다. 이것에 의해, 논리캐쉬메모리중에 동일 물리어드레스의 데이타가 여러개 존재하는 사태가 방지되어 상기 시노님의 문제가 해결된다.

이와 같이, 시노님의 문제를 해결하기 위해서, 캐쉬메모리를 리드하여 공유데이타라고 판명한 경우에 검색어드레스와 캐쉬의 태그부의 2개의 논리어드레스를 어드레스 변환하고, 양자의 비교를 실행해서 그것이 일치하는 경우에는 캐쉬히트로서 취급하는 기술은 일본국 특허공개공보 평성1-302444에 기재되어 있다.

그러나, 상술한 논리캐쉬메모리를 사용하는 경우의 시노님대책에서는 TLB를 2회 액세스하지 않으면 안되고, 그 만큼 전력소비량이 증대한다고 하는 문제점이 있는 것이 본 발명자에 의해서 발견되었다.

또, TLB의 액세스에 따른 전력소비라는 점에 관해서, 캐쉬라이트히트시에도 그의 논리어드레스를 물리어드레스로 변환하기 위한 TLB액세스가 필요하게 되어 전력소비량을 증대시키는 것이 본 발명자에 의해서 명확하게 되었다.

본 발명의 목적은 시노님대책에 소요되는 TLB액세스의 횟수를 저감할 수 있는 데이타처리장치를 제공하는 것이다.

본 발명의 다른 목적은 캐쉬라이트히트시의 TLB 액세스를 생략할 수 있는 데이타처리장치를 제공하는 것이다.

본 발명의 또 다른 목적은 TLB에 대한 액세스의 점에 있어서 저소비전력화를 도모할 수 있는 데이타처리장치를 제공하는 것이다.

본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

[1] 논리어드레스의 정보를 검색정보로 하는 논리캐쉬메모리(10), 논리어드레스를 물리어드레스로 변환하기 위한 변환쌍을 갖는 어드레스 변환버퍼(11) 및 상기 논리캐쉬메모리와 어드레스 변환버퍼를 제어하는 제어수단(12)를 구비하는 데이타 처리장치를 주체로 하고, 상기 논리캐쉬메모리는 캐쉬엔트리에 논리어드레스의 정보에 대응되는 물리어드레스의 정보를 보유하는 영역(제9도에 도시된 바와 같은 캐쉬엔트리의 데이타부에 있어서의 물리페이지정보PA)을 갖는다.

이 때, 상기 제어수단은 논리캐쉬메모리에서 상기 검색정보(예를들면, 논리어드레스의 오프세트정보의 일부)에 의해서 선택된 캐쉬엔트리가 소요의 논리어드레스에 대응하는 것이 아닐 때, 상기 소요의 논리어드레스가 그밖의 논리어드레스와 물리어드레스공간을 공유하고 있는 경우에는 상기 선택된 캐쉬엔트리가 보유하는 물리어드레스의 정보(예를들면, 물리페이지정보PA)를 어드레스 변환버퍼에서 얻어지는 물리어드레스의 정보(예를들면, 물리페이지정보)와 비교하고, 일치하는 경우에는 상기 선택된 캐쉬엔트리의 정보를 이용하게 하는 것으로 된다.

[2] 상기 캐쉬엔트리에 포함되는 물리페이지정보와 같은 물리어드레스의 정보를 이용하는 다른 관점에 선 제어수단은 논리캐쉬메모리에서 상기 검색정보에 의해서 선택된 캐쉬엔트리가 소요의 논리어드레스에 대응하는 것일 때, 물리어드레스 공간으로의 라이트를 위한 물리어드레스의 생성에 상기 선택된 캐쉬엔트리가 보유하는 물리어드레스를 이용하게 하는 것으로 된다.

[3] 상기 쌍방의 제어수단은 논리캐쉬메모리에서 상기 검색정보에 의해 선택된 캐쉬엔트리가 소요의 논리어드레스에 대응하는 것이 아니고 또한 상기 소요의 논리어드레스가 그밖의 논리어드레스와 물리어드레스 공간을 공유하고 있는 것을 검출하는 캐쉬어드레스 비교수단(202), 이 캐쉬어드레스 비교수단에 의한 상기 검출에 의해 상기 선택된 캐쉬엔트리가 보유하는 물리어드레스의 정보를 어드레스 변환버퍼에서 얻어지는 물리어드레스의 정보와 비교해서 그의 일치를 검출하는 물리어드레스 비교수단(204), 이 물리어드레스 비교수단에 의한 비교결과가 일치할 때 상기 선택된 캐쉬엔트리의 정보를 이용하는 데이타 컨트롤러(301), 라이트처리에 있어서 상기 논리캐쉬메모리에서 상기 검색정보에 의해서 선택된 캐쉬엔트리가 소요의 논리어드레스에 대응하는 것일 때 물리어드레스 공간으로의 라이트를 위한 물리어드레스의 생성에 상기 선택된 캐쉬엔트리가 보유하는 물리어드레스를 이용하는 어드레스 컨트롤러(300)으로 구성할 수가 있다.

[4] 어드레스 변환기구가 가변페이지크기를 서포트하는 경우를 고려하면, 논리페이지의 크기가 변경되었을 때 상기 어드레스변환버퍼 대신에 이용되는 다른 어드레스 변환버퍼로서 풀어소시에이티브형식(full-associative form)의 어드레스 변환버퍼를 사용할 수가 있다. 캐쉬태그어드레스로서의 논리페이지정보 VA에 대응하는 물리페이지정보PA와 같은 정보를 논리캐쉬메모리에 보유하고, 공유영역을 액세스하는 경우 캐쉬미스일 때에는 논리캐쉬메모리에 보유되어 있는 물리페이지정보PA와 같은 정보와 검색어드레스를 어드레스 변환버퍼로 변환한 물리페이지정보PA를 비교해서 일치하는 경우에는 캐쉬히트로서 그의 캐쉬엔트리를 처리하는 것은 다른 논리어드레스에 동일한 물리어드레스가 할당된 경우의 시노님의 문제를 어드레스 변환버퍼로의 액세스횟수를 종래에 비해 반감(半減)시켜서 해결한다.

논리캐쉬메모리에 대한 캐쉬라이트히트시에 있어서, 상기 히트에 관한 캐쉬엔트리의 상기 물리페이지정보PA와 같은 정보를 사용해서 외부라이트액세스용의 물리어드레스를 생성하는 것은 캐쉬라이트히트시에 있어서 어드레스 변환버퍼의 액세스를 일절 필요로 하지 않는다.

논리캐쉬메모리를 사용하는 것에 의해, 캐쉬히트인 경우에 어드레스 변환버퍼의 액세스를 생략할 수 있고 소비전력을 저감할 수 있으며 또 상기에 의해 실질적인 캐쉬미스인 경우에만 어드레스 변환버퍼를 액세스하면 좋게 되므로, 어드레스 변환버퍼의 액세스에 허비되는 전체적인 전력소비량을 저감한다.

어드레스 변환기구가 가변페이지크기를 서포트하는 경우, 세트어소시에이티브형식을 채용하는 어드레스변환버퍼에 대한 액세스방법은 그 페이지크기에 따라서 변화되지 않으면 안되게 된다. 그와 같은 경우에, 대표적인 페이지크기에 대응한 1개의 세트어소시에이티브형식의 어드레스 변환버퍼와 풀어소시에이티브형식의 어드레스 변환버퍼를 준비하고, 상기 대표적인 페이지크기의 경우에는 전자의 어드레스 변환버퍼를, 그 이외의 페이지크기에 대해서는 후자의 어드레스 변환버퍼를 사용한다.

제7도에는 본 발명에 관한 데이타 처리장치의 1실시예인 마이크로컴퓨터의 블럭도가 도시되어 있다. 본 실시예의 마이크로컴퓨터(1) (또는 마이크로프로세서)은 특히 제한되지 않지만 논리캐쉬메모리(10), 어드레스변환버퍼(이하, 단지 TLB라고 한다)(11), 컨트롤유닛(12) 및 주변모듈(13)을 내장하고, 그들이 내부버스(14),(15) 등에 결합되어 1개의 실리콘과 같은 반도체 기판(칩)에 형성되어 이루어진다.

컨트롤유닛(12)는 중앙처리장치, 버스컨트롤러, 상기 논리캐쉬메모리(10) 및 TLB(11)의 제어회로, 외부인터페이스 회로 등의 기능을 총칭하는 회로블럭으로서, 동일도면에 칩 안팎과의 입출력 제어기능을 대표하는 회로블럭으로서 내부컨트롤러(121)과 외부버스 컨트롤러(122)가 도시된다. 상기 내부버스(14)에는 논리캐쉬메모리(10), TLB(11), 내부컨트롤러(121)이 접속되고, 내부버스(15)에는 TLB(11), 주변모듈(13), 외부버스 컨트롤러(122)가 접속된다. 주변모듈(13)은 각각 도시하지 않은 타이머, 직렬통신 인터페이스, RAM(랜덤 액세스 메모리), ROM(리드 온리 메모리) 및 DMAC(직접 메모리 액세스 컨트롤러) 등의 적절한 주변회로가 포함된다. 동일도면에 있어서 (16)은 논리캐쉬메모리(10)에 대한 제어신호선군, (17)은 TLB(11)에 대한 제어신호선군, (18)은 TLB(11)과 주변회로모듈(13) 사이의

제어신호선군, (19)는 주변모듈(13)에 대한 제어신호선군, (20)은 논리캐쉬메모리(10)과 TLB(11) 사이의 제어신호선군이다. 본 실시예의 마이크로컴퓨터(1)은 특히 제한되지 않지만, 외부버스(3)을 거쳐서 메인메모리(2)에 접속된다. 이 실시예에 있어서, 가상기억을 실현하기 위한 어드레스 변환기구는 TLB(11) 및 그것을 제어하기 위한 컨트롤유닛(12)내의 회로로 구성된다.

제8도에는 TLB(11)의 엔트리구성예가 도시되어 있다.

1개의 엔트리는 논리어드레스부와 물리어드레스부를 포함한다.

논리어드레스부는 그의 엔트리가 유효한 것을 나타내는 유효비트V(1비트), 공간번호 ASID(8비트) 및 논리페이지정보VA(20비트)를 갖는다.

물리어드레스부는 기억보호를 위한 프로텍션 PR(2비트), 논리어드레스부의 논리페이지에 대응되는 물리페이지정보 PA(20비트) 및 상기 물리페이지정보에 의해서 지정되는 물리페이지가 여러개의 논리페이지에 의해서 공유되는지 공유되지 않는지를 나타내는 공유플래그 SH(1비트)의 각 비트를 갖는다.

여기에서, 본 실시예에 따르면, 논리어드레스는 논리페이지정보와, 그것에 의해서 특정되는 논리페이지에 있어서의 오프세트정보로 구성된다. 1개의 논리페이지크기는 오프세트정보의 비트수에 의해 결정된다. 본 실시예에 있어서 논리페이지크기는 일정하게 된다. 논리어드레스를 물리어드레스로 변환하는 경우, 상기 논리어드레스의 논리페이지정보에 대응하는 엔트리로부터 물리페이지정보를 취득하고, 상기 논리어드레스의 오프세트정보를 물리페이지정보의 하위측에 부가해서 논리어드레스를 얻는다.

제9도에는 상기 논리캐쉬메모리(10)의 엔트리구성예가 도시되어 있다. 1개의 엔트리는 어드레스부와 데이타부로 이루어진다.

어드레스부는 TLB(11)의 논리어드레스부와 동일하고, 그의 엔트리가 유효하다는 것을 나타내는 유효비트V(1비트), 공간번호 ASID(8비트) 및 논리페이지정보VA(20비트)를 보유한다.

데이타부는 TLB(11)의 물리어드레스부에 대해서 16바이트의 데이타가 부가되어 구성되고, 그밖에 기억보호를 위한 프로텍션PR(2비트), 상기 논리페이지가 다른 논리페이지와의 사이에서 데이타를 공유하는지 공유하지 않는지를 나타내는 공유플래그SH(1비트) 및 어드레스부의 논리페이지에 대응되는 물리페이지정보PA(20비트)의 각 비트를 보유한다.

여기에서 특히 주목해야 할 점은 논리캐쉬메모리(10) 및 TLB(11)은 공간번호 및 공유플래그의 개념을 채용하고 있지만, 또 TLB의 액세스횟수를 저감하기 위해서 논리캐쉬메모리(10)이 물리페이지정보PA를 보유하고 있는 것이다. 캐쉬엔트리의 데이타부에 저장되는 물리페이지정보PA는 예를들면 캐쉬미스에 기인해서 엔트리를 논리캐쉬메모리(10)에 최초로 등록할 때 TLB(11)을 거쳐서 얻어진다.

제1도에는 상기 시노님의 문제를 해결하기 위한 논리캐쉬메모리(10)에 대한 제어방법이 개념적으로 도시되어 있다. 동일도면에 대표적으로 도시되어 있는 1개의 캐쉬엔트리에 있어서 VA(a)는 논리어드레스a에 대응하는 논리페이지번호와 같은 논리페이지정보이고, PA(a)는 논리어드레스a에 대응하는 물리어드레스의 물리페이지정보이다. 이 상태에서 논리어드레스b(VA(b)는 그의 논리페이지정보)에 의한 액세스가 있었을 때, 그것에 의해서 선택되는 엔트리가 캐쉬미스, 바꾸어말하면 그것에 의해서 선택된 엔트리의 태그VA(a)가 논리어드레스b의 논리페이지정보VA(b)와는 일치하지 않고 또한 그의 엔트리의 공유플래그SH가 1인 경우에는 새로운 엔트리의 추가를 실행하지 않고 이하의 수순에 따르게 된다. 즉, 캐쉬메모리(10)의 검색어드레스인 논리어드레스b를 TLB(11)에 의해서 어드레스변환해서 그의 물리페이지정보PA(b)를 얻는다. 이 물리페이지정보PA(b)는 상기 선택된 엔트리가 보유하는 물리페이지정보PA(a)와 비교된다.

캐쉬엔트리에 물리페이지정보를 갖지 않는 제2도의 경우에는 선택된 엔트리의 논리페이지정보를 물리페이지정보로 변환하기 위한 TLB액세스가 필요하게 된다. 따라서, 본 실시예의 경우에는 어드레스변환을 위한 TLB(11)의 액세스는 제2도의 경우에 비해 반감되고 그분만큼 저소비전력을 도모할 수 있다.

상기 쌍방의 물리어드레스의 비교결과가 일치, 즉 PA(a)=PA(b)인 경우에 논리어드레스b는 논리어드레스a와 데이타를 공유하고 있게 되기 때문에, 캐쉬히트로서 상기 엔트리의 데이타를 이용한다. 따라서, 논리캐쉬메모리중에 동일 물리어드레스의 데이타가 여러개 존재하는 사태가 방지되어 시노님의 문제가 해결된다.

또, 특히 도시하지는 않지만, 본 실시예의 논리캐쉬메모리(10)에 있어서 캐쉬라이트히트(라이트액세스에 있어서의 캐쉬히트)시에는 히트한 엔트리가 대응하는 물리페이지정보PA를 보유하기 때문에, 물리 어드레스공간에 배치된 메인메모리와 같은 주기억에 대한 데이타라이트를 위한 물리어드레스취득에 새삼스럽게 TLB(11)을 액세스하는 것을 필요로 하지 않는다. 이 점에 있어서도 TLB(11)의 액세스횟수를 저감해서 저소비전력을 도모할 수가 있다.

제10도에는 상기 논리캐쉬메모리(10), TLB(11) 및 컨트롤유닛(12)의 상세한 1예의 블럭도가 도시되어 있다. 동일 도면의 구성은 주로 논리캐쉬메모리(10)과 TLB(11)의 제어에 주목한 것으로서 표현되고 있다.

제10도의 논리캐쉬메모리(10)에 있어서 (100)은 라이트데이타의 입력용 인터페이스, (101)은 리드데이타의 출력용 인터페이스, (102)는 액세스어드레스신호의 입력용 인터페이스를 각각 총칭하는 것으로 이해하기 바란다. 논리캐쉬메모리(10)을 액세스하는 어드레스신호는 특히 제한되지 않지만, 어드레스버스(200)에 공급되는 논리어드레스에 포함되는 오프세트정보의 일부로 된다. 그 때의 액세스가 라이트인 경우에는 캐쉬엔트리의 데이타가 어드레스버스(200) 및 데이타버스(201)을 거쳐서 입력용 인터페이스(100)에 공급된다. 그 때의 액세스가 리드인 경우에는 캐쉬엔트리의 데이타가 출력용 인터페이스(101)에서 병렬적으로 외부로 리드된다. 캐쉬엔트리의 구성은 제9도에서 설명한 바와 같다.

논리캐쉬메모리(10)은 상술한 바와 같이 세트어소시에이티브형식으로 구성되고, 그 액세스어드레스는 오프세트정보의 일부를 사용한다. 예를들면, 논리어드레스가 전체 32비트로 되고, 논리페이지정보가 상위측의 20비트, 오프세트정보가 하위측의 12비트라고 하면, 1페이지는 4K바이트로 된다. 이 때, 오프세트정보의 하위4비트를 제외한 8비트의 정보를 논리캐쉬메모리(10)의 엑세스어드레스에 사용하는 경우, 캐쉬엔트리의 데이타DATA는 16바이트 단위로 리드/라이트된다.

제10도의 TLB(11)에 있어서 (110)은 라이트데이타의 입력용 인터페이스, (111)은 리드데이타의 출력용 인터페이스, (112)는 액세스어드레스신호의 입력용 인터페이스를 각각 총칭하는 것이라 이해하기 바란다. TLB(11)을 액세스하는 어드레스신호는 특히 제한되지 않지만, 어드레스버스(200)에 공급되는 논리어드레스의 일부의 정보, 예를들면 오프세트정보로 된다. 본 실시예에 있어서 TLB(11)에는 캐쉬메모리와 마찬가지로 세트어소시에이티브형식을 채용하기 때문이다. 그 때의 액세스가 라이트인 경우에는 엔트리데이타가 어드레스버스(200) 및 데이타버스(201)을 거쳐서 입력용 인터페이스(110)에 공급된다.

그 때의 액세스가 리드인 경우에는 엔트리데이타가 출력용 인터페이스(111)로부터 병렬적으로 외부로 리드된다. TLB의 엔트리데이타의 내용은 제8도에서 설명한 바와 같다.

제10도에 있어서 (202)는 캐쉬어드레스 비교회로, (203)은 TLB어드레스 비교회로, (204)는 물리어드레스 비교회로이다. 또, 제10도에 도시되는 컨트롤유닛(12)에는 외부버스 컨트롤러(300), 데이타컨트롤러(301), 어드레스 생성회로(302), 어드레스 컨트롤러(303), 예외처리 컨트롤러(304) 및 논리공간 관리회로(305)가 대표적으로 도시되어 있

다. 컨트롤유닛(12)로 도시된 회로블럭은 논리캐쉬메모리(10)과 TLB(11)과의 제어에 주목한 구성을 대표로 하는 것으로서, CPU에 있어서의 프로그램페치나 명령실행 시퀀스를 제어하기 위한 명령제어계는 생략되어 있다. 상기 캐쉬어드레스 비교회로(202), TLB어드레스 비교회로(203), 물리어드레스 비교회로(204)도 논리캐쉬메모리(10) 및 TLB(11)을 제어하기 위한 수단의 일부를 구성하는 것으로서, 이들은 비교회로라고 하는 전용의 하드웨어로 구성하거나 또는 중앙처리장치와 소프트웨어를 사용해서 구성할 수가 있다.

어드레스 생성회로(302)는 프로세스에 따라서 논리어드레스를 구성하는 논리페이지정보 및 오프세트정보를 생성해서 어드레스버스(200)으로 출력한다. 논리공간 관리회로(305)는 현재의 프로세스에 따라서 공간번호를 출력한다.

데이타 컨트롤러(301)은 각종 연산기나 다수의 레지스터 또는 작업영역 등을 갖고 CPU의 실행부로서의 데이타연산기능을 갖고, 논리캐쉬메모리(10)과의 관계에 있어서는 상기 캐쉬메모리(10)에서 리드된 여러 바이트의 데이타중에서 논리어드레스에 대응하는 데이타를 잘라내는 제어 등을 실행한다. 예외처리 컨트롤러(304)는 예를들면 TLB미스인 경우에 상기 논리어드레스에 대응하는 페이지엔트리를 메인메모리상의 페이지테이블에서 TLB로 라이트하기 위한 예외처리를 제어한다.

어드레스컨트롤러(303)은 논리캐쉬메모리(10)에서 리드되는 물리페이지정보 PA의 이용과 TLB(11)에서 리드되는 물리페이지정보 PA의 이용을 제어해서 물리어드레스를 생성한다. 예를 들면, 라이트액세스에 있어서 논리캐쉬메모리(10)이 히트했을 때, 상기 히트에 관한 캐쉬엔트리에 포함되는 물리페이지정보PA를 이용해서 외부액세스를 위한 물리어드레스를 생성한다.

상기 캐쉬어드레스 비교회로(202)는 논리캐쉬메모리(10)에서 리드된 논리페이지정보VA와 어드레스 생성회로(302)가 출력하는 논리페이지정보와의 비교 및 논리캐쉬메모리(10)에서 리드된 공간번호ASID와 논리공간 관리회로(305)가 출력하는 공간번호ASID와의 비교를 실행한다. 논리캐쉬메모리(10)에서 리드된 공유플래그SH가 " 1" 일 때에 공간번호는 비교대상에서 제외된다. 비교결과는 논리어드레스 미스/매치신호(400)으로서 출력된다.

상기 신호가 액티브레벨로 되는 것은 유효비트V가 유효하고 또한 비교결과가 일치하는 경우이며, 그밖의 경우에 상기 신호는 인액티브로 된다. 논리어드레스 미스/매치신호(400)이 액티브레벨로 되면(이 상태를 캐쉬히트라고 한다), 데이타 컨트롤러(301)은 캐쉬메모리(10)의 데이타DATA를 이용해서 소정의 연산을 실행하거나 또는 외부버스 컨트롤러(300)에 그의 데이타가 공급되어 외부액세스에 이용된다.

물리어드레스 비교회로(204)는 논리캐쉬메모리(10)에서 출력된 물리페이지정보PA와 TLB(11)에서 출력된 물리페이지정보를 비교한다. 비교결과는 물리어드레스 미스/매치신호(401)로서 출력된다. 이 물리어드레스 미스/매치신호(401)이 액티브레벨로 되는 조건은 상기 캐쉬어드레스 비교회로(202)의 비교결과가 캐쉬미스(논리어드레스 미스/배치신호(400)이 인액티브)인 것, 도시되어 있지는 않지만 유효비트V가 유효한 것, 공유플래그SH가 " 1" (공유)인 것, 그리고 물리어드레스 비교회로(204)에 의한 비교결과가 일치하는 것으로 된다. 이 물리어드레스 미스/매치신호(401)이 액티브레벨로 되면, 컨트롤유닛(12)는 논리어드레스 미스/매치신호(400)의 인액티브레벨에 관계없이 캐쉬히트인 경우와 마찬가지 처리를 실행한다. 이 제어형태는 제1도에서 설명한 내용이다.

TLB어드레스 비교회로(203)은 TLB(11)에서 리드된 논리페이지정보 VA와 어드레스 생성회로(302)가 출력하는 논리페이지정보와의 비교 및 TLB(11)에서 리드된 공간번호ASID와 논리공간 관리회로(305)가 출력하는 공간번호와의 비교를 실행한다. TLB(11)에서 리드된 공유플래그SH가 " 1" 일 때에 공간번호는 비교대상에서 제외된다. 비교결과는 TLB미스/매치신호(402)로서 출력된다. 상기 신호가 액티브레벨로 되는 것은 유효비트V가 유효하고 또한 비교결과가 일치하는 경우이고, 그 밖의 경우에 상기 신호는 인액티브로 된다. TLB미스/매치신호(402)가 인액티브레벨로 되면(이 상태를 TLB미스라고 한다), 예외처리 컨트롤러(304)가 외부버스 컨트롤러(300)을 제어해서 그 때의 논리어드레스에

대응되는 TLB(11)의 페이지엔트리가 메인메모리상의 페이지테이블에서 TLB(11)로 라이트된다. TLB미스/매치신호(402)가 액티브레벨로 되어(이 상태를 TLB히트라고 한다) 그 물리페이지정보PA를 이용한 외부액세스를 필요로 하는 경우, 어드레스 컨트롤러(303)은 그의 물리페이지정보를 외부버스 컨트롤러(300)에 공급하고, 이것에 의해 메인메모리 등의 물리공간에 대한 액세스가 실행된다.

제11도에는 논리캐쉬메모리(10)에 대한 전체적인 제어흐름이 도시되어 있다. 이것에 따라서 논리캐쉬메모리(10) 및 TLB(11)에 대한 제어동작의 1예를 설명한다.

먼저, 검색논리어드레스의 오프세트정보에 의해서 논리캐쉬메모리(10)에서 1개의 캐쉬엔트리가 선택되어 리드된다 (스텝S1).

선택된 캐쉬엔트리에 대해서 유효비트V가 체크되고, 상기 캐쉬엔트리의 유효/무효가 판정된다(스텝S2). 무효(V=0)이면, 외부 액세스를 위해 TLB(11)이 액세스된다(스텝S4). TLB히트인 경우는 그 TLB(11)의 엔트리에 포함되는 물리어드레스에 의해 외부액세스가 실행된다(스텝S7). TLB미스인 경우에는 TLB미스의 예외처리가 발생하고, OS에 의해서 그의 논리 어드레스에 대응되는 페이지엔트리가 메모리상의 페이지테이블로부터 TLB(11)에 페치된다(스텝S13). 예외처리가 완료하면, 스텝S4에 있어서의 TLB히트의 상태로 되어 스텝S7의 외부액세스가 실행된다.

스텝S2에 있어서 유효비트V가 유효(V=1)라고 판정되었을 때는 다음에 공유플래그SH가 체크된다(스텝S3). SH=1인 경우, 즉 상기 선택된 캐쉬엔트리의 데이타가 공유데이타인 경우, 검색논리어드레스의 논리페이지정보VA(SER)과 상기 캐쉬엔트리의 캐쉬태그어드레스로서의 논리페이지정보VA(CACHE)가 비교되고(스텝S6), 일치하는 경우에는 상기 캐쉬엔트리의 데이타DATA가 사용된다(스텝S10). 불일치하는 경우에는 검색논리어드레스의 논리페이지정보VA(SER)에 의해 TLB(11)이 검색된다(스텝S11). 그 결과, TLB히트인 경우에는 대응하는 물리페이지정보PA(TLB)가 얻어진다. 그리고, 이 물리페이지정보PA(TLB)는 상기 캐쉬엔트리에 포함되어 있는 물리페이지정보PA(CACHE)와 비교된다 (스텝S12). 이것이 일치하고 있었다면, 검색논리어드레스와 캐쉬엔트리의 논리어드레스는 동일한 물리어드레스에 할당되고 있는 것으로 되므로, 실질상 캐쉬히트의 경우와 마찬가지로 상기 캐쉬엔트리를 이용가능하게 한다(스텝S16). 스텝S12의 결과가 불일치이면 캐쉬미스의 상태에는 변함이 없고 외부 액세스가 실행된다(스텝S15). 또한, 스텝S11에 있어서 TLB미스라고 판정된 경우에는 스텝S13에서 예외처리가 실행된다. 예외처리가 완료하면, 스텝S11에 있어서의 TLB히트의 상태로 되어 처리가 스텝S12로 진행된다.

스텝S3의 판정결과가 SH=0, 즉 비공유데이타인 경우에는 어드레스비교시 공간번호는 무시되지 않고, 검색논리어드레스의 논리페이지정보VA(SER) 및 공간번호ASID(SER)이 캐쉬엔트리에 포함되는 캐쉬태그어드레스로서의 논리페이지정보VA(CACHE) 및 공간번호ASID(CACHE)와 각각 비교된다(스텝S5). 비교결과가 일치하는 경우에는 상기 캐쉬엔트리의 정보가 이용된다(스텝S8). 리드액세스인 경우에는 그의 데이타가 이용되고, 라이트액세스인 경우에는 캐쉬엔트리에 포함되는 물리페이지정보가 물리공간으로의 라이트에 이용된다. 스텝S5의 판정결과가 불일치하는 경우에는 TLB(11)이 액세스되고(스텝S9), TLB히트이면 그것에 의해서 얻어진 물리페이지정보를 이용해서 외부액세스가 실행되며(스텝S14), TLB미스이면 스텝S13의 예외처리가 실행된다.

제12도, 제13도, 제14도는 캐쉬메모리(10)의 대표적인 동작형태이다. 캐쉬리드히트, 캐쉬라이트히트, 캐쉬리드미스 및 캐쉬라이트미스의 4형태의 각각에 주목한 경우에 있어서의 캐쉬메모리의 동작제어흐름이 도시된다. 이들이 나타내는 내용은 제11도의 내용과 실질적으로 동일하고 기술의 관점이 상이할 뿐이다.

제12도에는 캐쉬리드히트와 캐쉬라이트히트의 경우에 있어서의 논리캐쉬메모리의 동작제어흐름이 도시되어 있다. 캐

쉬리드히트일 때는 논리어드레스의 오프세트정보에 의해 선택된 캐쉬엔트리에 포함되는 데이타의 대응부분이 리드데이타로 된다(스텝S21). 캐쉬라이트히트일 때는 논리어드레스의 오프세트정보에 의해 선택된 캐쉬엔트리를 향해서 라이트데이타가 라이트되고(스텝S22), 다음에 상기 캐쉬엔트리에서 물리페이지정보PA(CACHE)가 리드되고(스텝S23), 이것을 이용해서 그 라이트데이타가 메인메모리에 라이트된다(스텝S24). 스텝S20은 그 때의 액세스가 리드인지 라이트인지를 판정한다. 동일도면에 도시되는 스텝S20 S24는 제11도에 있어서의 스텝S8, S10, S16의 내용을 상세하게 나타낸 것과 마찬가지이다.

제13도에는 캐쉬리드미스인 경우에 있어서의 논리캐쉬메모리의 동작제어흐름이 도시되어 있다. 캐쉬리드미스에 있어서 스텝S30에서 TLB히트라고 판정되고 또한 스텝S32에서 공유플래그SH=1이라고 판정된 경우, 캐쉬미스에 관한 캐쉬엔트리에 포함되는 물리페이지정보PA(CACHE)와 검색논리어드레스에 대한 TLB히트에 관한 물리페이지정보PA(TLB)가 일치하면 (스텝S33), 이번의 캐쉬리드미스에 관한 캐쉬엔트리는 캐쉬히트로서 처리된다(스텝S34).

스텝S30에서 TLB미스라고 판정된 경우에는 상기 TLB미스의 예외처리가 실행된다(스텝S31). 스텝S32에서 SH=0이라고 판정된 경우 또는 스텝S33에서 불일치라고 판정된 경우에는 스텝S30에 있어서의 TLB히트에서 얻어진 물리페이지정보PA(TLB)가 캐쉬메모리에 저장되고(스텝S35), 다음에 그의 물리페이지정보를 이용해서 외부리드액세스가 실행되고(스텝S36), 또 그의 리드데이타나 캐쉬미스에 관한 논리어드레스의 논리페이지정보 등이 캐쉬메모리에 저장된다(스텝S37). 스텝S35, S37에 있어서의 캐쉬메모리로의 데이타저장에 있어서 라이트지는 상기 캐쉬미스에 관한 논리어드레스의 오프세트정보의 소정의 일부에 의해 결정된다.

동일도면의 스텝S35, S36, S37은 제11도에 도시되는 스텝S14, S15의 내용을 상세하게 도시한 것과 마찬가지이다.

제14도에는 캐쉬라이트미스인 경우에 있어서의 논리캐쉬메모리의 동작제어흐름이 도시되어 있다. 캐쉬라이트미스에 있어서 스텝S40에서 TLB히트라고 판정되고 또한 스텝S42에서 공유플래그SH=1이라고 판정된 경우, 캐쉬미스에 관한 캐쉬엔트리에 포함되는 물리페이지정보PA(CACHE)와 검색논리어드레스에 대한 TLB히트에 관한 물리페이지정보PA(TLB)가 일치하면(스텝S43), 이번의 캐쉬라이트미스에 관한 캐쉬엔트리는 캐쉬히트로서 처리된다(스텝S44). 스텝S40에서 TLB미스라고 판정된 경우에는 상기 TLB미스의 예외처리가 실행된다(스텝S41). 스텝S42에서 SH=0이라고 판정된 경우, 스텝S40에 있어서의 TLB히트에서 얻어진 물리페이지정보PA(TLB)가 리드되고(스텝S45), 상기 물리페이지정보를 이용한 외부라이트 액세스가 실행되고(스텝S46), 스텝S43에서 불일치라고 판정된 경우에는 스텝S40에 있어서의 TLB히트에서 얻어진 물리페이지정보PA(TLB)에 의해서 외부라이트액세스가 실행된다(스텝S46).

상기 실시예에 의하면, 다음과 같은 작용효과가 얻어진다.

[1] 논리캐쉬메모리(10)을 사용하는 것에 의해, 캐쉬히트의 경우에 TLB의 액세스를 생략할 수 있어 소비전력을 20% 정도 저감할 수 있다.

[2] 캐쉬태그어드레스로서의 논리페이지정보VA(CACHE)에 대응하는 물리페이지정보PA(CACHE)를 캐쉬메모리(10)에 보유하고, 공유영역을 액세스하는 경우 캐쉬미스일 때에 캐쉬메모리에 보유되어 있는 물리페이지정보PA(CACHE)와 검색어드레스를 TLB(11)에 의해 변환한 물리페이지정보PA(TLB)를 비교해서 일치하는 경우에는 캐쉬히트로서 그의 캐쉬엔트리를 처리하기 때문에, 다른 논리어드레스에 동일한 물리어드레스가 할당된 경우의 시노님의 문제를 TLB(11)로의 액세스횟수를 종래에 비해 반감시켜서 해결할 수가 있다.

[3] 캐쉬메모리(10)에 대한 캐쉬라이트히트시에 있어서, 상기 히트에 관한 캐쉬엔트리의 상기 물리페이지정보PA(CACHE)를 사용해서 외부라이트액세스용의 물리어드레스를 생성하기 때문에, 캐쉬라이트히트시에 있어서 TLB(11)의 액세스를 일절 필요로 하지 않는다.

[4] 상기 [2], [3]에 의해, 실질적인 캐쉬미스의 경우에만 TLB(11)을 액세스하면 좋게 되므로, TLB의 액세스에 허비되는 전체적인 전력소비량을 저감할 수가 있다.

[5] 상기 [2], [3]에 의해, 실질적인 캐쉬미스의 경우에만 TLB(11)을 액세스하며 좋게 되므로, TLB(11)의 액세스시간에 여유가 생긴다. TLB에서 변환되지 않는 논리어드레스의 일부를 사용해서 세트를 결정하는 물리캐쉬에서는 그의 캐쉬의 어드레스가 비교되기 전까지 물리어드레스를 얻을 필요가 있다. 캐쉬메모리를 1머신사이클에서 액세스하는 경우, TLB의 액세스시간은 0.5머신사이클로 된다. 본 실시예에 있어서는 캐쉬미스일 때에만 TLB를 액세스하므로, TLB의 액세스시간을 1머신사이클로 하더라도 마이크로컴퓨터의 성능저하는 무시할 수 있을 정도로 작게할 수 있다. 따라서, TLB의 타이밍설계가 용이하게 되고 또 마이크로컴퓨터의 동작속도가 고속화되는 경우에 있어서도 TLB를 그것에 간단하게 대응시킬 수 있게 된다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 그것에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지로 변경가능한 것은 물론이다.

예를들면, 상기 실시예에서는 TLB를 세트어소시에이티브형식의 연상메모리에 의해서 구성하는 경우에 대해서 설명하였지만, 풀어소시에이티브형식의 것에 대해서는 특히 한정하고 있지 않으나 풀어소시에이티브형식의 것을 사용하는 것도 가능하다. 풀어소시에이티브형식으로 하는 경우에는 CAM(Content Addressable Memory)과 같은 각 비트출력비트마다 비교회로를 필요로 하는 메모리회로를 사용하는 성질상, 칩점유면적이나 소비전력은 증대한다. 따라서, 마이크로컴퓨터 전체의 저소비전력을 고려한다면, 가능한 범위에서 세트어소시에이티브형식의 TLB를 사용하는 것이 득책(得策)이다.

또, 어드레스 변환기구가 가변페이지크기를 서포트하는 경우, 세트어소시에이티브형식을 채용하는 TLB와 같은 어드레스 변환버퍼에 대한 액세스방법은 그 페이지크기에 따라서 변화되지 않으면 안되게 된다. 그와 같은 경우에는 선택가능한 페이지크기에 따른 세트어소시에이티브형식의 여러개의 TLB를 준비하고, 페이지크기에 따라서 그것을 구분해서 사용하도록 하면 좋다. 또는, 대표적인 페이지크기에 대응한 1개의 세트어소시에이티브형식의 TLB와 풀어소시에이티브형식의 TLB를 준비하고, 상기 대표적인 페이지크기의 경우에는 전자의 TLB를, 그 이외의 페이지크기에 대해서는 후자의 TLB를 사용하도록 하여도 좋다.

또, TLB에 대한 액세스를 논리페이지이동이 발생한 경우로 한정하는 것에 의해서도 저소비전력에 기여한다. 즉, 동일 논리페이지의 범위내에 있어서는 물리페이지정보는 일정하기 때문에 일단 TLB에서 얻은 물리페이지정보를 적당한 레지스터에 축적하고, 동일 논리페이지내의 액세스시에는 상기 레지스터의 물리어드레스정보를 이용해서 물리어드레스를 생성하도록 하면 좋다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발병을 그 배경으로 된 이용분야인 마이크로컴퓨터에 적용한 경우에 대해서 설명하였지만, 본 발명은 그것에 한정되는 것은 아니고 그밖의 데이타 처리장치에 널리 적용할 수가 있다. 본 발명은 적어도 논리캐쉬메모리와 어드레스변환버퍼를 구비해서 데이타처리를 실행하는 조건의 것에 적용할 수가 있다.

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다.

논리페이지정보에 대응하는 물리페이지정보와 같은 정보를 논리캐쉬메모리에 보유하고, 공유영역을 액세스하는 경우 캐쉬미스일 때에 논리캐쉬메모리에 보유되어 있는 물리페이지정보와 같은 정보와 검색어드레스를 TLB에 의해 변환한 물리페이지정보를 비교해서 일치하는 경우에는 캐쉬히트로서 그의 캐쉬엔트리를 처리하기 때문에, 다른 논리어드레스

에 동일한 물리어드레스가 할당된 경우의 시노님의 문제를 TLB로의 액세스횟수를 종래에 비해 반감시켜서 해결할 수가 있다.

논리캐쉬메모리에 대한 캐쉬라이트히트시에 있어서, 상기 히트에 관한 캐쉬엔트리의 상기 물리페이지정보와 같은 정보를 사용해서 외부 라이트액세스용의 물리어드레스를 생성하기 때문에, 캐쉬라이트히트시에 있어서 TLB의 액세스를 일절 필요로 하지 않는다.

논리캐쉬메모리를 사용하는 것에 의해, 캐쉬히트인 경우에 TLB의 액세스를 생략할 수 있고 소비전력을 저감할 수 있으며 또 상기에 의해 실질적인 캐쉬미스의 경우에만 TLB를 액세스하면 좋게 되므로, TLB의 액세스에 허비되는 전체적인 전력소비량을 저감할 수가 있다.

상기에 의해, 실질직인 캐쉬미스의 경우에만 TLB를 액세스하면 좋게 되므로, TLB의 액세스시간에 여유가 생긴다. 캐쉬미스일 때에만 TLB를 액세스하므로, TLB의 액세스시간을 1머신사이클로 하더라도 마이크로컴퓨터의 성능저하는 무시할 수 있을 정도로 작게 할 수 있다. 따라서, 마이크로컴퓨터 등의 데이타처리장치의 동작속도가 고속화되는 경우에 있어서도, TLB의 타이밍설계가 용이하게 되고 또 초고속메모리를 채용한 TLB가 아니더라도 그것에 간단하게 대응할 수가 있다.

또, 대표적인 페이지크기에 대응한 1개의 세트어소시에이티브형식의 TLB와 풀어소시에이티브형식의 TLB를 준비하고, 상기 대표적인 페이지크기의 경우에는 전자의 TLB를, 그 이외의 페이지크기에 대해서는 후자의 TLB를 사용하도록 하는 것에 의해서, 어드레스 변환기구가 가변페이지크기를 서포트하는 경우에도 상기의 효과를 보유해서 용이하게 대응할 수가 있다.

(57) 청구의 범위

청구항 1.

논리 캐쉬메모리, 어드레스 변환버퍼 및 제어부를 갖는 데이타 처리장치로서,

상기 논리 캐쉬메모리는 검색정보로 되는 논리 어드레스정보를 저장한 엔트리를 여러개 갖고,

상기 어드레스 변환버퍼는 논리 어드레스를 물리 어드레스로 변환하기 위한 변환정보쌍을 갖고,

상기 제어부는 상기 논리 캐쉬메모리와 상기 어드레스 변환버퍼를 제어하고,

상기 논리 캐쉬메모리의 각각의 엔트리에는 상기 엔트리에 저장되어 있는 논리 어드레스정보에 대응하는 물리 어드레스정보를 더 저장하고,

상기 논리 어드레스정보에 따라서 검색된 캐쉬메모리의 엔트리가 액세스하고자 하는 논리 어드레스에 대응하지 않는 경우, 상기 제어부는 상기 액세스하고자 하는 논리 어드레스를 상기 어드레스 변환버퍼를 사용해서 물리 어드레스로 변환하고, 상기 엔트리에 저장되어 있는 물리 어드레스정보와 변환된 물리 어드레스를 비교하고, 물리 어드레스정보와 변환된 물리 어드레스가 대응하는 경우에는 상기 엔트리를 캐쉬히트한 엔트리로 하는 것을 특징으로 하는 데이타 처리장치.

청구항 2.

제1항에 있어서,

상기 액세스하고자 하는 논리 어드레스는 대응하는 물리 어드레스를 포함하는 물리 어드레스공간을 여러개의 논리 어드레스공간과 공유하는 것을 특징으로 하는 데이타 처리장치.

청구항 3.

논리 캐쉬메모리, 어드레스 변환버퍼 및 제어부를 갖는 데이타 처리장치로서,

상기 논리 캐쉬메모리는 검색정보로서의 논리 어드레스정보를 저장한 캐쉬엔트리를 여러개 갖고,

상기 어드레스 변환버퍼는 논리 어드레스를 물리 어드레스로 변환하기 위한 어드레스 변환쌍을 갖고,

상기 제어부는 상기 논리 캐쉬메모리와 상기 어드레스 변환버퍼를 제어하고,

상기 논리 캐쉬메모리의 각각의 엔트리는 상기 엔트리에 저장된 논리 어드레스정보에 대응하는 물리 어드레스정보를 더 갖고,

상기 논리 어드레스정보에 따라서 캐쉬메모리의 엔트리가 검색되고, 상기 엔트리에 저장된 물리 어드레스정보가 메모리 라이트처리에 있어서의 액세스되는 물리 어드레스의 생성에 사용되고,

상기 엔트리에 저장된 논리 어드레스정보가 액세스하고자 하는 논리 어드레스에 대응하지 않는 경우, 상기 액세스하고자 하는 논리 어드레스를 어드레스 변환버퍼를 사용해서 물리 어드레스로 변환하고, 상기 엔트리에 포함되는 물리 어드레스 정보와 변환된 물리 어드레스를 비교하고 물리 어드레스정보와 변환된 물리 어드레스가 대응하는 경우, 캐쉬히트한 엔트리로서 상기 엔트리를 사용하는 것을 특징으로 하는 데이타 처리장치.

청구항 4.

논리 캐쉬메모리, 어드레스 변환버퍼 및 제어부를 갖는 데이타 처리장치로서,

상기 논리 캐쉬메모리는 검색정보로서의 논리 어드레스정보를 저장한 엔트리를 여러개 갖고,

상기 어드레스 변환버퍼는 논리 어드레스를 물리 어드레스로 변환하기 위한 어드레스 변환쌍을 갖고,

상기 제어부는 논리 캐쉬메모리와 어드레스 변환버퍼를 제어하고,

상기 논리 캐쉬메모리의 각각의 엔트리에는 저장된 논리 어드레스정보에 대응하는 물리 어드레스정보를 더 저장하고,

상기 제어부는 캐쉬 어드레스 비교기, 물리 어드레스 비교기, 데이타 컨트롤러 및 어드레스 컨트롤러를 갖고,

상기 캐쉬 어드레스 비교기는 논리 어드레스정보에 따라서 검색된 캐쉬엔트리가 액세스하고자 하는 논리 어드레스와 일치하는지 일치하지 않는지를 검출하고,

상기 물리어드레스 비교기는 상기 캐쉬 어드레스 비교기의 검출결과에 따라서 상기 액세스하고자 하는 논리 어드레스를 어드레스 변환버퍼를 사용해서 물리 어드레스로 변환하고, 상기 엔트리에 저장되어 있는 물리 어드레스정보와 변환된 물리 어드레스가 일치하는지 일치하지 않는지를 검출하기 위해 비교하고,

상기 데이타 컨트롤러는 상기 물리 어드레스 비교기가 어드레스의 일치를 검출한 경우, 캐쉬히트로서 상기 캐쉬엔트리에 포함되는 정보를 이용하고,

상기 어드레스 컨트롤러는 상기 논리 어드레스정보에 따라서 검색된 캐쉬엔트리가 액세스하고자 하는 논리 어드레스에 대응하는 경우, 캐쉬히트로서 검출된 상기 엔트리에 저장된 물리 어드레스정보를 메모리 라이트처리에 있어서의 액세스되는 물리 어드레스의 생성에 사용하는 것을 특징으로 하는 데이타 처리장치.

청구항 5.

제4항에 있어서,

상기 논리 캐쉬메모리는 세트어소시에이티브방식이고,

상기 캐쉬엔트리는 논리 어드레스공간을 나타내는 어드레스공간ID, 대응 물리 어드레스공간을 여러개의 논리 어드레스공간에서 공유하고 있는 것을 나타내는 공유플래그, 논리페이지정보, 논리 어드레스 대응정보 및 물리 어드레스에 대응한 물리페이지정보를 더 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 6.

제5항에 있어서,

상기 어드레스 변환버퍼는 세트어소시에이티브방식이고,

상기 어드레스 변환쌍에는 논리 어드레스공간을 나타내는 어드레스공간 ID, 대응 물리 어드레스공간을 여러개의 논리 어드레스공간에서 공유하고 있는 것을 나타내는 공유플래그, 논리페이지정보, 논리 어드레스 대응정보 및 물리 어드레스에 대응한 물리 페이지정보를 더 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 7.

제6항에 있어서,

풀어소시에이티브방식의 제2 어드레스 변환버퍼를 갖고,

논리 페이지 크기를 변경하는 경우에는 어드레스 변환버퍼 대신에 상기 제2 어드레스 변환버퍼가 사용되는 것을 특징으로 하는 데이타 처리장치.

청구항 8.

제4항에 있어서,

상기 액세스하고자 하는 논리 어드레스는 대응하는 물리 어드레스를 포함하는 물리 어드레스공간을 여러개의 물리 어드레스공간과 공유하는 것을 특징으로 하는 데이타 처리장치.

청구항 9.

논리 캐쉬메모리, 어드레스 변환버퍼 및 제어부를 갖고, 반도체기판상에 형성된 데이타 처리장치로서,

상기 논리 캐쉬메모리는 검색정보로 되는 논리 어드레스정보를 저장한 엔트리를 갖고,

상기 어드레스 변환버퍼는 논리 어드레스를 물리 어드레스로 변환하기 위한 어드레스 변환정보쌍을 갖고,

상기 제어부는 상기 논리 캐쉬메모리와 상기 어드레스 변환버퍼를 제어하고,

상기 논리 캐쉬메모리의 엔트리에는 상기 엔트리에 저장되어 있는 논리 어드레스정보에 대응하는 물리 어드레스정보를 더 저장하고,

액세스하고자 하는 논리 어드레스에 대응해서 캐쉬 엔트리가 선택되고, 선택된 엔트리의 물리 어드레스정보가 메모리 라이트처리에 있어서의 액세스되는 물리 어드레스의 생성에 사용되고,

상기 논리 어드레스정보에 따라서 검색된 캐쉬메모리의 엔트리가 액세스하고자 하는 논리 어드레스에 대응하지 않는 경우, 캐쉬메모리 중의 물리 어드레스정보와 어드레스 변환버퍼를 사용해서 논리 어드레스를 변환한 물리 어드레스를 비교하고,

상기 물리 어드레스정보와 변환된 물리 어드레스가 대응하는 경우에는 캐쉬히트로 하는 것을 특징으로 하는 데이타 처리장치.

청구항 10.

제9항에 있어서,

상기 논리 캐쉬메모리는 세트어소시에이티브방식이고,

상기 캐쉬엔트리는 논리 어드레스공간을 나타내는 어드레스공간 ID, 대응 물리 어드레스공간을 여러개의 논리 어드레스공간에서 공유하고 있는 것을 나타내는 공유플래그, 논리페이지정보, 논리 어드레스 대응정보 및 물리 어드레스에 대응한 물리페이지정보를 더 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 11.

제10항에 있어서,

상기 어드레스 변환버퍼는 세트어소시에이티브방식이고,

상기 어드레스 변환정보쌍은 논리 어드레스공간을 나타내는 어드레스공간 ID, 대응 물리 어드레스공간을 여러개의 논리 어드레스공간에서 공유하고 있는 것을 나타내는 공유플래그, 논리 페이지정보, 논리 어드레스 대응정보 및 물리 어드레스에 대응한 물리 페이지정보를 더 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 12.

제11항에 있어서,

풀어소시에이티브방식의 제2 어드레스 변환버퍼를 갖고, 논리 페이지 크기를 변경하는 경우에는 어드레스 변환버퍼 대신에 상기 제2 어드레스 변환버퍼가 사용되는 것을 특징으로 하는 데이타 처리장치.

청구항 13.

제9항에 있어서,

외부버스에 접속되는 컨트롤러를 갖고,

상기 외부버스는 데이타 처리장치의 외부의 메인메모리에 접속되는 것을 특징으로 하는 데이타 처리장치.

청구항 14.

중앙처리장치와 기억장치, 제어장치 및 캐쉬메모리를 갖는 데이타 처리장치로서,

상기 캐쉬메모리는 여러개의 엔트리를 갖고, 각각의 엔트리에 논리 어드레스 정보 및 상기 논리 어드레스정보에 대응하는 물리 어드레스정보를 갖고,

상기 중앙처리장치가 출력하는 논리 어드레스에 따라서 상기 제어장치는 상기 논리 어드레스와 상기 어드레스에 의해 선택되는 캐쉬엔트리에 저장되어 있는 논리 어드레스 정보를 비교하고,

상기 논리 어드레스와 논리 어드레스정보가 대응하는 경우에는 캐쉬히트로 하고,

상기 논리 어드레스와 논리 어드레스정보가 대응하지 않는 경우에 상기 제어 장치는 상기 논리 어드레스에 따라서 물리 어드레스를 생성하고, 상기 제어장치는 상기 물리 어드레스와 선택되어 있는 캐쉬엔트리에 저장되어 있는 물리 어드레스정보를 비교하고,

상기 물리 어드레스와 물리 어드레스정보가 대응하는 경우에는 캐쉬히트로 하고,

상기 물리 어드레스와 물리 어드레스정보가 대응하지 않는 경우에는 캐쉬미스히트로 하고, 제어장치는 기억장치로 액세스하는 것을 특징으로 하는 데이타 처리장치.

청구항 15.

중앙처리장치와 기억장치, 제어장치 및 캐쉬메모리를 갖는 데이타 처리장치로서,

상기 캐쉬메모리는 여러개의 엔트리를 갖고, 각각의 엔트리는 논리 어드레스 정보와 논리 어드레스정보에 대응한 물리 어드레스정보를 갖고,

여러개의 논리 어드레스에 의해 공통의 물리 어드레스를 공유할 수 있고,

상기 중앙처리장치가 출력하는 논리 어드레스에 따라서 상기 제어장치는 상기 논리어드레스와 상기 논리어드레스에 의해 선택되는 캐쉬엔트리에 저장된 논리 어드레스정보를 비교하고,

상기 논리 어드레스와 논리 어드레스정보가 대응하는 경우에는 캐쉬히트로 하고,

상기 논리 어드레스와 논리 어드레스정보가 대응하지 않고 상기 논리어드레스가 다른 논리 어드레스와 물리 어드레스를 공유하는 경우, 상기 제어장치는 상기 논리 어드레스에 따라서 물리 어드레스를 생성하고, 상기 제어장치는 상기 물리 어드레스와 선택되어 있는 캐쉬엔트리에 저장되어 있는 물리 어드레스 정보를 비교하고,

상기 물리 어드레스와 물리 어드레스정보가 대응하는 경우에는 캐쉬히트로 하고,

상기 물리 어드레스와 물리 어드레스정보가 대응하지 않거나 또는 상기 논리 어드레스가 다른 논리 어드레스와 물리 어드레스를 공유하지 않은 경우에는 캐쉬미스히트로 하고, 제어장치는 기억장치로 액세스하는 것을 특징으로 하는 데이타 처리장치.

청구항 16.

제15항에 있어서,

상기 캐쉬메모리는 세트어소시에이티브방식이고,

상기 캐쉬엔트리는 논리 어드레스공간을 나타내는 어드레스공간 ID, 공유플래그, 논리 어드레스정보 및 물리 어드레스정보를 더 갖고,

상기 공유플래그는 어드레스공간ID로 나타내는 논리 어드레스공간이 다른 1개 이상의 논리 어드레스공간과 물리 어드레스공간을 공유하는 것을 나타내는 것을 특징으로 하는 데이타 처리장치.

청구항 17.

제16항에 있어서,

어드레스 변환버퍼를 더 갖고,

상기 어드레스 변환버퍼는 세트어소시에이티브방식이고, 논리 어드레스정보, 물리 어드레스정보, 논리 어드레스공간을 나타내는 어드레스공간 ID, 어드레스공간 ID로 나타내는 논리 어드레스공간이 다른 1개 이상의 논리 어드레스공간과 물리 어드레스공간을 공유하는 것을 나타내는 공유플래그를 갖는 것을 특징으로 하는 데이타 처리장치.

청구항 18.

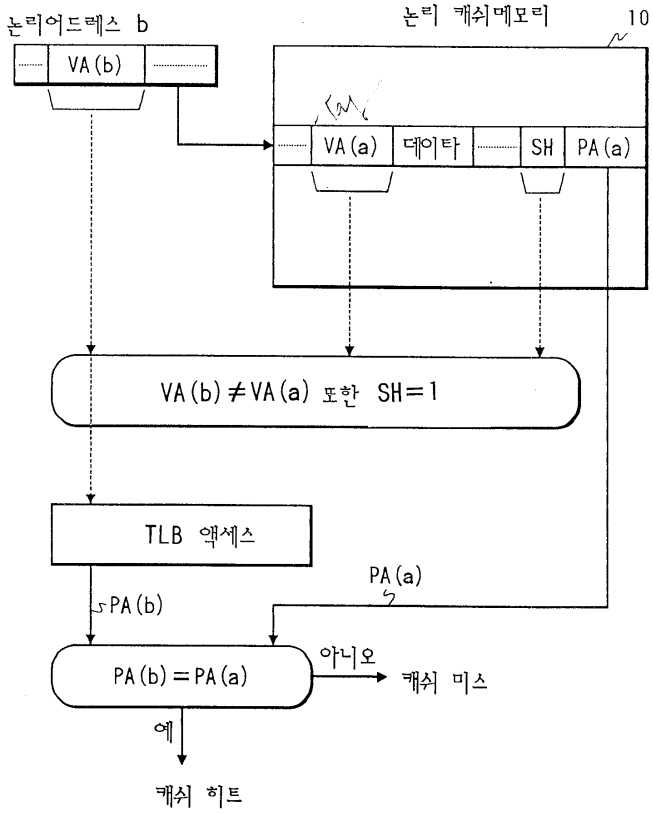
제17항에 있어서,

상기 논리 어드레스공간이 제1 크기인 경우, 상기 어드레스 변환버퍼에 의해 상기 논리 어드레스에 따라서 논리 어드레스정보를 생성하고,

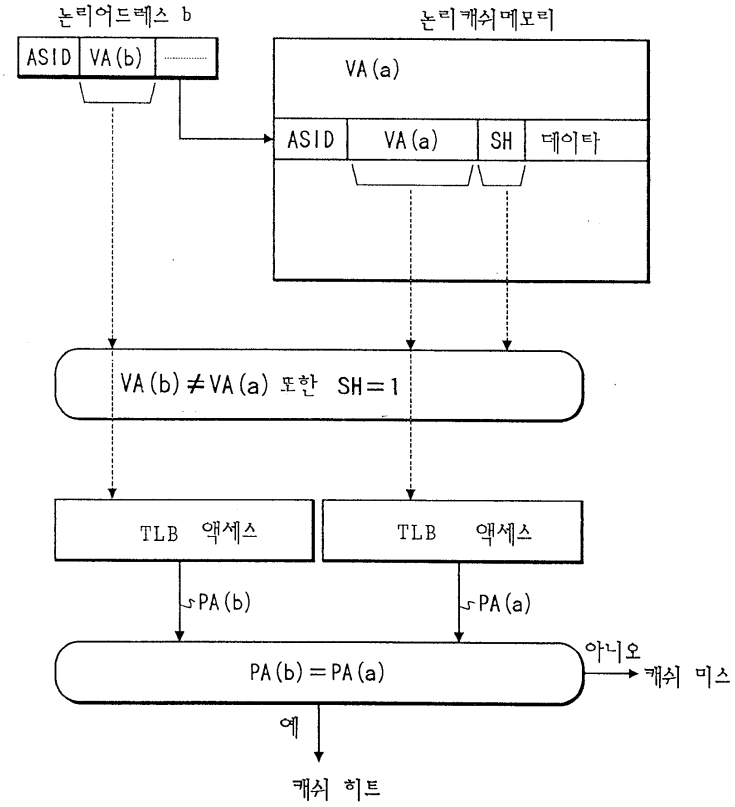
상기 제1 크기와는 다른 제2 크기의 논리 어드레스공간인 경우, 상기 논리 어드레스에서 물리 어드레스로의 변환에는 풀어소시에이티브방식의 제2 어드레스 변환버퍼가 사용되는 것을 특징으로 하는 데이타 처리장치.

도면

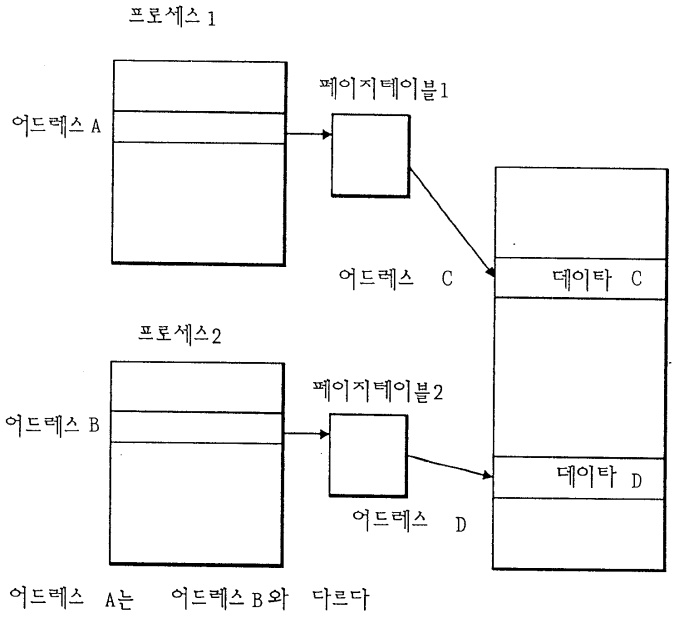
도면 1



도면 2

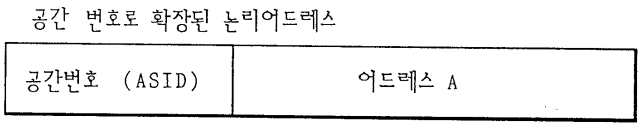

논리어드레스 b
ASID
VA(b)
논리캐쉬메모리
VA(a)
ASID
VA(a)
SH
데이타
VA(b)≠VA(a) 또한 SH=1
TLB 액세스
TLB 액세스
PA(b)
PA(a)
PA(b)=PA(a)
아니오
캐쉬 미스
예
캐쉬 히트

도면 3

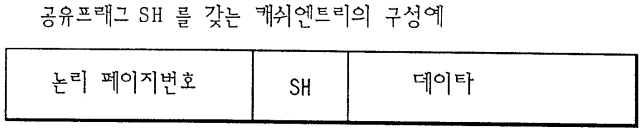


다중논리공간

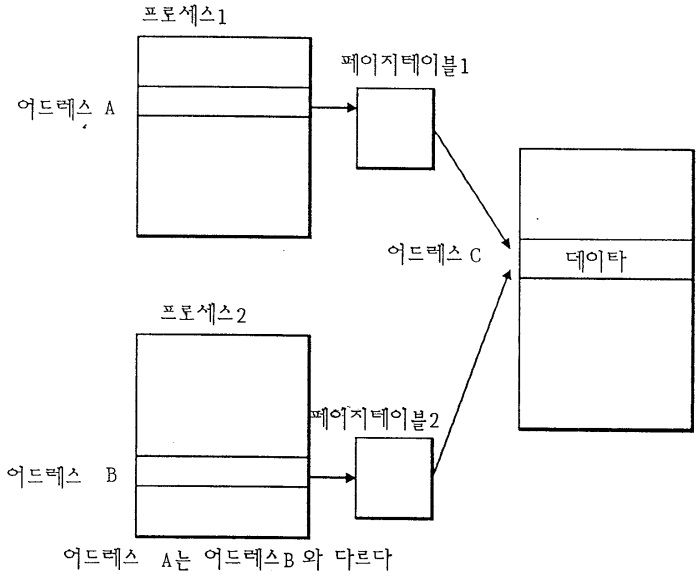
도면 4a



도면 4b

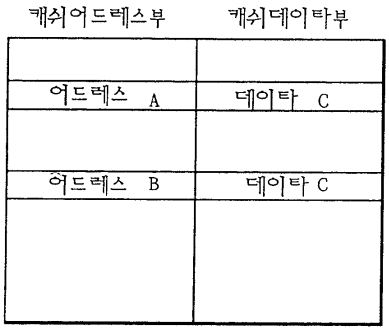


도면 5



시노님의 예

도면 6a



논리캐쉬메모리중에 동일한 물리어드레스
(데이타C)의 데이타가 여러개 존재

도면 6b

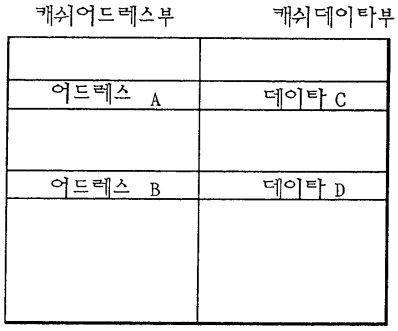
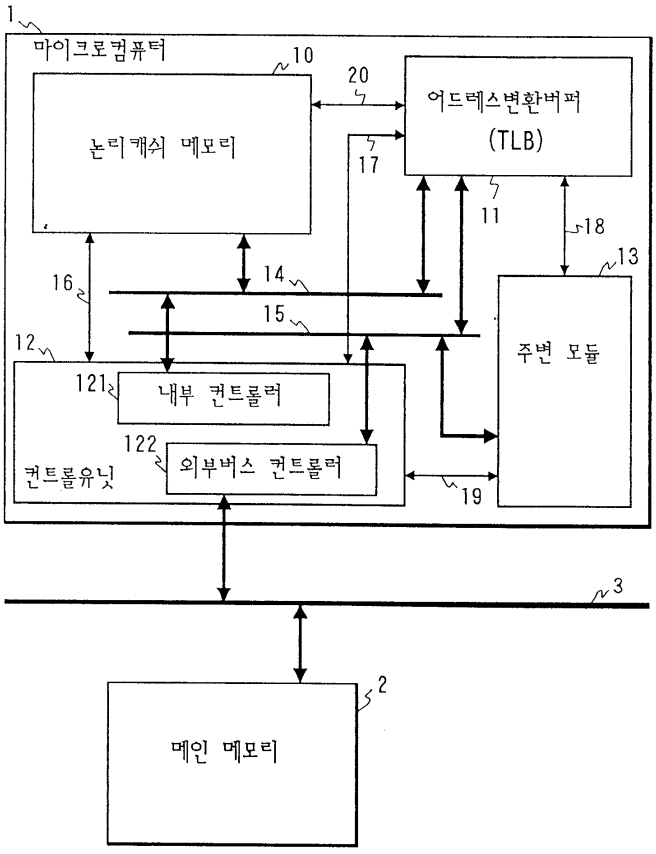


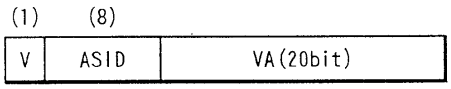
FIG.6A 의 상태에서 어드레스B 의 데이타가 데이타C 에서 데이타D 로 갱신된 상태

도면 7

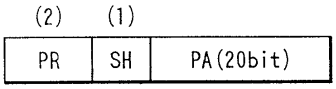


도면 8

TLB entry



논리 어드레스부



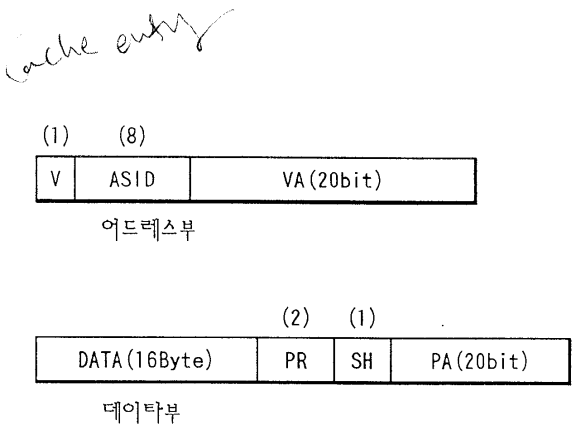
물리 어드레스부

V : 유효비트
ASID : 공간번호
PR : 프로텍션
SH : 공유플래그
1:공유 0:비공유

PA : 물리페이지정보
VA : 논리페이지정보(논리페이지번호)

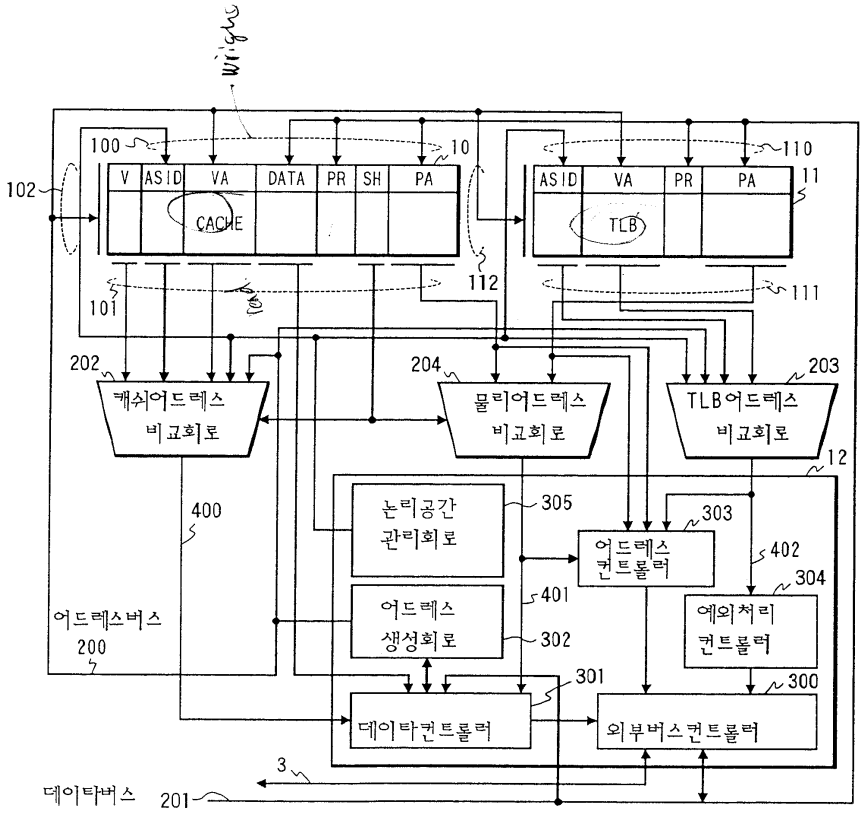
TLB의 엔트리구성

도면 9

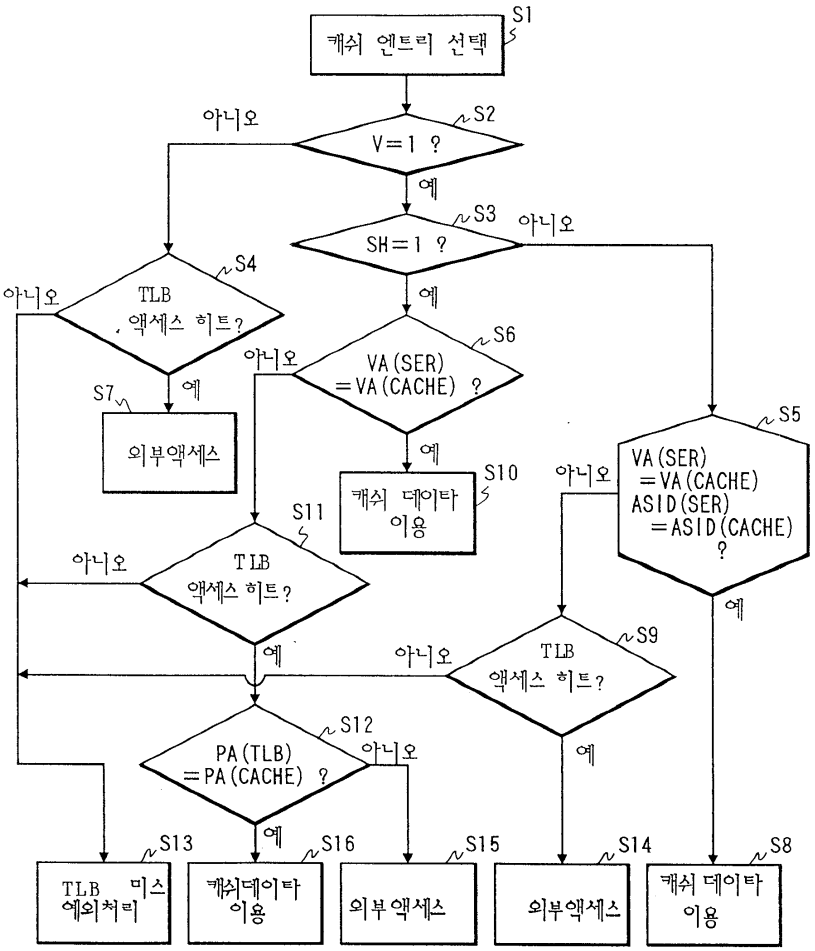


논리캐쉬메모리의 엔트리구성

도면 10

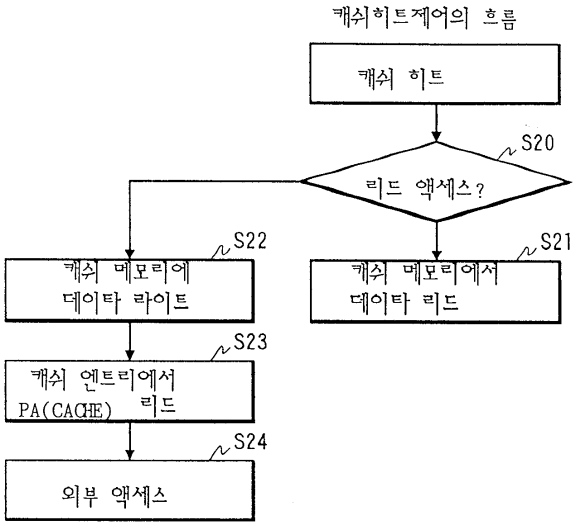

100
10
110
V
ASID
VA
DATA
PR
SH
PA
CACHE
ASID
VA
PR
PA
TLB
11
102
101
112
111
202
204
203
캐쉬어드레스
비교회로
물리어드레스
비교회로
TLB어드레스
비교회로
12
400
논리공간
관리회로
305
303
어드레스
컨트롤러
402
304
401
어드레스
생성회로
302
예외처리
컨트롤러
어드레스버스
200
301
300
데이타컨트롤러
외부버스컨트롤러
3
데이타버스
201

도면 11



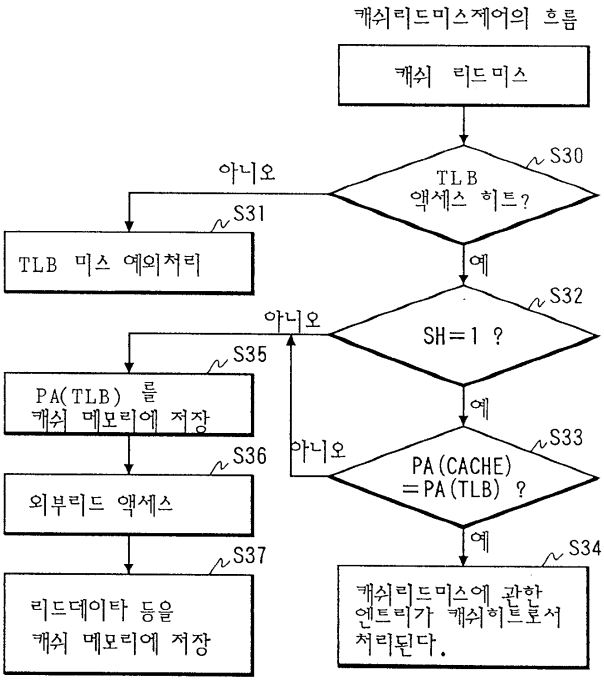
VA(SER) : 검색논리 어드레스의 논리페이지정보
VA(CACHE) : 캐쉬엔트리의 캐쉬태그 (논리페이지정보)
PA(TLB) : TLB 에서 얻어진 물리페이지정보
PA(CACHE) : 캐쉬엔트리에 포함되어 있는 물리페이지정보

도면 12



PA(CACHE) : 캐쉬엔트리에 포함되어 있는 물리페이지정보

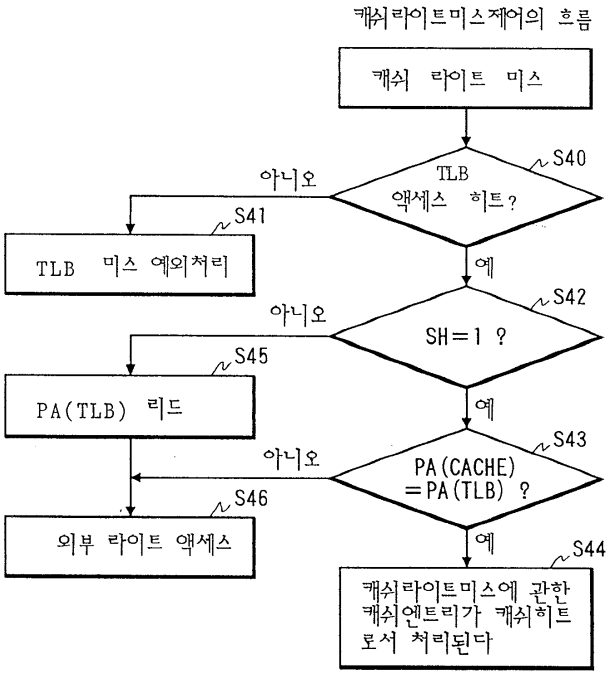
도면 13



PA(TLB) : TLB 에서 얻어진 물리페이지정보

PA(CACHE) : 캐쉬엔트리에 포함되어 있는 물리페이지정보

도면 14



PA(TLB) : TLB 에서 얻어진 물리페이지정보

PA(CACHE) : 캐쉬엔트리에 포함되어 있는 물리페이지정보