(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月5日(05.12.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/247025 A1

(51) 国際特許分類:
H01L 21/768 (2006.01) *H01L 23/522* (2006.01)
H01L 21/3205 (2006.01) *H01L 29/812* (2006.01)
H01L 21/338 (2006.01)

(21) 国際出願番号： PCT/JP2023/019866

(22) 国際出願日： 2023年5月29日(29.05.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

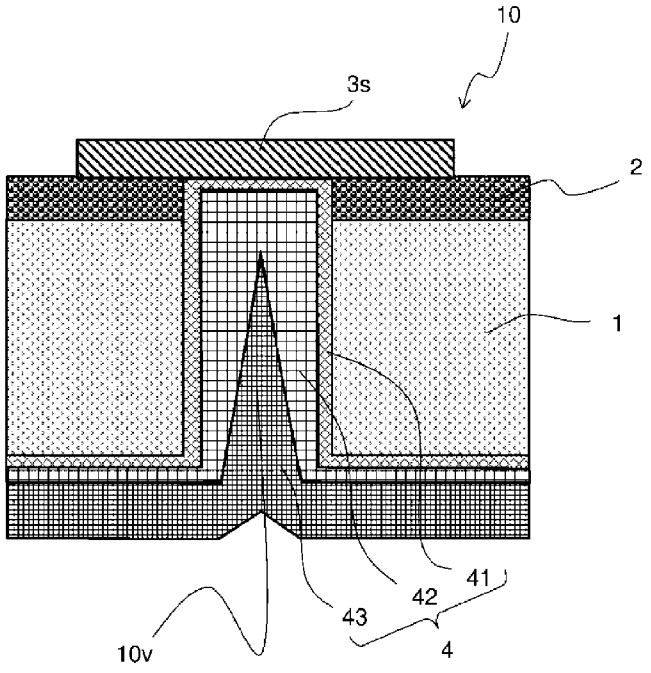
(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:奥畑 亮(**OKUHATA Ryo**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 西澤 弘一郎(**NISHIZAWA Koichiro**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 森田 智之(**MORITA Tomoyuki**); 〒1030022 東京都中央区日本橋室町2丁目2番1号 関東化学株式会社内 Tokyo (JP). 徳久 智明(**TOKUHISA Tomoaki**); 〒1030022 東京都中央区日本橋室町2丁目2番1号 関東化学株式会社内 Tokyo (JP). 清水 寿和(**SHIMIZU Toshikazu**); 〒1030022 東京都中央区日本橋室町2丁目2番1号 関東化学株式会社内 Tokyo (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法

図1



(57) **Abstract:** A semiconductor device (10) according to the present application is configured to comprise a substrate (1) of a semiconductor material, a surface electrode (3) formed on one surface of the substrate (1), and a solid via (10v) including: a covering layer (42) formed from gold, which covers the inner wall of a tubular hole opening on the other surface of the substrate (1) and having the surface electrode (3) as the bottom surface thereof, and in which is formed a depression (42d) depressed from the opening side toward the bottom surface; and a filler layer (43) filling the depression

WO 2024/247025 A1

[続葉有]

(74) 代理人：弁理士法人ぱるも特許事務所(**PALMO PATENT FIRM, P.C.**)；〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(42d) and formed from any of copper, silver, nickel, tin, and gold with a larger crystal grain size than the covering layer (42).

(57) 要約：本願の半導体装置（１０）は、半導体材料の基板（１）、基板（１）の一方の面に形成された表面電極（３）、および基板（１）の他方の面で開口し、表面電極（３）を底面とする筒状の孔の内壁を被覆し、開口の側から底面に向かって窪む凹部（４２ｄ）が形成された金による被覆層（４２）と、凹部（４２ｄ）を埋め、銅、銀、ニッケル、錫、および被覆層（４２）よりも結晶粒径が大きな金のいずれかによる充填層（４３）と、を有する中実のビア（１０ｖ）、を備えるように構成した。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001] 本願は、半導体装置および半導体装置の製造方法に関するものである。

背景技術

[0002] 半導体基板の表面と裏面を貫通する電極（ビア）を有する半導体装置においては、ビア内を通常、Ｃｕビアフィリングと称される銅（Ｃｕ）めっきにおいて充填することで、電気的な接続、高周波特性の向上および放熱性の向上が期待される。

[0003] 銅めっきによるビアフィリングは電解めっきで実施され、めっき液の組成、印加電圧波形、液の攪拌など精密な制御が必要である（例えば、特許文献１参照。）。また、銅の半導体内部への拡散による電気的特性の劣化が懸念されることから、ビア内壁には拡散バリア層を形成する必要がある（例えば、特許文献２参照。）。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－０９５１０４号公報（段落００４２～００５０、表１）

特許文献2：特表２０１３－５３２９０３号公報（段落００３９、図１３）

発明の概要

発明が解決しようとする課題

[0005] しかし、電解めっきによるＣｕビアフィリングにおいては、めっき工程（めっき液の組成、印加電圧波形、液の攪拌）の精密な管理が必要であり、過大な装置投資、工程管理等のコスト増大が問題であった。さらに、拡散バリア層としては、導電性金属窒化物のような形成工程が複雑で取り扱いが困難な材料を必要とし、やはり、過大な装置投資、工程管理等のコスト増大が問題であった。

[0006] 本願は、上記のような課題を解決するための技術を開示するものであり、厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることを目的とする。

課題を解決するための手段

[0007] 本願に開示される半導体装置は、半導体材料の基板、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔の内壁を被覆し、前記開口の側から前記底面に向かって窪む凹部が形成された金による第一メッキ層と、前記凹部を埋め、銅、銀、ニッケル、錫、および前記第一メッキ層よりも結晶粒径が大きな金のいずれかによる第二メッキ層と、を有する中実のビア、を備えたことを特徴とする。

[0008] 本願に開示される半導体装置の製造方法は、半導体材料の基板の一方の面に配線部材を形成し、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔を形成する工程、前記筒状の孔の内壁を被覆し、かつ前記開口の側から前記底面に向かって窪む凹部が形成されるように、無電解メッキにより、金の第一メッキ層を形成する工程、および前記凹部を埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層を形成する工程、を含むことを特徴とする。

発明の効果

[0009] 本願に開示される半導体装置あるいは半導体装置の製造方法によれば、ビア内壁に過大な装置を必要とせず、簡単な工程で金の被覆層を形成したので、厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることができる。

図面の簡単な説明

[0010] [図1]実施の形態１にかかる半導体装置のビアの構成を説明するための端面図である。

[図2]実施の形態１にかかる半導体装置の構成を説明するための端面図である。

[図3]実施の形態１にかかる半導体装置の製造方法を説明するためのフローチ

ャートである。

[図4]実施の形態１にかかる半導体装置のビアの被覆層の構成を説明するためのビアフィリング工程中の端面図である。

[図5]実施の形態１にかかる半導体装置におけるビアフィリング工程中の断面ＳＥＭ像を示す図である。

[図6]実施の形態１にかかる半導体装置のビアフィリングにおける被覆層形成中の段階ごとの状態を示す端面模式図である。

[図7]実施の形態１の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

[図8]比較例にかかる半導体装置のビアの構成を説明するための端面図である。

[図9]比較例にかかる半導体装置におけるビアフィリング工程中の断面ＳＥＭ像を示す図である。

[図10]実施の形態２にかかる半導体装置のビアフィリングにおける充填層形成前の構成を説明するための端面図である。

[図11]実施の形態２にかかる半導体装置の製造方法を説明するためのフローチャートである。

[図12]実施の形態２にかかる半導体装置のビアの構成を説明するための端面図である。

[図13]実施の形態３にかかる半導体装置のビアの構成を説明するための端面図である。

[図14]実施の形態３の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

[図15]実施の形態４にかかる半導体装置のビアの構成を説明するための端面図である。

[図16]実施の形態４の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

[図17]実施の形態５にかかる半導体装置のビアの構成を説明するための端面

図である。

[図18]実施の形態５の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

[図19]実施の形態６にかかる半導体装置のビアの構成を説明するための端面図である。

[図20]実施の形態６の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

[図21]実施の形態７にかかる半導体装置のビアの構成を説明するための端面図である。

[図22]実施の形態７の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

発明を実施するための形態

[0011] 実施の形態１．

図１～図９は、実施の形態１にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図１は半導体装置のビアの構成を説明するための後述する図２のＡ－Ａ線に対応する端面図、図２は半導体装置の構成を説明するための端面図である。そして、図３は半導体装置の製造方法を説明するためのフローチャートであり、図４は半導体装置のビアの被覆層の構成を説明するためのビアフィリング工程中の被覆層を形成し、充填層を形成する前の図１に対応する端面図、図５はビアフィリング工程における図４と同様の被覆層を形成した段階の断面ＳＥＭ像である。また、図６は実施の形態１にかかる半導体装置のビアフィリングにおける被覆層形成中の段階ごとの状態を示す端面模式図である。

[0012] また、図７は変形例にかかる半導体装置のビアの構成を説明するための被覆層を形成した段階の図４に対応する端面図である。一方、図８は比較例にかかる半導体装置のビアの構成を説明するための被覆層を形成した段階の端面図、図９はビアフィリング工程における図８と同様の被覆層を形成した段階の断面ＳＥＭ像である。

[0013] 実施の形態１にかかる半導体装置１０は、例えば高電子移動度トランジスタ（ＨＥＭＴ：High Electron Mobility Transistor）と称される半導体装置を想定している。そして、図１と図２に示すように、表面（図中上方の面）のソース電極３ｓ直下に裏面からビア１０ｖが形成された場合を例として説明する。なお、図１に示すビア１０ｖは、図２においてソース電極３ｓ直下に形成されたビア１０ｖの詳細図であるが、ビア１０ｖは必ずしもソース電極３ｓの直下にある必要はなく、配線パターンを含め、表面に形成された導体層（配線部材）の直下に位置すればよい。

[0014] 半導体装置１０では、炭化ケイ素（ＳｉＣ）の基板１上にエピタキシャル成長層２があり、その上にソース電極３ｓ、ドレイン電極３ｄ、ゲート電極３ｇ（まとめて表面電極３）がある。ビア１０ｖはソース電極３ｓをエッチングストップ層として、ソース電極３ｓ直下に形成されている。ビア１０ｖの内壁に沿う形でメタル層があり、このメタル層をシード層４１として、被覆層４２、充填層４３の順に形成し、充填体４を構成することでビアフィリングが達成される。

[0015] なお、実施の形態1、および以降の実施の形態においては炭化ケイ素の基板１上の窒化ガリウム（ＧａＮ）ＨＥＭＴを例として説明するが、これに限ることはない。例えば、リン化インジウム（ＩｎＰ）、窒化ガリウム、珪化ゲルマニウム（ＳｉＧｅ）などの化合物半導体、シリコン（Ｓｉ）系半導体など、他の半導体基板においても、同様の効果を得ることができる。これは、ビア１０ｖの被覆層４２を構成する金（Ａｕ）をシード層４１上に形成するため、基板１の元素種によらないためである。

[0016] つぎに、実施の形態１にかかる半導体装置１０の構成の詳細について、図３のフローチャートを参考にして製造方法とともに説明する。

はじめに、ＳｉＣ単結晶で構成する基板１の表面（図１、２における上方の面）側に、ウエハプロセスでエピタキシャル成長、金属膜、絶縁膜形成、転写パターンニングを繰り返して行い、表面に電気回路を形成する（ステップＳ１００）。なお、ウエハプロセスは、直径４～８インチの円盤状で、０

．３５ｍｍ、あるいは０．５ｍｍ厚の状態で行われる。

[0017] まず、基板１上にエピタキシャル成長層２を形成する。窒化ガリウムＨＥＭＴの場合、窒化ガリウム層上に窒化アルミガリウム（ＡｌＧａＮ）層を重ねた積層構造とするのが一般的である。つぎに、ソース電極３ｓ、ドレイン電極３ｄ、ゲート電極３ｇを形成する。ソース電極３ｓ、ドレイン電極３ｄには、例えば、チタン／アルミ／金（Ｔｉ／Ａｌ／Ａｕ）。チタン／アルミ／ニッケル／金（Ｔｉ／Ａｌ／Ｎｉ／Ａｕ）などの積層構造を用いる。ゲート電極３ｇにはチタン／白金／金（Ｔｉ／Ｐｔ／Ａｕ）等の積層構造を用いる。

[0018] その後、ソース電極３ｓ、ドレイン電極３ｄ、ゲート電極３ｇを例えば窒化ケイ素（ＳｉＮ）等の絶縁膜９で保護する。なお、ソース電極３ｓ、ドレイン電極３ｄを形成し、絶縁膜９で保護した後に、ゲート電極３ｇ部分のみをドライエッチングで開口してゲート電極３ｇを形成し、再度、絶縁膜９で全体を保護するようにしてもよい。この後、さらに配線用の電極をつけてもよい。配線用の電極には、電気金めっき等を用いる。

[0019] 表面のウエハプロセスが完了すると、裏面（図１、２における下方の面）処理のため、ワックス材を用い、ウエハの表面側を支持基板に貼り付ける。このとき、ワックス材の代わりにテープ材を用いても良い。ワックス材の厚さは例えば２０μｍとする。ウエハは、支持基板に貼り付けられた状態で裏面の研削、ポリッシュを行う。例えば、基板厚を５０μｍ厚まで薄くする。薄くすることにより、デバイスの放熱性、および高周波特性が向上する。

[0020] つぎに、ビア加工プロセス（ステップＳ２００～Ｓ２３０）を行う。基板１を貫通する電極であるビア１０ｖを形成するため、スピンコータによりレジスト材を塗布した後、転写・現像パターニングにより加工部のみレジストを除去する。例えば、ＩＣＰ（誘導結合プラズマ：Inductively Coupled Plasma）ドライエッチングにより、基板エッチング加工を行い、ビア１０ｖ用の貫通孔を形成する（ステップＳ２００）。

[0021] 貫通孔が形成されると、剥離液に浸漬して塗布したレジスト材を除去する

。基板１のビア１０ｖとなる貫通孔の内面が露出した状態の半導体裏面を得ることができる。ビア１０ｖは小さいほうがレイアウトの自由度が高く有利であるが、小さすぎると貫通孔を形成する際のエッチングが進行せずに基板１を貫通させることができない。例えばφ５０μｍの円柱形状で形成する。ここではビア１０ｖ（貫通孔）のアスペクト比（ビア深さ／ビア直径）は１となっているが、基板厚みとビア形状によって変動し、１～５まで実施可能である。

[0022] 形成した貫通孔の内壁を覆うように、シード層４１を形成する（ステップＳ２１０）。シード層４１は例えば基板１に接する厚さ５０ｎｍのチタン層上に厚さ２００ｎｍの金層を積層して形成する。チタン層はシード層４１の主体である金層と基板１との密着性を向上させるために挿入される膜で、チタンの代わりに窒化チタン、タンタル（Ｔａ）、タングステン（Ｗ）、クロム（Ｃｒ）等を用いてもよい。また、チタン層と金層の間に白金層を挿入してもよく、その場合は、例えば、チタン層厚み５０ｎｍ、白金層厚み５０ｎｍ、金層厚み２００ｎｍなどとする。また、基板１とシード層４１の間に絶縁膜層を挿入してもよい。

[0023] なお、つぎの被覆層４２を形成する工程における無電解金めっきの析出反応を進行させるために、シード層４１の析出面を触媒金属で覆う必要がある。シード層４１の表面を金層とすることで無電解めっき反応が開始する。金以外にも銀（Ａｇ）、銅（Ｃｕ）、パラジウム（Ｐｄ）、白金、ニッケル、ルテニウム（Ｒｕ）、錫（Ｓｎ）などを用いてもよい。

[0024] 一方、触媒力の弱い金属表面の場合には、無電解めっきの前処理として触媒金属イオンを含む前処理液に浸漬して、触媒付与を行う工程を追加することで、無電解めっき反応を開始させることができる。めっき反応は一度開始すると、析出金属である金自体が触媒となるため、反応は継続して金めっき膜を得ることができる（自己触媒性無電解めっき）。

[0025] シード層４１は、基板１に対して金の被覆層４２との間に介在するので、特許文献２で懸念されたような銅拡散を防止するバリア層としての役割を必

要としない。そのため、窒化チタン（ＴｉＮ）、窒化タンタル（ＴａＮ）、窒化タングステン（ＷＮ）、窒化チタンアルミ（ＴｉＡｌＮ）といった導電性金属窒化物のような形成工程が複雑で取り扱いが困難な材料を用いる必要がない。

[0026] シード層４１が形成されると、図４に示すように、無電解金めっき法により、シード層４１を被覆し、裏面側に開口する凹部４２ｄを有する金の被覆層４２を形成する（ステップＳ２２０）。図では貫通孔の軸中心を通る断面形状がＶ字形をなす円錐状の凹部４２ｄを形成する例を示す。円錐状の凹部４２ｄの形成は、無電解金めっき液の液中の添加剤を適切な範囲で調整することで達成できる。なお、この添加剤は開口側（図中下側）へのめっき析出を抑制し、シード層４１の底面（図中上方）と内周面から優先的に金を析出させる働きを有する。

[0027] 図５の断面ＳＥＭ（Scanning Electron Microscope）像に示すように、上述した手法により、円錐状の凹部４２ｄを有するように被覆層４２を形成することができた。ここで、ビア底から円錐の頂点（凹部４２ｄの底部４２ｂ）までの厚みｔ４２（図４参照）は、ビア高さＨｖの１／４以上あることが望ましい。つまり、凹部４２ｄの深さＤｄは、ビア高さＨｖの４／３未満であることが望ましい。そうすることで、つぎの電解メッキによる充填層４３を形成する際に、ボイドの発生なく、ビア埋め込みの形状を実現することができる。

[0028] なお、図４では、エピタキシャル成長層２を含む基板１の厚みから、シード層４１の厚みを差し引いた寸法をビア高さＨｖとして描画しているが、シード層４１の厚みは基板１の厚みに比べて無視できる程度に薄い。基板１に比べて薄い。そこで、基板１の厚みとエピタキシャル成長層２の厚みの和を上述したビア高さＨｖと定義することとする。一方、厚みｔ４２はビア高さＨｖの１／２以下であることが望ましい。厚みｔ４２をビア高さＨｖの１／２より厚くすると、めっき液中の添加剤が少なくなり、図９のようにビア開口部が閉塞するリスクが増大する。また、添加剤が少ないために、ウエハ裏

面の被覆層４２の厚みが厚くなりすぎるからである。

[0029] 先述の通り、めっきの縦方向の成長は添加剤により抑制することができる。そのため、図６に示すように、添加剤の添加量によって決まる厚みｔ４２まで、段階１、段階２、段階３というように、めっきが成長すると、その後、例えば２時間、無電解めっき液にウエハを浸漬しても金めっきは成長しない（段階３から段階４）。従って、基板面内の複数の貫通孔それぞれで、均一に同じ厚みｔ４２を有する凹部４２ｄを有する被覆層４２が形成できる。

[0030] 被覆層４２が形成されると、電解メッキにより、図１で示した凹部４２ｄ内を埋め、無電解メッキによる被覆層４２よりも結晶粒径が大きな金の充填層４３を形成する（ステップＳ２３０）。これにより、貫通孔内が金で埋め尽くされた中実のビア１０ｖが形成される。凹部４２ｄ内に金イオンを効率よく供給するため、パルス電圧を印加するとよい。ビア１０ｖの開口端（図中下方の面）、つまり、充填層４３には、被覆層４２の凹部４２ｄを反映して窪みが生じる可能性があるが、この有無および形状は問わない。

[0031] 電解めっきによる充填層４３でビア１０ｖが完全に埋め込まれるので、高周波特性と放熱性が向上する。ビア１０ｖを完全に埋め込むことでウエハ裏面（図中下方）側の金の膜厚が厚くなりすぎた場合は、所望の膜厚になるまでエッチングを実施してよい。ドライエッチングには、例えば、アルゴン（Ａｒ）イオンミリング等を用い、ウェットエッチングには、例えばヨウ素（Ｉ）系のウェットエッチング等を用いる。

[0032] 最後に、ウエハから支持基板を剥がす。支持基板とウエハをホットプレートで１分以上１００℃に加熱してワックス材を溶解し、ウエハ面に対して平行に相互をスライドすることで剥がす。そして、５０℃に加熱したアセトンに１０分間浸漬して表面のワックス材を除去して仕上げる（ステップＳ３００）。このとき、温度が高いほど、浸漬時間が長いほど除去性はよい。

[0033] 変形例.

なお、被覆層４２の凹部４２ｄは、必ずしも図４に示したような断面形状がＶ字（円錐状）になっている必要はなく、図７の変形例に示すように、曲

線的に窪んだ形状となっていてもよい。被覆層４２の凹部４２ｄの開口幅Ｗｄが、底部４２ｂに向かって減少するように形成されていればよく、底部４２ｂが尖っていなくてもよい。

[0034] 比較例.

これに対し、図８に示す比較例のように、被覆層４２Ｃの凹部４２ｄＣの開口幅Ｗｄが、底部４２ｂＣに向かって大きくなる部分を有するオーバーハング形状になってはいけない。この状態で、充填層４３Ｃを形成するための電解メッキを実施すると、凹部４２ｄＣの開口が閉塞し、ビア内部に空隙が生じるためである。添加剤を使用しないと、図９に示すように、凹部４２ｄＣがオーバーハング形状となってしまい、ビア開口部が先に閉塞し、ボイド４ｖが生じる。なお、比較例（図８、図９）における、実施の形態との対応部分に対しては、符号の末尾に「Ｃ」を付して区別している。

[0035] つまり、無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成し、被覆層４２よりも結晶粒径が大きな金の充填層４３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。

[0036] その結果、ビア１０ｖのインダクタ成分が小さなり、高周波特性が向上する。そして、例えば、中空のビア構造に対して、１０％程度の放熱性の改善が見込まれる（R. Baskaran, Allen W. Hanson, CS MANTECH Conference（米）, May 18th-21st, 2015 “Simulation of the Impact of Through-Substrate Vias on the Thermal Resistance of Compound Semiconductor Devices”）。さらに、被覆層４２を金で構成したので、銅汚染による電気的信頼性の低下懸念もなくなる。

[0037] 実施の形態２.

上記実施の形態１においては、ウエハ裏面に被覆層で覆われる部分を残した例について説明した。本実施の形態２においては、ウエハ裏面から被覆層を除去した例について説明する。

[0038] 図１０～図１２は、実施の形態２にかかる半導体装置、および半導体装置

の製造方法について説明するためのものであり、図１０は半導体装置の製造方法を説明するためのフローチャートである。そして、図１１は半導体装置のビアフィリングにおける被覆層形成後、充填層形成前の構成を説明するための、実施の形態１の説明に用いた図３に対応する端面図、図１２はビアの構成を説明するための、実施の形態１の説明に用いた図１に対応する端面図である。なお、実施の形態１と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２と図４を援用する。

[0039] 実施の形態２にかかる半導体装置１０の構成について、製造工程とともに説明する。

図１０のフローチャートに示すように、シード層４１の形成までは、実施の形態１と同様である。そして、被覆層４２の形成（ステップＳ２２０Ｖ）においても、実施の形態１の図４で説明した裏面側に開口する凹部４２ｄを有し、ウエハ裏面も覆うように金の被覆層４２を形成するまでは同じである。しかし、本実施の形態２における被覆層４２の形成工程（ステップＳ２２０Ｖ）では、図１１に示すように、被覆層４２とシード層４１のうち、表面（ウエハ裏面）に析出した層をエッチングにより除去して被覆範囲を調整する工程が加わる。

[0040] エッチングにはドライエッチングまたはウェットエッチングを用いる。ドライエッチングには、例えば、アルゴンイオンミリング等を用いる。ドライエッチングを用いると、チタン、金、および白金を一括でエッチングできる。ウェットエッチングでは、除去する対象層により使用する薬液を変える。金に対しては、例えば、ヨウ素系の薬液を使用し、チタンに対しては、バッファードフッ酸（ＢＨＦ）、あるいはアンモニア（NH_3）と過酸化水素（H_2O_2）の混合液を用いる。

[0041] なお、シード層４１は必ずしもエッチングしなくてもよい。例えば金のみヨウ素系の薬液でエッチングすることにより、ウエハ裏面の平坦部はシード層４１の金下地面（本例ではチタン、白金）の表面を得ることができる。貫

通孔内は平坦部よりも厚い金が析出しているため、主に金表面となる。

[0042] その後、シード層４１を形成するときと同様に、スパッタ法にて、図１２に示すように被覆層４２およびウエハ裏面に金属膜４４を形成する（ステップＳ２２５）。例えば、厚さ５０ｎｍのチタン、厚さ２００ｎｍの金層とする。

[0043] 以降は、実施の形態１と同様に、電解金めっきにより凹部４２ｄを埋め込む充填層４３を形成する（ステップＳ２３０）。ここでも、充填層４３の膜厚が厚くなりすぎた場合は、所望の膜厚になるまでエッチングを実施してよい。ドライエッチングには、例えば、アルゴンイオンミリング等を用い、ウェットエッチングには、例えばヨウ素系のウェットエッチング等を用いる。

[0044] ここで、被覆層４２を形成するための無電解金めっきでは、ウエハ裏面の平坦部の膜厚が、例えば５μｍ程度にまで厚くなった場合、めっき膜の内部応力が高く、ウエハ反り、チップ反りを引き起こす。これらはクラック、熱抵抗特性異常、およびハンドリング性の悪化の要因となる。

[0045] これに対して実施の形態２にかかる半導体装置１０あるいは半導体装置の製造方法ではウエハ裏面の平坦部のめっき膜をエッチバックすることで、平坦部の金厚みを削減し、上述した不具合を改善する。一方、エッチバックを行った際、平坦部の金がなくなるため、そのままでは平坦部の電気抵抗が高くなり、次工程の電解めっきでの給電に支障をきたす。そこで、スパッタまたは蒸着により金属膜４４を形成することで、シード層４１を再構成したのと同様に、充填層４３の形成工程（ステップＳ２３０）での電解めっきにおいて膜の均一性、およびビア１０ｖ内の埋め込み特性を確保することができる。

[0046] つまり、被覆層４２のうち、ウエハ裏面の平坦部を覆う部分を除去することで、ウエハ反りが低減され、ウエハクラックおよびチップクラックを抑制することができる。さらに平坦部のめっき厚のウエハ面内での均一性が向上するため、チップ特性の均一化、高歩留まり化にも貢献する。

[0047] 実施の形態３．

上記実施の形態１、２では、製法が異なり、結晶粒径こそ異なるが、充填層を被覆層と同じ金で構成する例について説明した。本実施の形態３では、充填層を銅で構成した例について説明する。

[0048] 図１３と図１４は、実施の形態３にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図１３は半導体装置のビアの構成を説明するための、実施の形態１の説明に用いた図１に対応する端面図、図１４は変形例にかかる半導体装置のビアの構成を説明するための図１３に対応する端面図である。なお、実施の形態１と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２～図４を援用する。

[0049] 本実施の形態３においても、被覆層４２の構成、およびその製造方法（ステップＳ２２０まで）については、実施の形態１と同様である。しかし、本実施の形態１においては、充填層５３を形成する工程では、電解メッキではあるが、銅の電解メッキ（電解銅メッキ）により、図１３に示すように、銅の充填層５３を形成する。

[0050] 変形例.

なお、充填層５３を形成した図１３の状態からＣＭＰ研磨（Chemical Mechanical Polishing）を行い、図１４に示すように、ウエハ裏面の平坦部を完全に平坦化するようにしてもよい。

[0051] 実施の形態１と同様に無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成した銅の充填層５３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。さらに実施の形態３では、充填層５３を銅で構成しているので、特殊な薬剤を用いなくてもＣＭＰ研磨ができるので、表面の平坦化が容易になる。さらに、電解メッキにおいて、銅めっきは金めっきに比べてビア埋め込みに効果のある添加剤の開発が進んでおり、凹部４２ｄを埋め込みやすくなる。

[0052] つまり、実施の形態３にかかる半導体装置１０、あるいは半導体装置の製造方法においては、ビア１０ｖのインダクタ成分が小さなり、高周波特性が

向上する。充填体４すべてを銅で構成する場合に比べて、金の被覆層４２が、特許文献２で示された導電性窒化膜に加えて銅の拡散バリアとして働くことで、デバイスの信頼性が向上する。

[0053] また金よりも銅のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体４を構成する場合に比べてデバイス特性（電気特性、高周波特性、熱特性）が向上する。また、ウエハ裏面を容易に平坦化できるので、平坦化された層の上につぎの層を積層させる３次元のデバイス設計ができる。

[0054] 実施の形態４．

上記実施の形態３では、実施の形態１の半導体装置における充填層を銅で構成した例について説明した。本実施の形態４では、実施の形態２の半導体装置における充填層を銅で構成した例について説明する。

[0055] 図１５と図１６は、実施の形態４にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図１５は半導体装置のビアの構成を説明するための、実施の形態２の説明に用いた図１２に対応する端面図、図１６は変形例にかかる半導体装置のビアの構成を説明するための図１５に対応する端面図である。なお、実施の形態１、２と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２と図４、実施の形態２で用いた図１０と図１１を援用する。

[0056] 本実施の形態４においても、被覆層４２の構成、およびその製造方法（ステップＳ２２５まで）については、実施の形態２と同様である。しかし、本実施の形態４においては、充填層５３を形成する工程では、電解メッキではあるが、銅の電解メッキ（電解銅メッキ）により、図１５に示すように、銅の充填層５３を形成する。

[0057] 変形例.

なお、充填層５３を形成した図１５の状態からＣＭＰ研磨を行い、図１６に示すように、ウエハ裏面の平坦部を完全に平坦化するようにしてもよい。

[0058] 実施の形態２と同様に無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成した銅の

充填層５３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。さらに実施の形態４では、充填層５３を銅で構成しているので、特殊な薬剤を用いなくてもＣＭＰ研磨ができるので、表面の平坦化が容易になる。さらに、電解メッキにおいて、銅めっきは金めっきに比べてビア埋め込みに効果のある添加剤の開発が進んでおり、凹部４２ｄを埋め込みやすくな。

[0059] つまり、実施の形態４にかかる半導体装置１０、あるいは半導体装置の製造方法においては、ビア１０ｖのインダクタ成分が小さなり、高周波特性が向上する。充填体４すべてを銅で構成する場合に比べて、金の被覆層４２が、導電性窒化膜に加えて銅の拡散バリアとして働くことで、デバイスの信頼性が向上する。

[0060] また金よりも銅のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体４を構成する場合に比べてデバイス特性（電気特性、高周波特性、熱特性）が向上する。また、ウエハ裏面を容易に平坦化できるので、平坦化された層の上につぎの層を積層させる３次元のデバイス設計ができる。

[0061] 実施の形態５．

上記実施の形態３、４では、実施の形態１、２に対し、充填層の構成を金から銅に変えた例について説明した。本実施の形態５では、充填層の構成を金から銀に変えた例について説明する。

[0062] 図１７と図１８は、実施の形態５にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図１７は半導体装置のビアの構成を説明するための、実施の形態１の説明に用いた図１に対応する端面図、図１８は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態２の説明に用いた図１２に対応する端面図である。なお、実施の形態１、２と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２～図４、実施の形態２で用いた図１０と図１１を援用する。

[0063] 本実施の形態５においても、被覆層４２の構成、およびその製造方法（ステップＳ２２０まで）については、実施の形態１と同様である。しかし、本

実施の形態５においては、充填層６３を形成する工程では、電解メッキではあるが、銀の電解メッキ（電解銀メッキ）により、図１７に示すように、銀の充填層６３を形成する。

[0064] 変形例.

変形例においても、被覆層４２の構成、およびその製造方法（ステップＳ２２５まで）については、実施の形態２と同様である。しかし、本変形例においては、充填層６３を形成する工程では、電解メッキではあるが、銀の電解メッキ（電解銀メッキ）により、図１８に示すように、銀の充填層６３を形成する。

[0065] 実施の形態１、２と同様に無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成した銀の充填層６３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。さらに実施の形態５では、充填層６３を銀で構成しているので、実施の形態１、２と同様に銅汚染を心配する必要がなく、電気的信頼性の低下懸念がない。

[0066] また金、銅よりも銀のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体４を構成する場合、あるいは充填層を銅で構成する場合に比べて、ビア１０ｖのインダクタ成分が低くなり、デバイス特性（電気特性、高周波特性、熱特性）が向上する。

[0067] 実施の形態６.

上記実施の形態５では、実施の形態１、２に対し、充填層の構成を金から銀に変えた例について説明した。本実施の形態６では、充填層の構成を金からニッケルに変えた例について説明する。

[0068] 図１９と図２０は、実施の形態６にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図１９は半導体装置のビアの構成を説明するための、実施の形態１の説明に用いた図１に対応する端面図、図２０は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態２の説明に用いた図１２に対応する端面図である。なお、実施の形

態１、２と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２～図４、実施の形態２で用いた図１０と図１１を援用する。

[0069] 本実施の形態６においても、被覆層４２の構成、およびその製造方法（ステップＳ２２０まで）については、実施の形態１と同様である。しかし、本実施の形態６においては、充填層７３を形成する工程では、電解メッキではあるが、ニッケル（Ｎｉ）の電解メッキ（電解ニッケルメッキ）により、図１９に示すように、ニッケルの充填層７３を形成する。

[0070] 変形例.

変形例においても、被覆層４２の構成、およびその製造方法（ステップＳ２２５まで）については、実施の形態２と同様である。しかし、本変形例においては、充填層７３を形成する工程では、電解メッキではあるが、ニッケルの電解メッキ（電解ニッケルメッキ）により、図２０に示すように、ニッケルの充填層７３を形成する。

[0071] 実施の形態１、２と同様に無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成した銀の充填層６３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。そのため、中空の場合と比べて放熱性およびインダクタ成分の抑制による高周波特性の改善が見込まれる。さらに実施の形態６では、充填層７３をニッケルで構成しているので、実施の形態１、２と同様に銅汚染を心配する必要がなく、電気的信頼性の低下懸念がない。

[0072] また高周波デバイスの裏面は金錫（ＡｕＳｎ）はんだ、銀錫（ＳｎＡｇ）はんだなどでダイボンドするが、金、あるいは銅の面にはんだでダイボンドすると、界面に厚い合金層が形成され、導電性不良、接着不良、および熱特性悪化を招く。しかし本実施の形態６では、金とはんだ界面に充填層７３を構成するニッケルがバリア層として働き、これらの特性劣化の防止をすることができる。

[0073] 実施の形態７.

上記実施の形態５、６では、実施の形態１、２に対し、充填層の構成を金から銀、ニッケルに変えた例について説明した。本実施の形態７では、充填層の構成を金から錫に変えた例について説明する。

[0074] 図２１と図２２は、実施の形態７にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図２１は半導体装置のビアの構成を説明するための、実施の形態１の説明に用いた図１に対応する端面図、図２２は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態２の説明に用いた図１２に対応する端面図である。なお、実施の形態１、２と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図２～図４、実施の形態２で用いた図１０と図１１を援用する。

[0075] 本実施の形態７においても、被覆層４２の構成、およびその製造方法（ステップＳ２２０まで）については、実施の形態１と同様である。しかし、本実施の形態７においては、充填層８３を形成する工程では、電解メッキではあるが、錫の電解メッキ（電解錫メッキ）により、図２１に示すように、錫の充填層８３を形成する。

[0076] 変形例.

変形例においても、被覆層４２の構成、およびその製造方法（ステップＳ２２５）までについては、実施の形態２と同様である。しかし、本変形例においては、充填層８３を形成する工程では、電解メッキではあるが、錫の電解メッキ（電解錫メッキ）により、図２２に示すように、錫の充填層８３を形成する。

[0077] 実施の形態１、２と同様に無電解めっきで、底部４２ｂに向かって細くなる凹部４２ｄを有する被覆層４２を形成することで、電解メッキで形成した錫の充填層８３とでビア１０ｖ内部を空隙なく完全に埋め込むことができる。そのため、中空の場合と比べて放熱性およびインダクタ成分の抑制による高周波特性の改善が見込まれる。さらに実施の形態７では、充填層８３を錫で構成しているので、実施の形態１、２と同様に銅汚染を心配する必要がな

く、電気的信頼性の低下懸念がない。

[0078] また高周波デバイスの裏面は金錫（ＡｕＳｎ）はんだ、銀錫（ＳｎＡｇ）はんだなどでダイボンドするが、その際に、はんだの塗布が不要となる。また、ウエハ裏面の錫は、はんだの構成材料であるため、実質的にデバイスに直接はんだを形成していることになるため良好な密着性が得られる。

[0079] さらに、本願は、様々な例示的な実施の形態及び実施例が記載されているが、１つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも１つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも１つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

[0080] 以上のように、本願の半導体装置１０によれば、半導体材料の基板１、基板１の一方の面（図中上側の面）に形成された配線部材、および基板１の他方の面で開口し、配線部材（表面電極３）を底面とする筒状の孔の内壁を被覆し、開口の側から底面に向かって窪む凹部４２ｄが形成された金による第一メッキ層（被覆層４２）と、凹部４２ｄを埋め、銅、銀、ニッケル、錫、および第一メッキ層（被覆層４２）よりも結晶粒径が大きな金のいずれかによる第二メッキ層（充填層４３、５３、６３、７３、８３）と、を有する中実のビア１０ｖ、を備えるようにした。これにより、銅汚染の心配がなく、ビア１０ｖを介した厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることができる。

[0081] とくに、凹部４２ｄは底面から開口に向かうにつれて広がっているように構成すれば、ボイドが発生することなく、電気伝導性と放熱性に優れた半導体装置を確実に得ることができる。

[0082] また、第一メッキ層（被覆層４２）における凹部の底面までの厚みｔ４２は、基板の厚み（ビア高さＨｖ）の１／４以上であるようにすれば、より確

実にボイドの発生を防止できる。

[0083] チタン、タンタル、タングステン、クロム、白金のいずれかを含み、第一メッキ層（被覆層４２）と第二メッキ層（充填層４３、５３、６３、７３、８３）との間に介在する金属膜４４を有するようにすれば、充填層４３のメッキ膜が均一化し、ビア１０ｖ内の埋め込み性がより向上する。

[0084] 基板１が、炭化ケイ素、リン化インジウム、窒化ガリウム、珪化ゲルマニウム、ゲルマニウム、シリコンのいずれかであれば、より高性能な半導体装置が得られる。

[0085] 以上のように、本願の半導体装置１０の製造方法によれば、半導体材料の基板１の一方の面に配線部材を形成し、基板１の他方の面で開口し、配線部材（表面電極３）を底面とする筒状の孔を形成する工程（ステップＳ１００～Ｓ２００）、筒状の孔の内壁を被覆し、かつ開口の側から底面に向かって窪む凹部４２ｄが形成されるように、無電解メッキにより、金の第一メッキ層（被覆層４２）を形成する工程（ステップＳ２２０、Ｓ２２０Ｖ）、および凹部４２ｄを埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層（充填層４３）を形成する工程（ステップＳ２３０）、を含むように構成した。これにより、銅汚染の心配がなく、ビア１０ｖを介した厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることができる。

[0086] スパッタ法、または蒸着法により、凹部４２ｄの内面を被覆する金属膜４４を形成する工程（ステップＳ２２５）を含むようにすれば、電解メッキで充填層４３を形成する際のメッキ膜が均一化し、ビア１０ｖ内の埋め込み性がより向上する。

符号の説明

[0087] １：基板、 １０：半導体装置、 １０ｖ：ビア、 ２：エピタキシャル成長層、 ３：表面電極（配線部材）、 ４：充填体、 ４１：シード層、 ４２：被覆層（第一メッキ層）、 ４２ｄ：凹部、 ４３：充填層（第二メッキ層）、 ４４：金属膜、 ５３：充填層（第二メッキ層）、 ６３：

充填層（第二メッキ層）、　７３：充填層（第二メッキ層）、　８３：充填層（第二メッキ層）、　Ｄｄ：深さ、　Ｈｖ：ビア高さ、　ｔ４２：厚み、　Ｗｄ：開口幅。

請求の範囲

[請求項1] 半導体材料の基板、

前記基板の一方の面に形成された配線部材、および

前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔の内壁を被覆し、前記開口の側から前記底面に向かって窪む凹部が形成された金による第一メッキ層と、前記凹部を埋め、銅、銀、ニッケル、錫、および前記第一メッキ層よりも結晶粒径が大きな金のいずれかによる第二メッキ層と、を有する中実のビア、

を備えたことを特徴とする半導体装置。

[請求項2] 前記凹部は前記底面から前記開口に向かうにつれて広がっていることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第一メッキ層における前記凹部の前記底面までの厚みは、前記基板の厚みの１／４以上であることを特徴とする請求項1または２に記載の半導体装置。

[請求項4] チタン、タンタル、タングステン、クロム、白金のいずれかを含み、前記第一メッキ層と前記第二メッキ層との間に介在する金属膜を有することを特徴とする請求項１から３のいずれか1項に記載の半導体装置。

[請求項5] 前記基板が、炭化ケイ素、リン化インジウム、窒化ガリウム、珪化ゲルマニウム、ゲルマニウム、シリコンのいずれかであることを特徴とする請求項１から４のいずれか１項に記載の半導体装置。

[請求項6] 半導体材料の基板の一方の面に配線部材を形成し、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔を形成する工程、

前記筒状の孔の内壁を被覆し、かつ前記開口の側から前記底面に向かって窪む凹部が形成されるように、無電解メッキにより、金の第一メッキ層を形成する工程、および

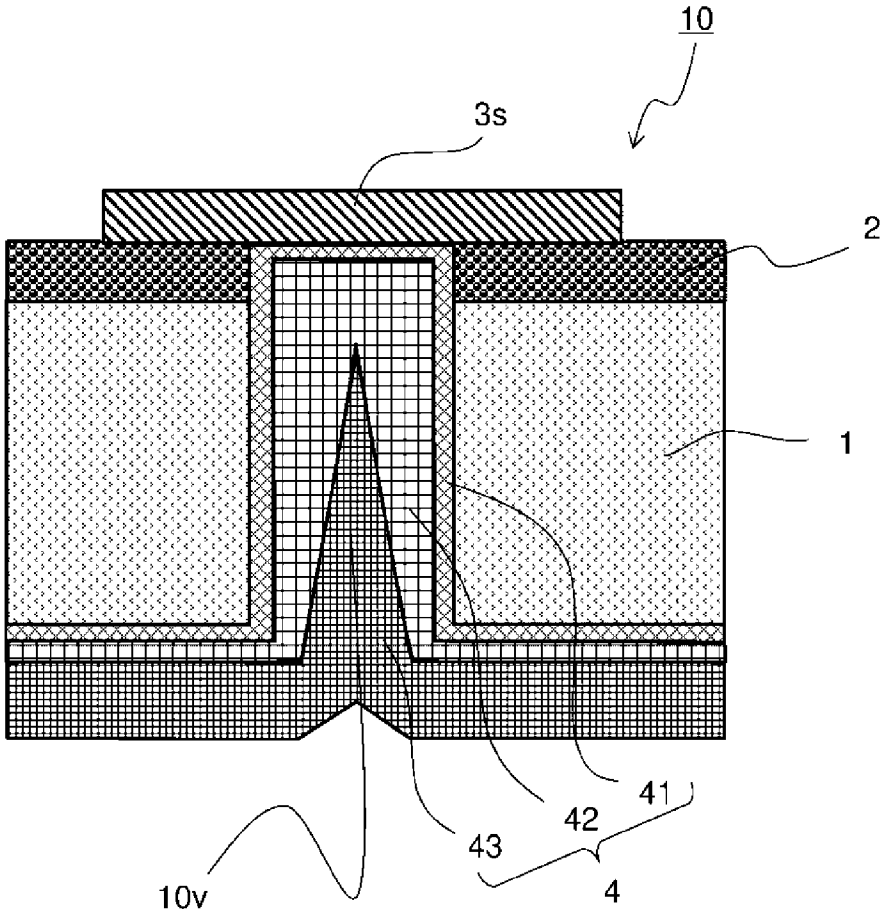
前記凹部を埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

[請求項7] スパッタ法、または蒸着法により、前記凹部の内面を被覆する金属膜を形成する工程を含むことを特徴とする請求項６に記載の半導体装置の製造方法。

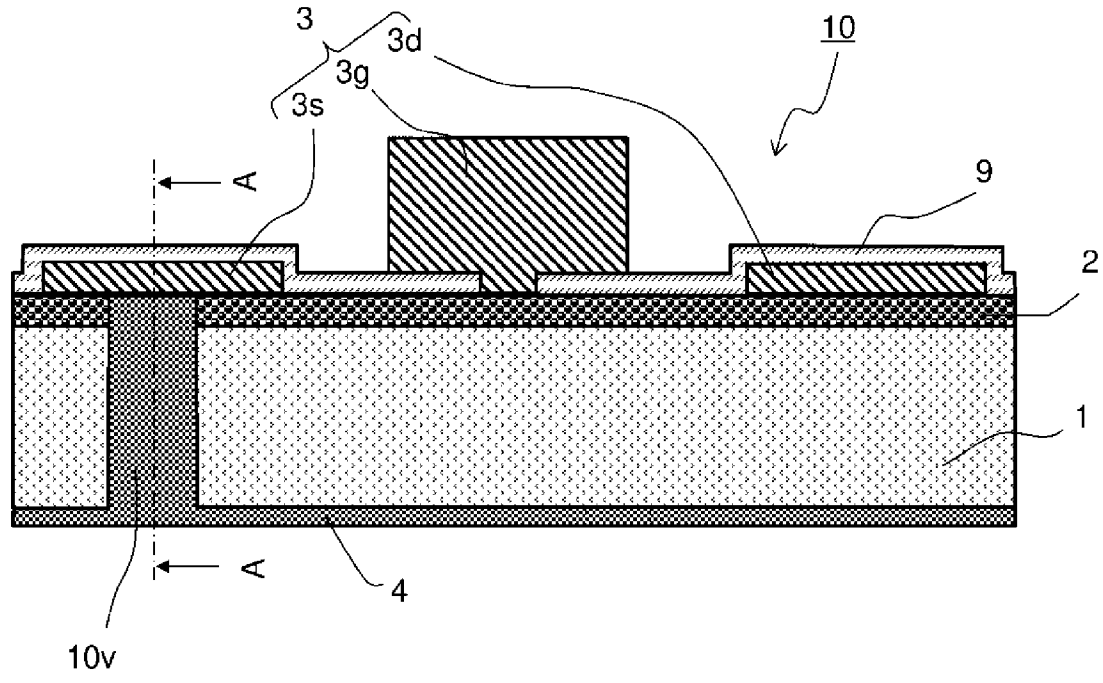
[図1]

図1



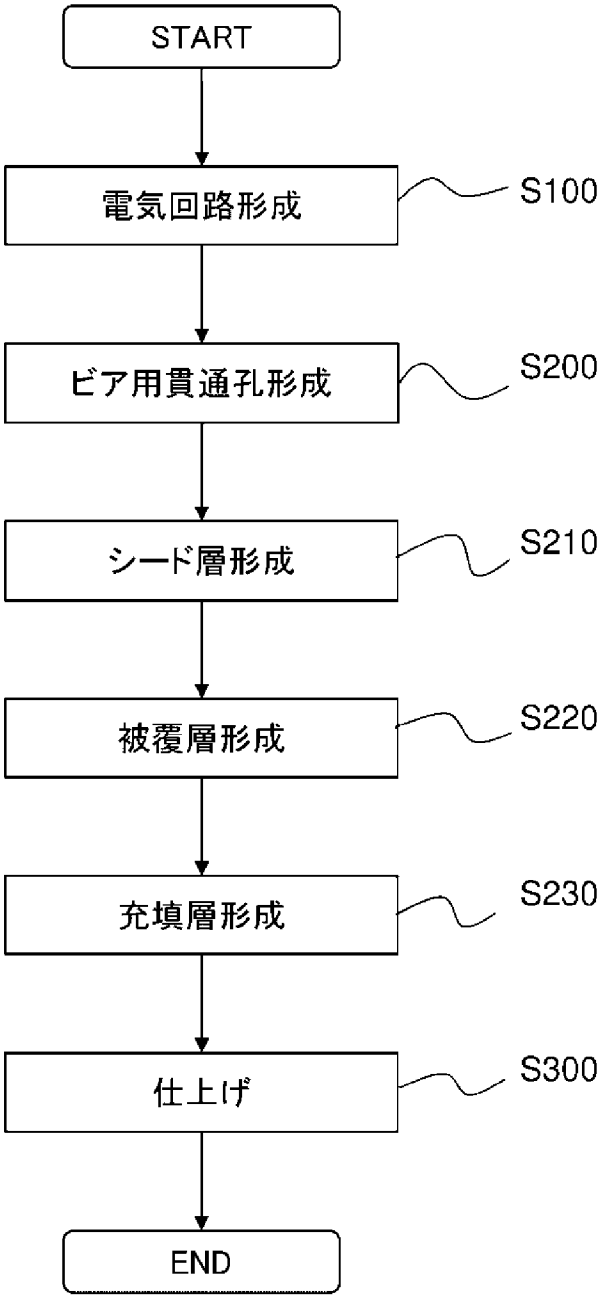
[図2]

図2



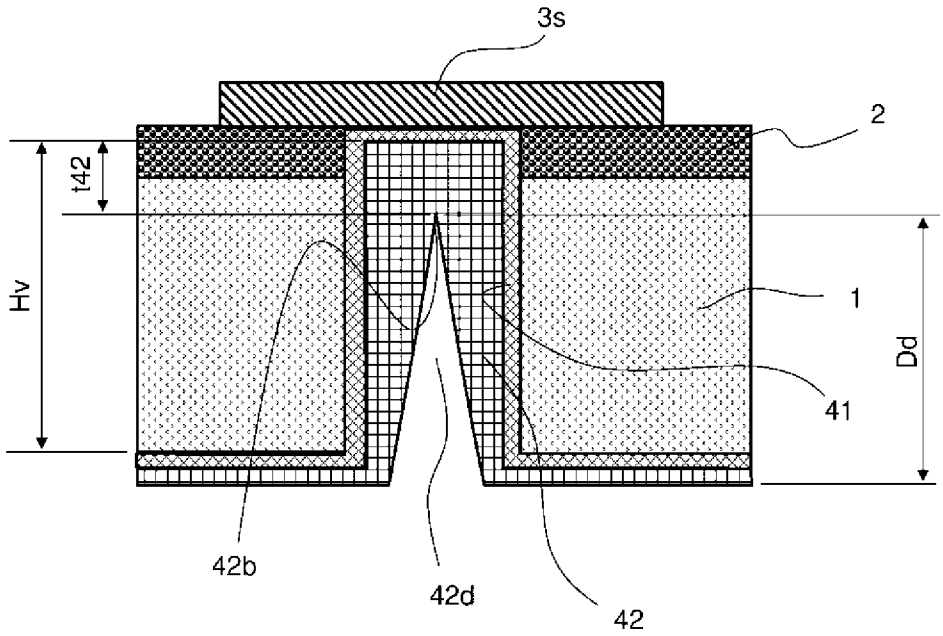
[図3]

図3


START
電気回路形成
S100
ビア用貫通孔形成
S200
シード層形成
S210
被覆層形成
S220
充填層形成
S230
仕上げ
S300
END

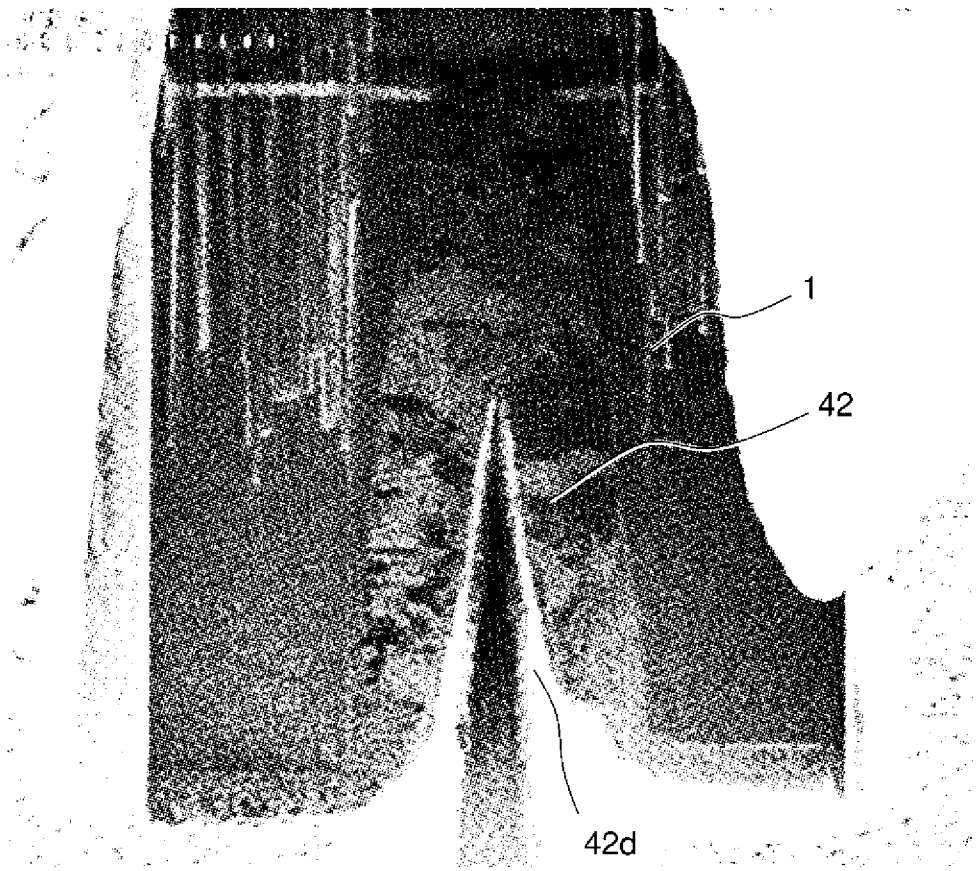
[図4]

図4



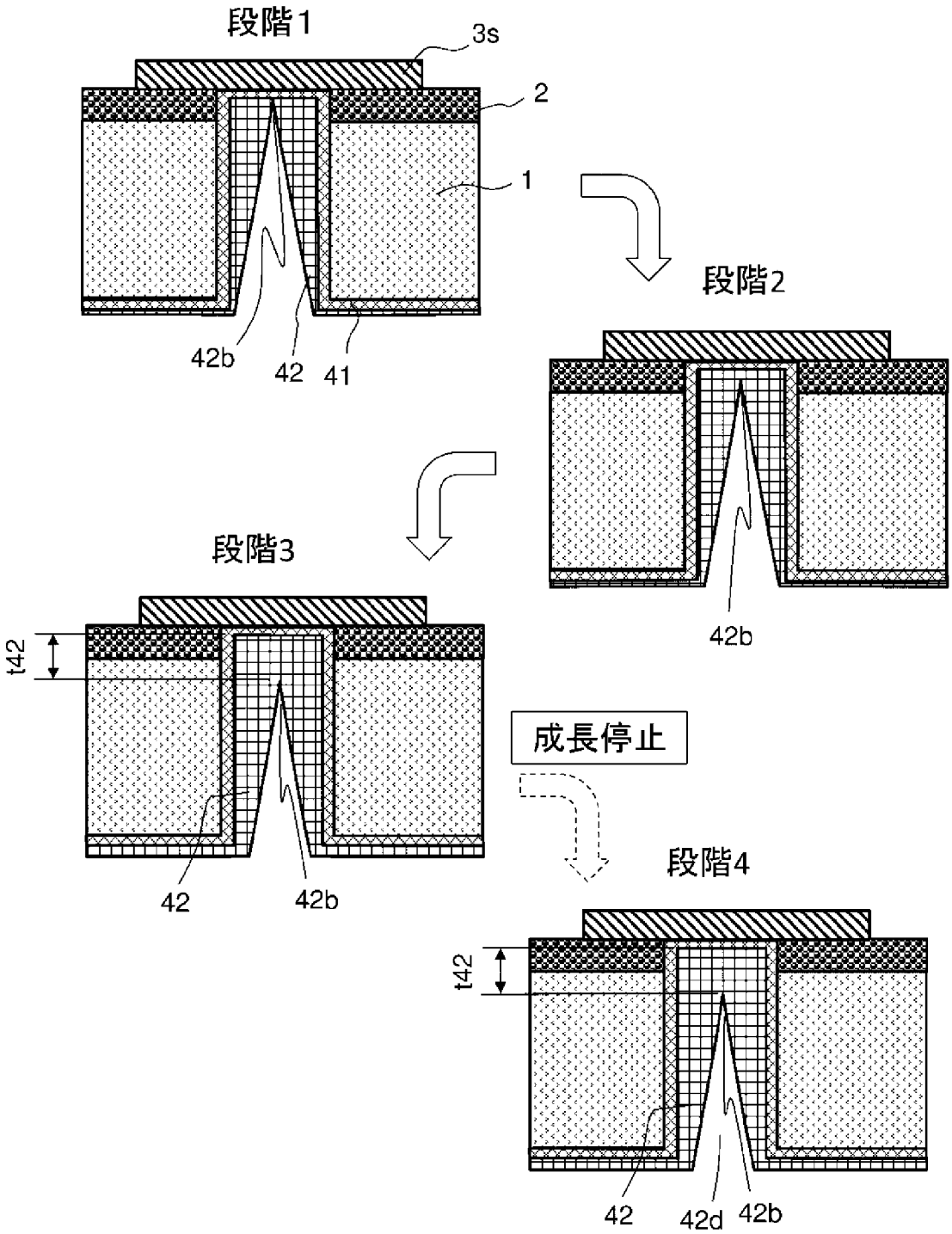
[図5]

図5



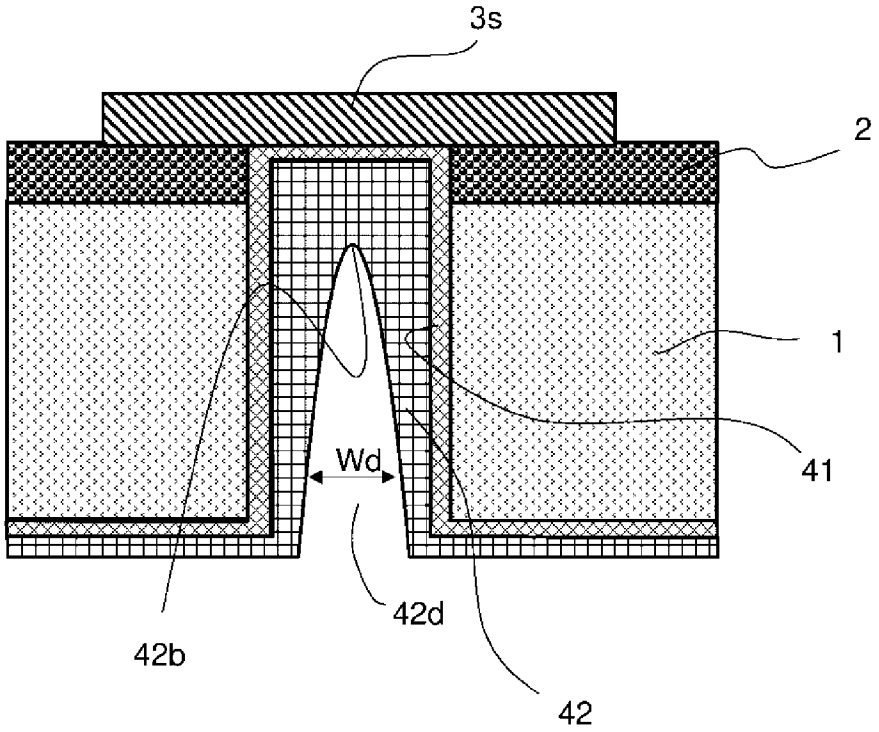
[図6]

図6



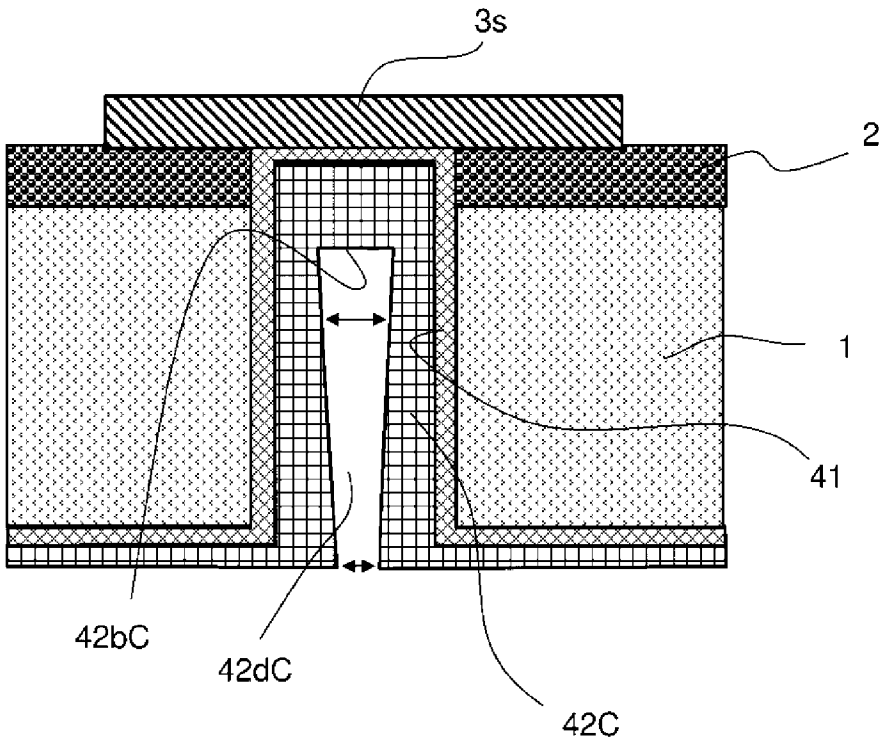
[図7]

図7



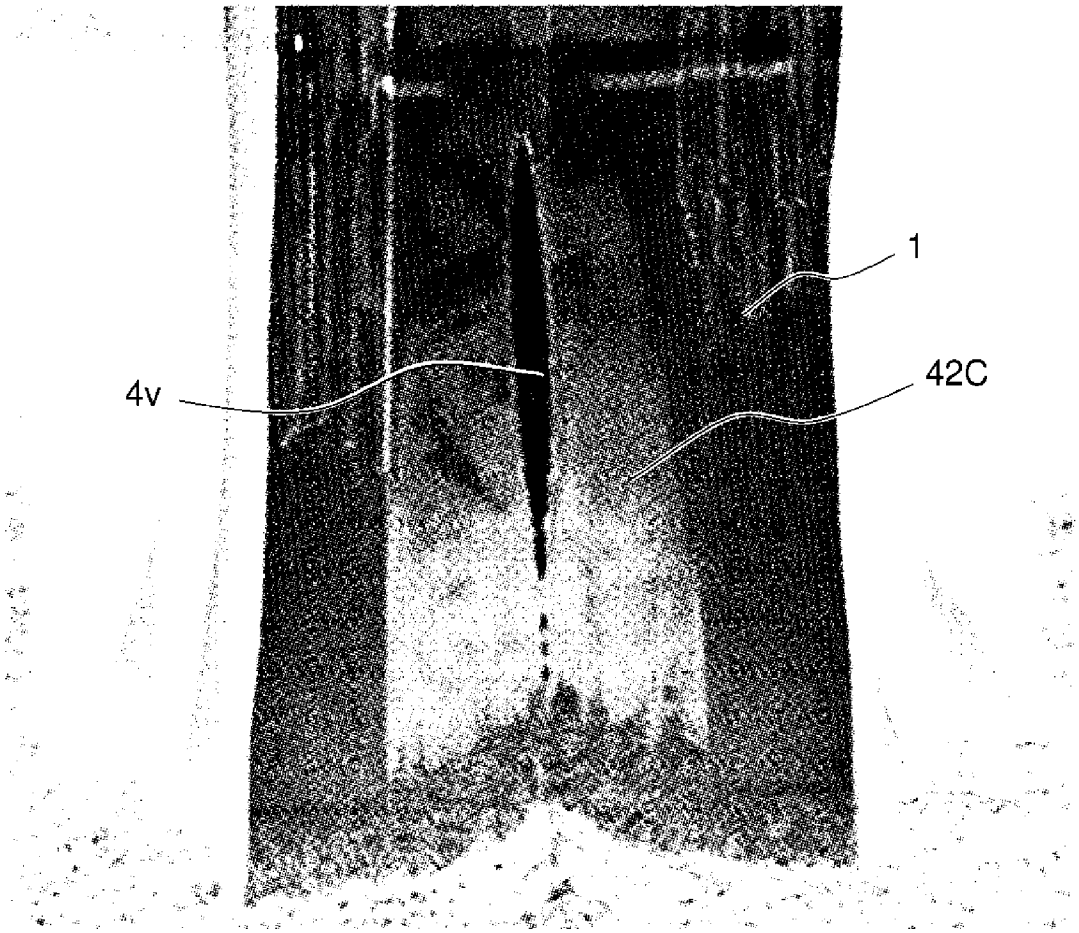
[図8]

図8



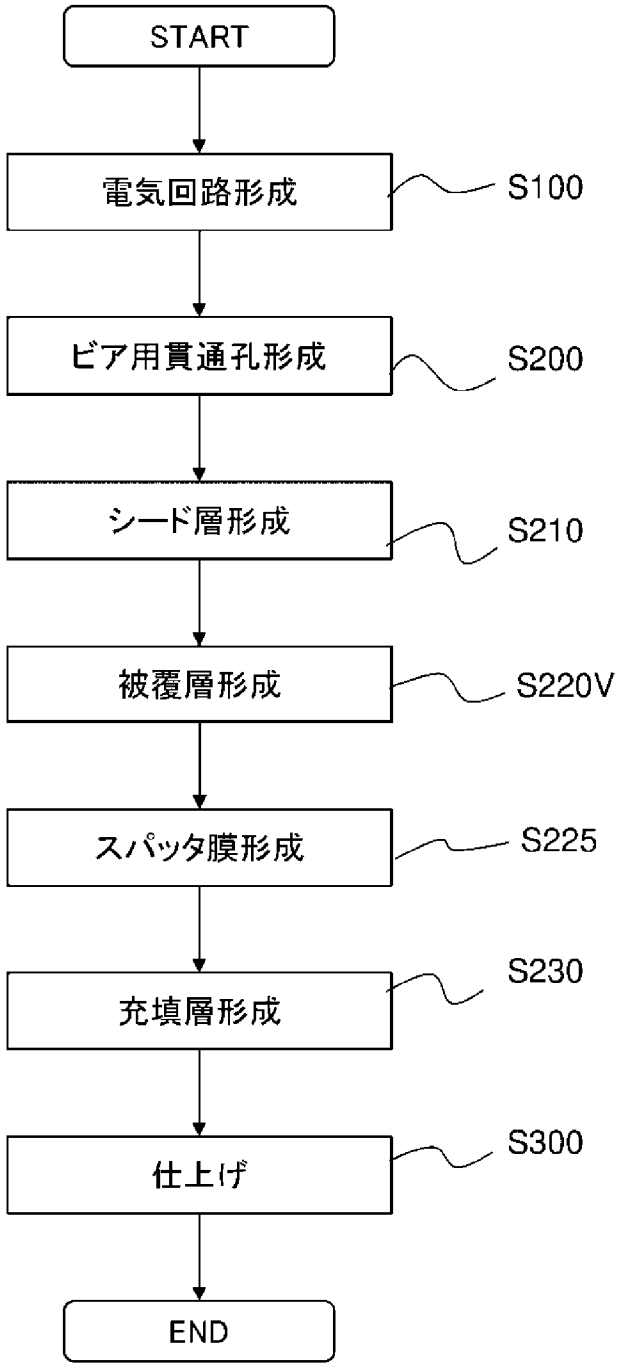
[図9]

図9



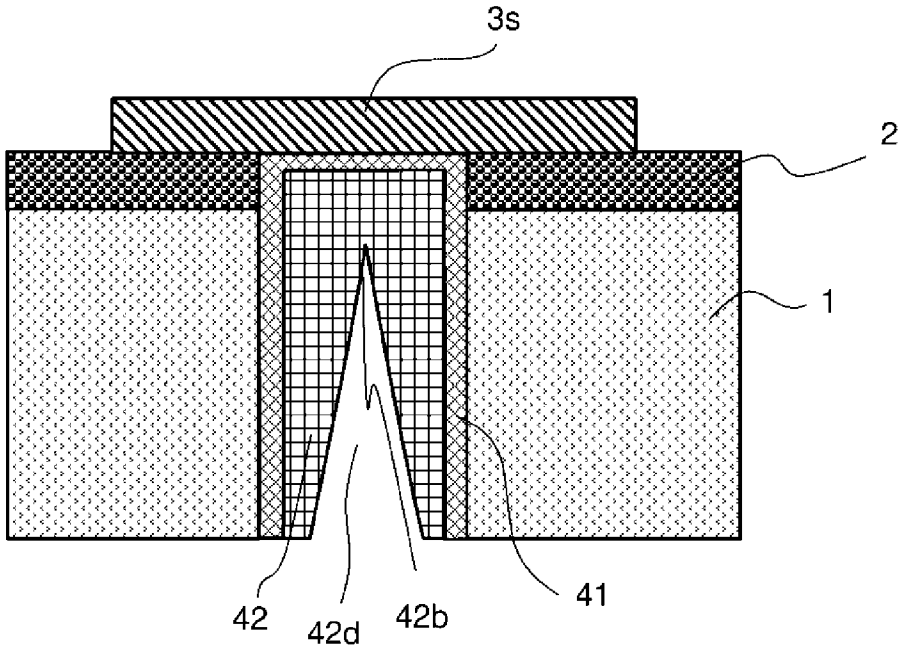
[図10]

図10


START
電気回路形成
S100
ビア用貫通孔形成
S200
シード層形成
S210
被覆層形成
S220V
スパッタ膜形成
S225
充填層形成
S230
仕上げ
S300
END

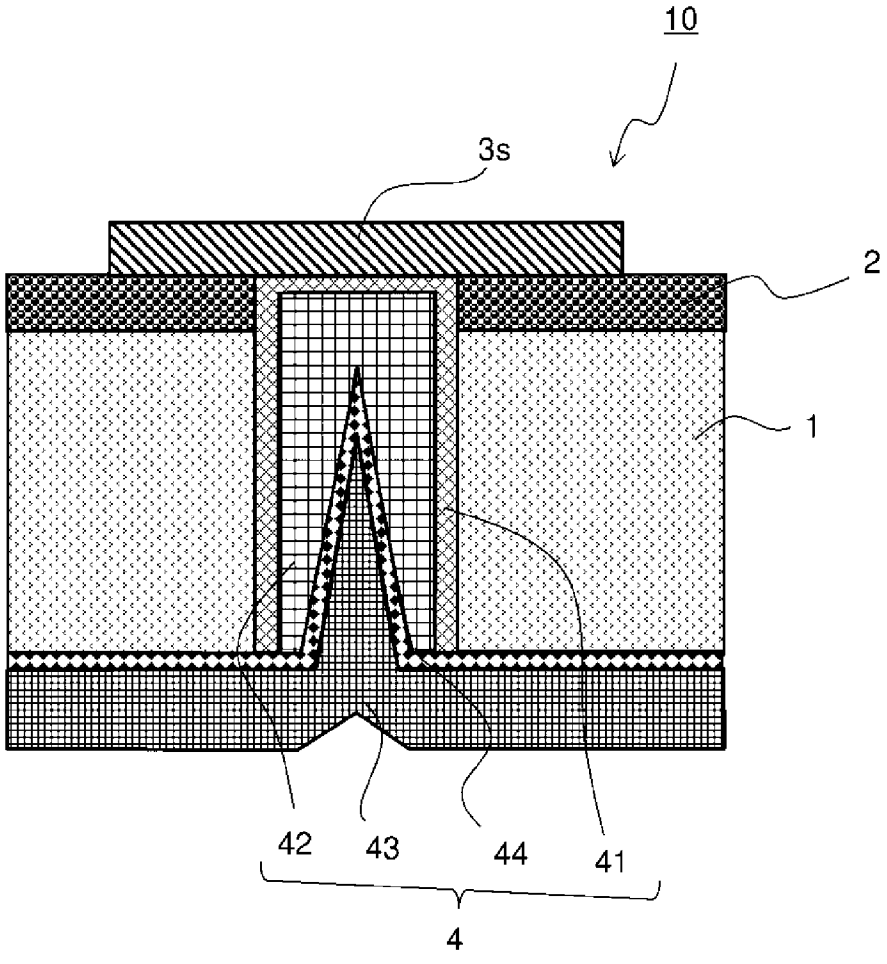
[図11]

図11



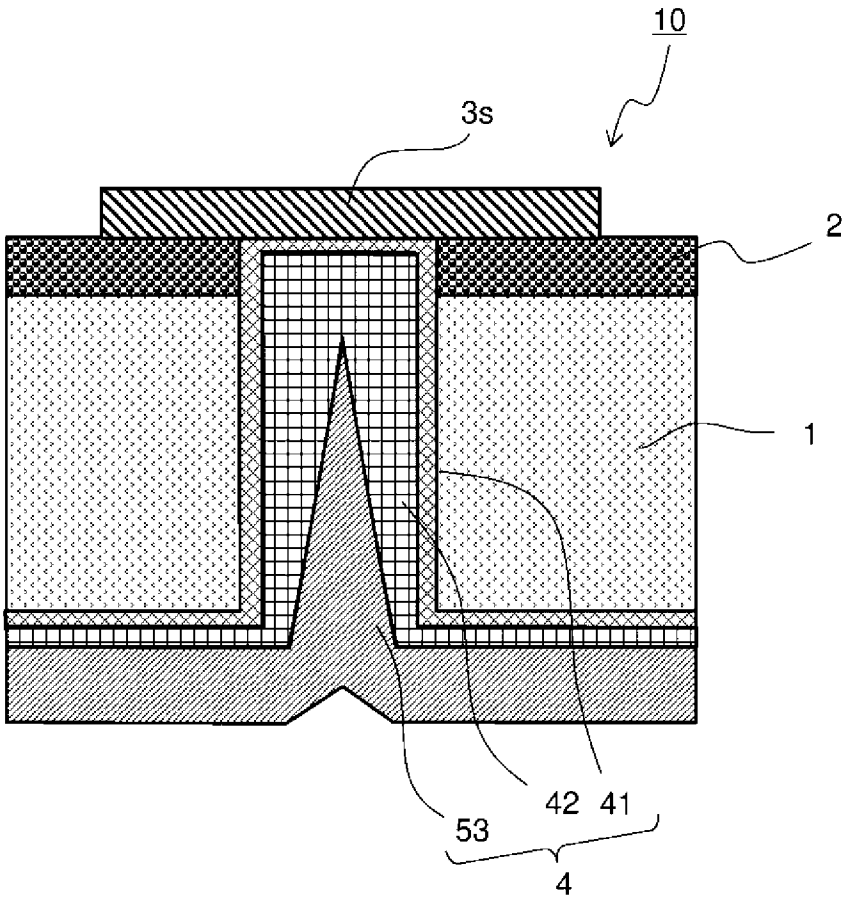
[図12]

図12



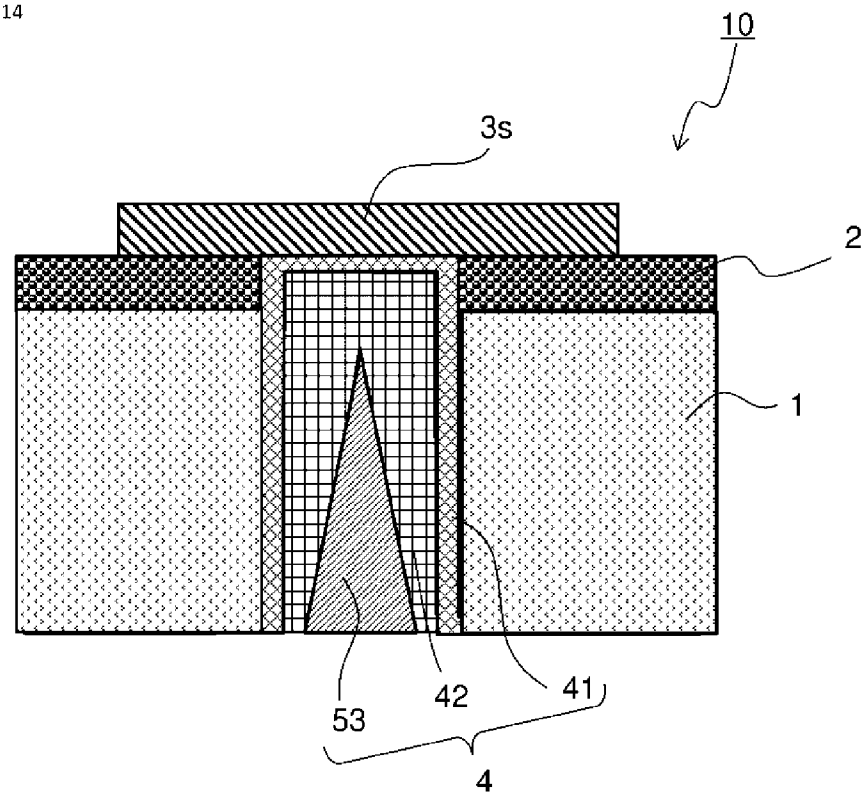
[図13]

図13



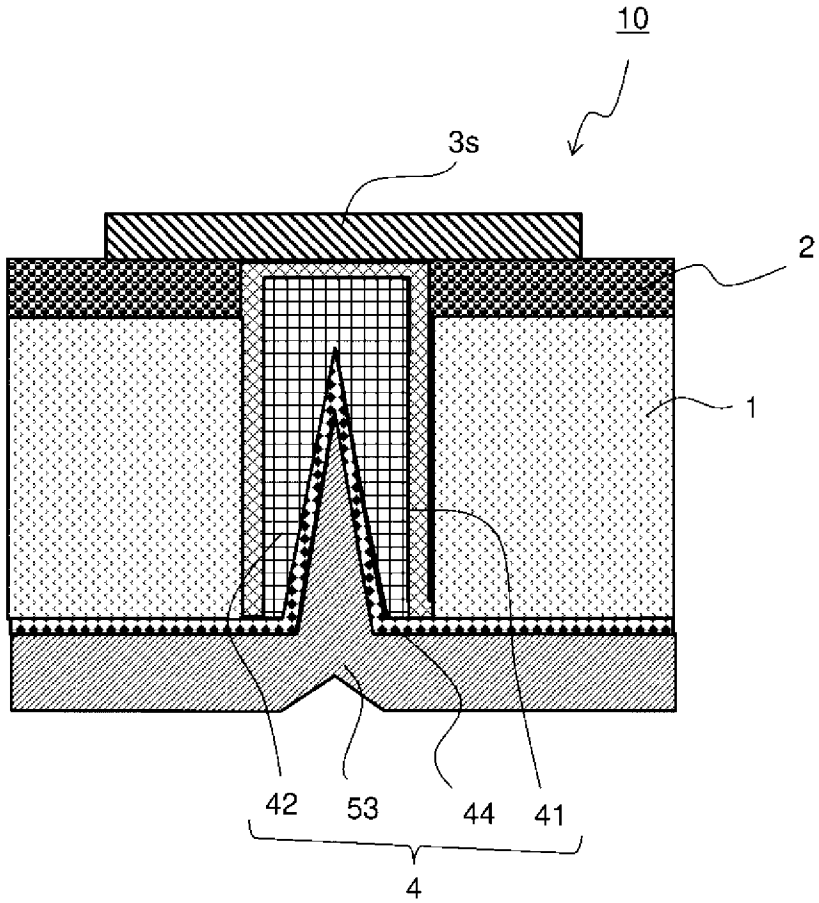
[図14]

図14



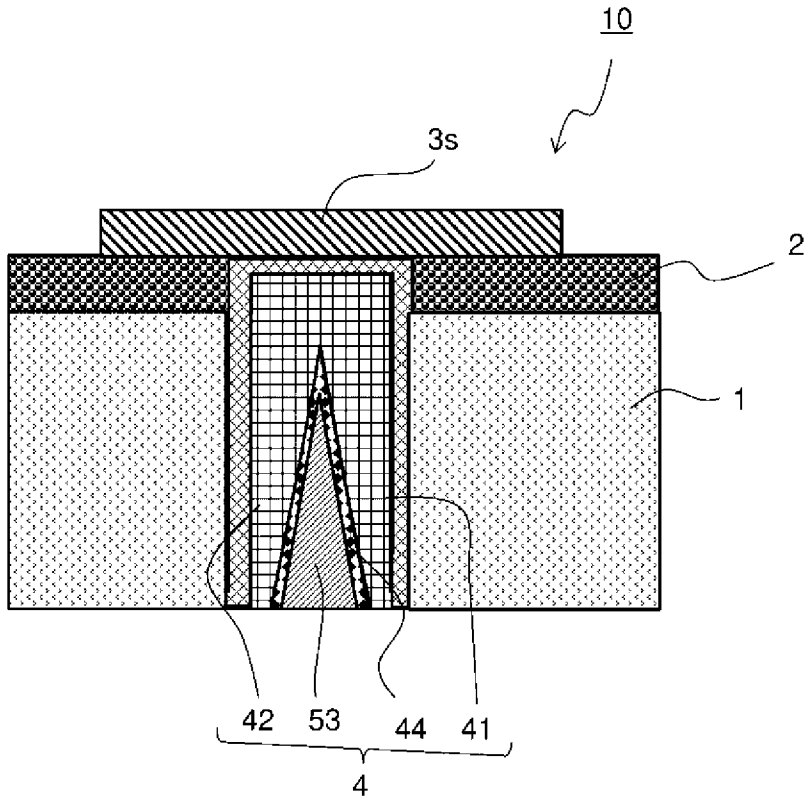
[図15]

図15



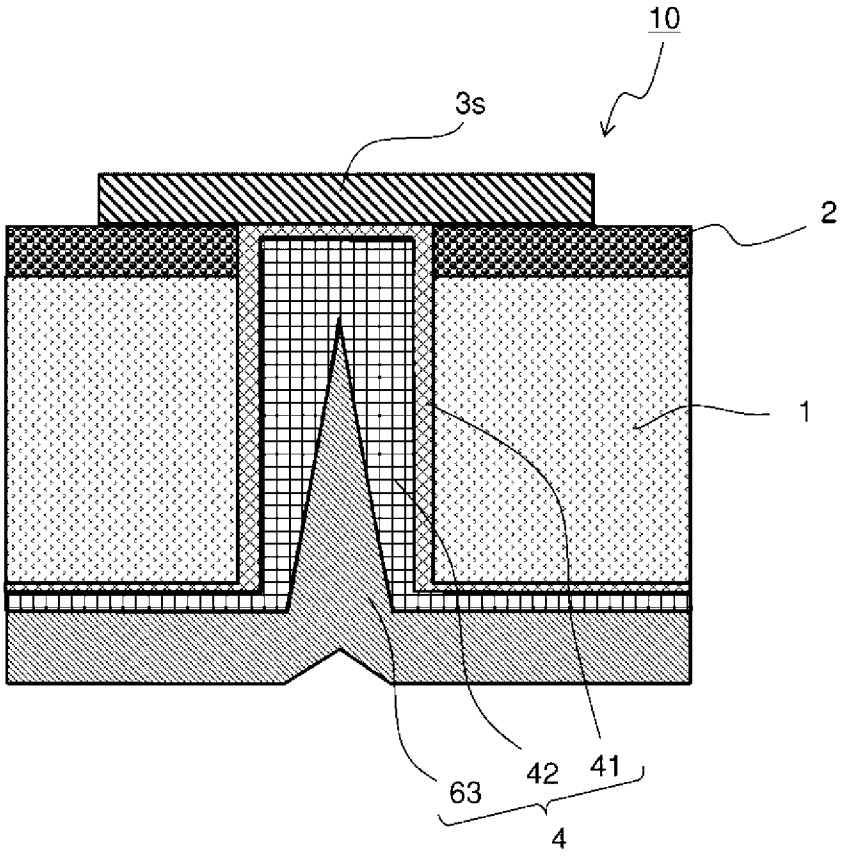
[図16]

図16



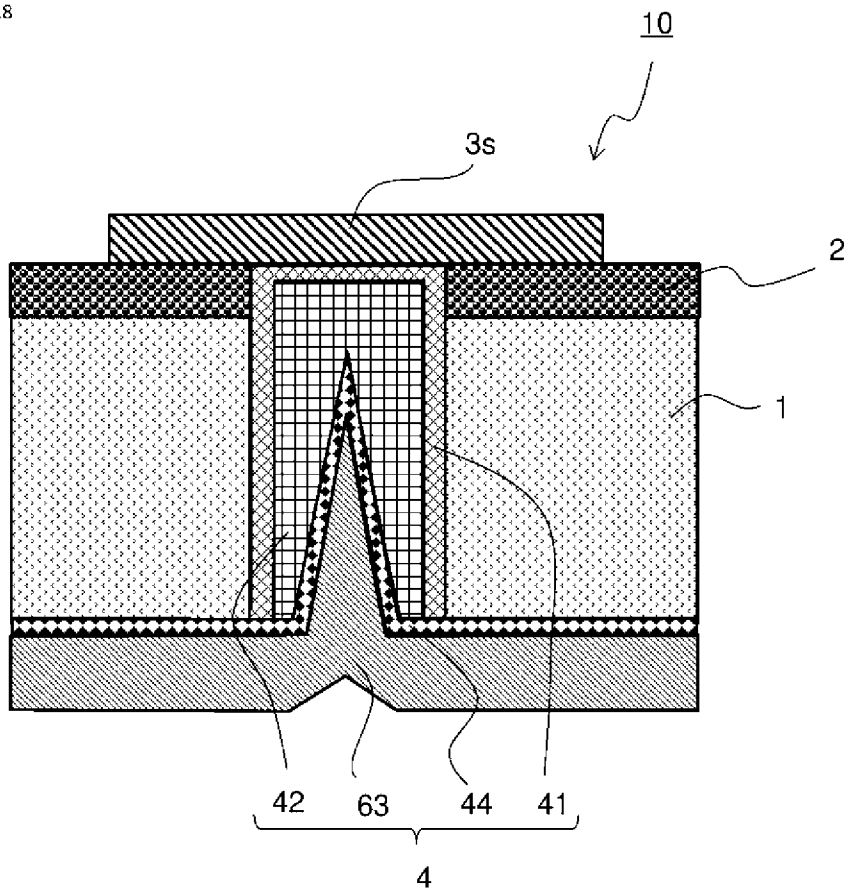
[図17]

図17



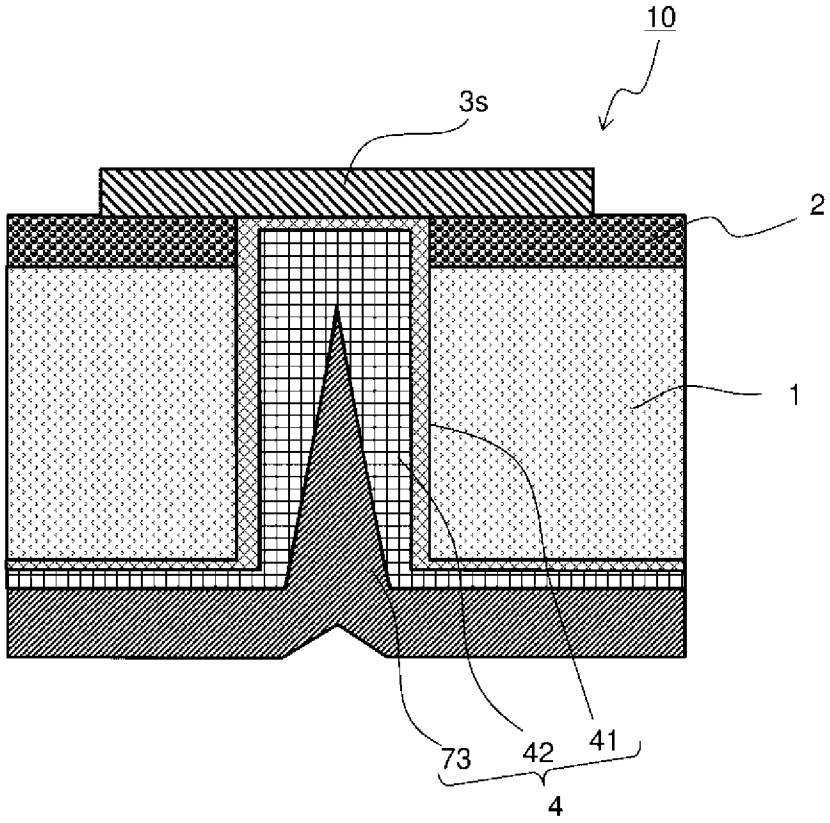
[図18]

図18



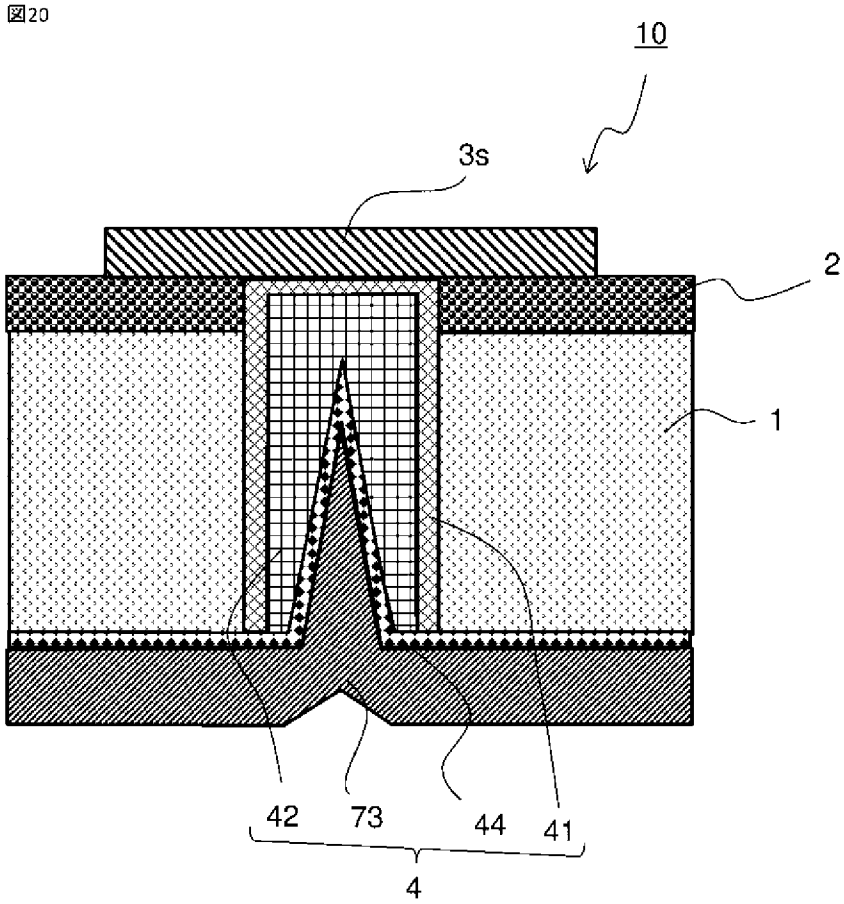
[図19]

図19



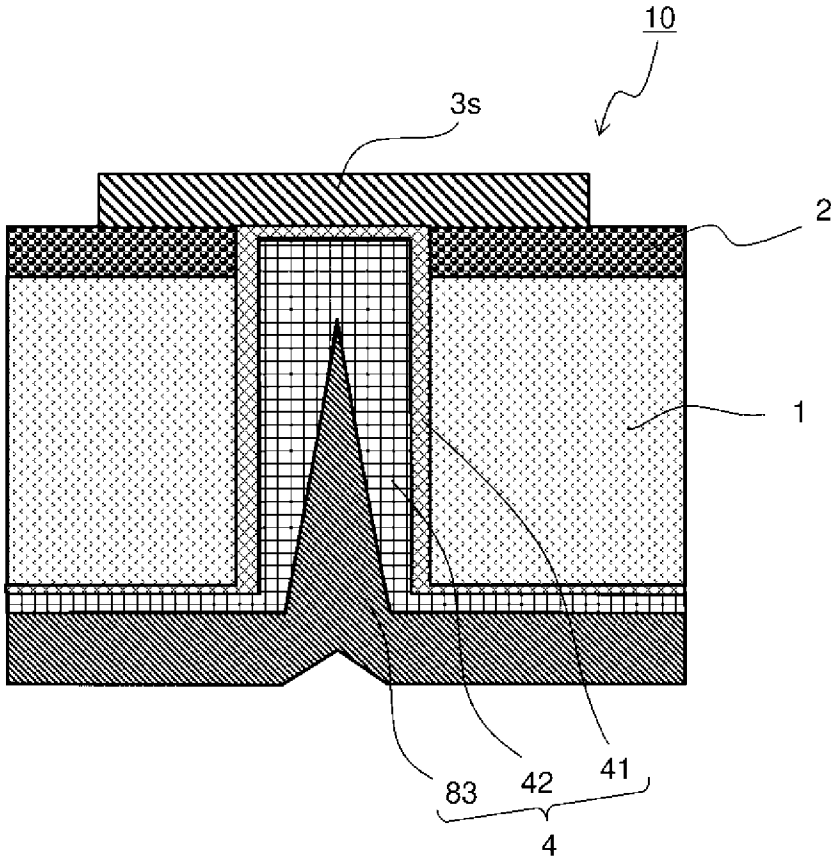
[図20]

図20



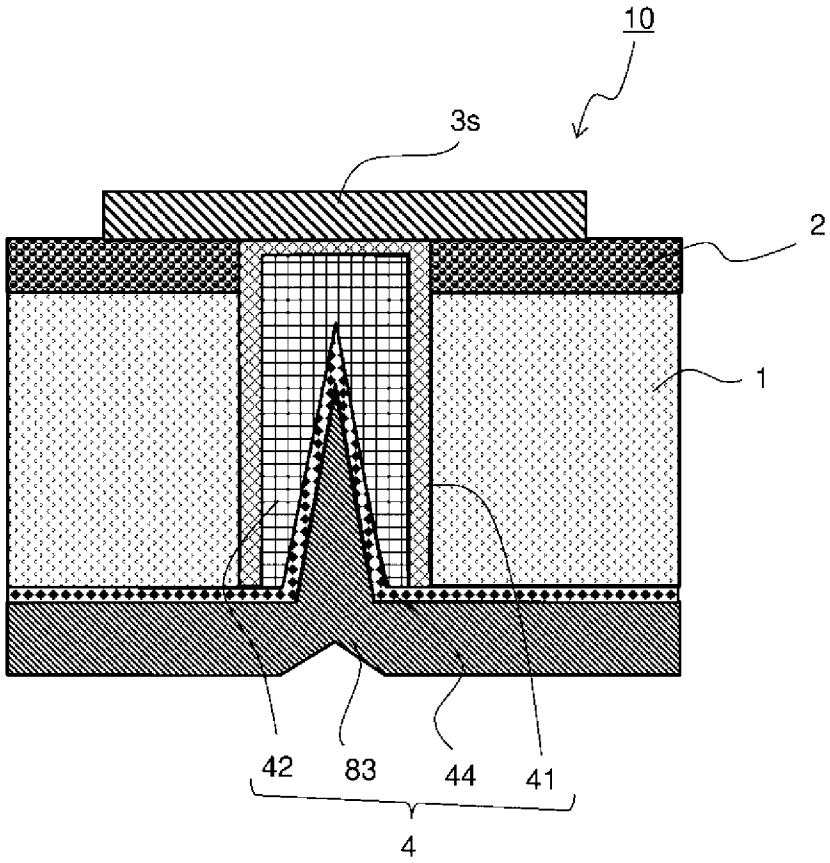
[図21]

図21



[図22]

図22



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/019866

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; ***H01L 21/3205***(2006.01)i; ***H01L 21/338***(2006.01)i; ***H01L 23/522***(2006.01)i; *H01L 29/812*(2006.01)n
FI: H01L21/88 J; H01L29/80 U

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L21/3205; H01L21/338; H01L23/522; H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2-214127 A (MITSUBISHI ELECTRIC CORPORATION) 27 August 1990 (1990-08-27) p. 2, lower left column, line 12 to lower right column, line 20, p. 3, lower left column, line 18 to p. 5, upper left column, line 11, fig. 1-2	1-3, 5-6
A		4, 7
A	JP 2022-70436 A (FUJITSU LIMITED) 13 May 2022 (2022-05-13) paragraphs [0010]-[0017], fig. 1-2	1-7
A	JP 5-102200 A (MITSUBISHI ELECTRIC CORPORATION) 23 April 1993 (1993-04-23) paragraphs [0010]-[0016], fig. 1-2	1-7
A	JP 2014-112634 A (MITSUBISHI ELECTRIC CORPORATION) 19 June 2014 (2014-06-19) entire text, all drawings	1-7

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 July 2023	**08 August 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/019866

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2-214127 A	27 August 1990	(Family: none)	
JP 2022-70436 A	13 May 2022	(Family: none)	
JP 5-102200 A	23 April 1993	(Family: none)	
JP 2014-112634 A	19 June 2014	US 2014/0117549 A1	
		CN 103789764 A	
		KR 10-2014-0055961 A	
		TW 201426832 A	

国際調査報告

国際出願番号
PCT/JP2023/019866

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/768(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/338(2006.01)i; H01L 23/522(2006.01)i; H01L 29/812(2006.01)n
FI: H01L21/88 J; H01L29/80 U

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/768; H01L21/3205; H01L21/338; H01L23/522; H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2-214127 A（三菱電機株式会社）27.08.1990（1990－08－27） 2ページ左下欄12行-右下欄20行，3ページ左下欄18行-5ページ左上欄11行，図1-2	1-3，5-6
A		4，7
A	JP 2022-70436 A（富士通株式会社）13.05.2022（2022－05－13） 段落[0010]-[0017]，図1-2	1-7
A	JP 5-102200 A（三菱電機株式会社）23.04.1993（1993－04－23） 段落[0010]-[0016]，図1-2	1-7
A	JP 2014-112634 A（三菱電機株式会社）19.06.2014（2014－06－19） 全文，全図	1-7

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
31.07.2023	08.08.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
早川　朋一　50 9733
電話番号 03-3581-1101 内線 3559

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/019866

引用文献	公表日	パテントファミリー文献	公表日
JP 2-214127 A	27.08.1990	（ファミリーなし）	
JP 2022-70436 A	13.05.2022	（ファミリーなし）	
JP 5-102200 A	23.04.1993	（ファミリーなし）	
JP 2014-112634 A	19.06.2014	US 2014/0117549 A1	
		CN 103789764 A	
		KR 10-2014-0055961 A	
		TW 201426832 A	