

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)



(10) 国際公開番号

WO 2012/117972 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054603
- (22) 国際出願日: 2012 年 2 月 24 日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-045929 2011 年 3 月 3 日(03.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 河野 昭彦
(KOHNO, Akihiko). 水木 敏雄(MIZUKI, Toshio).
田中 康一(TANAKA, Kohichi).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: THIN-FILM TRANSISTOR, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 発明の名称: 薄膜トランジスタおよびその製造方法、並びに表示装置

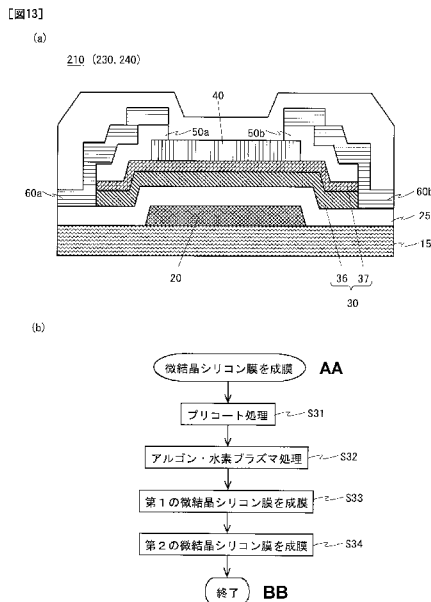


FIG. 13:
S31 Precoat processing
S32 Argon/hydrogen plasma processing
S33 First microcrystalline silicon film growth
S34 Second microcrystalline silicon film growth
AA Microcrystalline silicon film growth
BB End

(57) Abstract: Provided are a thin film transistor having a channel layer with high chemical resistance in a state where mobility is kept high and a method for manufacturing the same. A channel layer (30) of a TFT (210) is constituted by a first microcrystalline silicon film (36) grown on a gate insulating film (25) using a high density plasma CVD device and a second microcrystalline silicon film (37) grown on the first microcrystalline silicon film (36) at lower pressure than the pressure during the growth of the first microcrystalline silicon film (36). The first microcrystalline silicon film (36) contains many crystal grains grown in a columnar shape; therefore, the mobility of the TFT (210) is high. In addition, the second microcrystalline silicon film (37) contains many noncrystalline components; therefore, when the natural oxide film that is formed on the surface of the channel layer (30) is removed, the channel layer (30) does not peel even if the channel layer (30) is immersed in a chemical solution.

(57) 要約: 移動度を大きく保った状態で、薬液耐性が高いチャネル層を有する薄膜トランジスタおよびその製造方法を提供する。TFT (210) のチャネル層 (30) は、高密度プラズマCVD装置により、ゲート絶縁膜 (25) 上に成膜された第1の微結晶シリコン膜 (36) と、第1の微結晶シリコン膜 (36) の成膜時の圧力よりも低い圧力で第1の微結晶シリコン膜 (36) 上に成膜された第2の微結晶シリコン膜 (37) によって構成されている。第1の微結晶シリコン膜 (36) は柱状に成長した結晶粒を多く含むので、TFT (210) の移動度が大きくなる。また、第2の微結晶シリコン膜 (37) は非晶質成分を多く含むので、チャネル層 (30) の表面に形成された自然酸化膜を除去する際に、チャネル層 (30) を薬液に浸漬しても、チャネル層 (30) の膜剥がれは生じにくい。

WO 2012/117972 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

薄膜トランジスタおよびその製造方法、並びに表示装置

技術分野

[0001] 本発明は、薄膜トランジスタおよびその製造方法、並びに表示装置に関し、特に、微結晶半導体膜を用いた薄膜トランジスタおよびその製造方法、並びに表示装置に関する。

背景技術

[0002] アクティブマトリクス型液晶表示装置において、画素形成部のスイッチング素子や、駆動回路を構成する半導体素子として薄膜トランジスタ（Thin Film Transistor：以下、「T F T」と略す）が用いられている。このようなT F Tのチャネル層には、従来、非晶質シリコン膜または多結晶シリコン膜が使用されていた。しかし、近年、非晶質シリコン膜よりも移動度が大きく、また多結晶シリコン膜のようにアニール処理を必要としない微結晶シリコン膜が使用されるようになってきた。

[0003] 例えば、特許文献1では、逆スタガード型T F Tのチャネル層として、まずゲート絶縁膜上に、シランガス（ SiH_4 ）の希釈倍率を大きくすることによって成膜速度を遅くした第1の微結晶シリコン膜を形成する。次に、第1の微結晶シリコン膜上に、シランガスの希釈倍率を小さくすることによって成膜速度を速くした第2の微結晶シリコン膜を形成する。これにより、ゲート電極に近い第1の微結晶シリコン膜の結晶性を第2の微結晶シリコン膜の結晶性よりも高くして、T F Tの移動度を向上させている。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開2009-71290号公報

発明の概要

発明が解決しようとする課題

[0005] TFTを製造するには、第2の微結晶シリコン膜上に、エッチングストッパ層を形成したり、オーミックコンタクト層を形成したりする必要がある。これらの層と第2の微結晶シリコン膜との密着性を良くするために、第2の微結晶シリコン膜の表面に形成されている自然酸化膜をあらかじめ除去しておくことが好ましい。自然酸化膜の除去には、例えばフッ酸（HF）の濃度を5%とした水溶液（以下、「フッ酸水溶液」という）等のフッ酸系の薬液が用いられる。

[0006] 一般に微結晶シリコン膜は、結晶粒が基板に垂直な方向に成長した柱状結晶になり、水平方向の物理的結合が弱くなっている。そこで、第2の微結晶シリコン膜の表面に形成されている自然酸化膜を除去するために、第2の微結晶シリコン膜をフッ酸水溶液に浸漬すれば、フッ酸水溶液は第2の微結晶シリコン膜の表面から結晶粒界に沿って第1の微結晶シリコン膜内に侵入し、ゲート絶縁膜をエッチングする。ゲート絶縁膜のエッチングが進めば、第1および第2の微結晶シリコン膜はリフトオフされて膜剥がれが生じる。膜剥がれが生じればチャネル層は形成されず、TFTを製造することができない。

[0007] しかし、特許文献1では、シランガスの希釈倍率を変えて、第2の微結晶シリコン膜のラマンピーク強度比を3.52にしたり、6.19にしたりすることが記載されている。このことから、特許文献1では、第2の微結晶シリコン膜の結晶性を、第1の微結晶シリコン膜の結晶性よりも低くすることだけを目的とし、自然酸化膜をフッ酸水溶液によって除去したときに生じる膜剥がれについては考慮されていない。このため、特許文献1には、フッ酸水溶液に対する耐性を高くして膜剥がれを防止する解決方法は開示されていない。

[0008] そこで、本発明の目的は、移動度を大きくした状態で、薬液耐性が高いチャネル層を有する薄膜トランジスタおよびその製造方法を提供することである。また、本発明の他の目的は、そのような薄膜トランジスタを用いて高精細化およびハイフレームレート化が可能な表示装置を提供することである。

課題を解決するための手段

- [0009] 本発明の第1の局面は、絶縁基板上に形成された薄膜トランジスタであって、
- 前記絶縁基板上に形成されたゲート電極と、
 - 前記ゲート電極を覆うように形成されたゲート絶縁膜と、
 - 前記ゲート絶縁膜上に形成されたチャネル層とを備え、
 - 前記チャネル層は、
 - 前記ゲート絶縁膜の表面に形成され、ラマンピーク強度比が7.0以上である第1の微結晶半導体膜と、
 - 前記第1の微結晶半導体膜の表面に形成され、ラマンピーク強度比が4.5以下である第2の微結晶半導体膜とを含むことを特徴とする。
- [0010] 本発明の第2の局面は、本発明の第1の局面において、
- 前記ゲート絶縁膜の表面上に、前記第1の微結晶半導体膜の下地膜になる第3の微結晶半導体膜が形成されていることを特徴とする。
- [0011] 本発明の第3の局面は、本発明の第1の局面において、
- 前記チャネル層の表面上に形成されたエッチングストップ層をさらに備えていることを特徴とする。
- [0012] 本発明の第4の局面は、絶縁基板上に形成された薄膜トランジスタの製造方法であって、
- 前記絶縁基板上にゲート電極を形成する工程と、
 - 前記ゲート電極を覆うようにゲート絶縁膜を成膜する工程と、
 - 前記ゲート絶縁膜上に高密度プラズマCVD装置内でチャネル層を形成する工程とを備え、
 - 前記チャネル層を形成する工程は、
 - 前記高密度プラズマCVD装置内の圧力を第1の圧力値にして、第1の微結晶半導体膜を成膜する工程と、
 - 前記高密度プラズマCVD装置内の圧力を前記第1の圧力値よりも低い第2の圧力値にして、第2の微結晶半導体膜を成膜する工程とを含むことを

特徴とする。

- [0013] 本発明の第5の局面は、本発明の第4の局面において、
前記チャネル層を形成する工程は、前記絶縁基板を前記高密度プラズマCVD装置内に搬入する前に、前記高密度プラズマCVD装置の内壁を半導体膜で覆う処理をさらに含むことを特徴とする。
- [0014] 本発明の第6の局面は、本発明の第4または第5の局面において、
前記チャネル層を形成する工程は、前記高密度プラズマCVD装置の内壁を半導体膜で覆う工程の後であって、前記第1の微結晶半導体膜を成膜する工程の前に、アルゴンガスおよび水素ガスのプラズマによって前記ゲート絶縁膜の表面を清浄にし、前記第1の微結晶シリコン膜の下地膜になる第3の微結晶半導体膜を前記ゲート絶縁膜の表面に成膜する処理をさらに含むことを特徴とする。
- [0015] 本発明の第7の局面は、本発明の第6の局面において、
前記第3の微結晶半導体膜の膜厚は、3～7nmであることを特徴とする。
- [0016] 本発明の第8の局面は、本発明の第4の局面において、
前記第1の圧力値は20mTorr以上であり、前記第2の圧力値は5mTorr以下であることを特徴とする。
- [0017] 本発明の第9の局面は、画像を表示するアクティブマトリクス型の表示装置であって、
複数のゲート配線と、前記複数のゲート配線と交差する複数のソース配線と、前記複数のゲート配線と前記複数のソース配線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備える表示部と、
前記複数の画素形成部を駆動する駆動回路とを備え、
前記画素形成部は、対応するゲート配線に印加される信号に応じてオンまたはオフするスイッチング素子を含み、
前記スイッチング素子は、第1の局面に係る薄膜トランジスタを含むことを特徴とする。

- [0018] 本発明の第10の局面は、本発明の第9の局面において、
前記駆動回路は、本発明の第9の局面に係る薄膜トランジスタによって構成されていることを特徴とする。

発明の効果

- [0019] 上記第1の局面によれば、薄膜トランジスタのチャネル層は、ゲート絶縁膜上に形成された第1の微結晶半導体膜と、第1の微結晶半導体膜上に形成された第2の微結晶半導体膜とを含む。第1の微結晶半導体膜は、ラマンピーク強度比が7.0以上であるので、結晶粒が柱状に成長している。これにより、薄膜トランジスタの移動度を $0.7 \text{ cm}^2/\text{Vs}$ 以上にすることができる。また、第2の微結晶半導体膜は、ラマンピーク強度比が4.5以下であるので、非晶質成分が多く含むとともに、第1の微結晶半導体膜を覆っている。そこで、チャネル層を薬液に浸漬しても、薬液は第1の微結晶半導体膜内に侵入しにくい。これにより、チャネル層のフッ酸水溶液に対する薬液耐性を180秒以上にするすることができる。このように、薄膜トランジスタでは、移動度を高く保った状態で、薬液耐性が向上する。
- [0020] 上記第2の局面によれば、ゲート絶縁膜の表面上に、第3の微結晶半導体膜を形成することにより、ゲート絶縁膜上にインキュベーション層が成長しにくくなる。これにより、第3の微結晶シリコン膜を下地膜として成膜する第1の微結晶シリコン膜の結晶性が高くなり、薄膜トランジスタの移動度を高く保つことができる。
- [0021] 上記第3の局面によれば、表面にエッチングストップ層が形成されたチャネル層を薬液に浸漬しても、膜剥がれが生じることなく、チャネル層の表面に形成されている自然酸化膜を除去することができる。これにより、チャネル層とエッチングストップ層との密着性を良くすることができる。
- [0022] 上記第4の局面によれば、高密度プラズマCVD装置内の圧力を第1の圧力値にして、第1の微結晶半導体膜を成膜した後に、第2の微結晶半導体膜を、第1の圧力値よりも低い第2の圧力値にして成膜する。第1の微結晶半導体膜では、結晶粒が柱状に成長するので、薄膜トランジスタの移動度が大

きくなる。また、第2の微結晶半導体膜には非晶質成分が多く含まれているので、チャネル層を薬液に浸漬しても、薬液は第2の微結晶半導体膜によって覆われた第1の微結晶半導体膜内に侵入しにくくなる。これにより、移動度を高く保った状態で、薬液耐性が向上した薄膜トランジスタを製造することができる。また、高密度プラズマCVD装置内の圧力を変えることにより第1および第2の微結晶シリコン膜の結晶性を制御するので、結晶性を精度よく制御することができる。

[0023] 上記第5の局面によれば、絶縁基板を高密度プラズマCVD装置内に搬入する前に、高密度プラズマCVD装置の内壁を半導体膜で覆う。これにより、第1または第2の微結晶シリコン膜の成膜時に、高密度プラズマCVD装置の内壁に付着していた残留異物が、第1または第2の微結晶半導体膜内に混入して薄膜トランジスタの移動度を低下させることを抑制することができる。

[0024] 上記第6の局面によれば、ゲート絶縁膜上に吸着された水分、有機物、金属粒子等が除去されて、ゲート絶縁膜の表面が清浄にされる。これにより、ゲート絶縁膜の表面上にインキュベーション膜の成長をしにくくしたり、水分中の酸素原子等が第1の微結晶シリコン膜内に混入して、薄膜トランジスタの移動度を低下させたりすることを防ぐことができる。また、ゲート絶縁膜上に形成された第3の微結晶シリコン膜を下地膜として成膜する第1の微結晶シリコン膜の結晶性が高くなり、薄膜トランジスタの移動度をより高く保つことができる。

[0025] 上記第7の局面によれば、第3の微結晶半導体膜の膜厚を3 nmよりも薄くすれば、インキュベーション膜が成長し、その上に成膜される第1の微結晶シリコン膜の結晶性が低くなる。また、膜厚が7 nmよりも厚くすれば、第3の微結晶シリコン膜の形成時間が長くなる。そこで、第3の微結晶半導体膜の膜厚を3～7 nmにすれば、これらの問題点がなくなる。

[0026] 上記第8の局面によれば、第1の微結晶半導体膜を成膜する際の第1の圧力値を20 mTorr以上にすることにより、薄膜トランジスタの移動度を

$0.7 \text{ cm}^2/\text{V s e c}$ 以上にすることができる。また、第2の微結晶半導体膜を成膜する際の第2の圧力値を 5 m T o r r 以下にすることにより、第2の微結晶半導体膜によって覆われた第1の半導体膜内にフッ酸水溶液が侵入しにくくなるので、薬液耐性を180秒以上にすることができる。

[0027] 上記第9の局面によれば、画素形成部のスイッチング素子として、第1の局面に係る薄膜トランジスタを用いれば、薄膜トランジスタに流れるオン電流は大きくなる。この場合、薄膜トランジスタは、画像信号の信号電圧を、短時間で画素容量に充電できるので、画素形成部の数を増やして高精細化を図ることが可能になる。また、薄膜トランジスタの薬液耐性が向上するので、画素形成部を含む表示部の形成が容易になる。

[0028] 上記第10の局面によれば、第1の局面に係る薄膜トランジスタに流れるオン電流は大きい。この場合、第1の局面に係る薄膜トランジスタを用いて駆動回路を構成すれば、駆動回路の動作速度が速くなり、ハイフレームレート化しやすくなる。また、駆動回路の回路規模を小さくすることができるので、表示部の額縁を小さくできるとともに、表示装置の低消費電力化を図ることができる。さらに、薄膜トランジスタの薬液耐性が向上するので、信頼性が高い駆動回路を形成することができる。

図面の簡単な説明

[0029] [図1]逆スタガード型TFETの構成を示す断面図である。

[図2]図1に示すTFETを製造するためのプロセスフローを示すフロー図である。

[図3] (a) ~ (c) は、図1に示すTFETの各製造工程を示す断面図である。

[図4] (a) ~ (c) は、図1に示すTFETの各製造工程を示す断面図である。

[図5] (a) および (b) は、図1に示すTFETの各製造工程を示す断面図である。

[図6]第1 ~ 第3の比較例について、微結晶シリコン膜のラマンピーク強度比

、薬液耐性、およびTFTの移動度をそれぞれ示す図である。

[図7] (a) は、第1の比較例に係るTFTの構成を示す断面図であり、(b) は、(a) に示すTFTのチャネル層となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。

[図8] (a) は、第2の比較例に係るTFTの構成を示す断面図であり、(b) は、(a) に示すTFTのチャネル層となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。

[図9] (a) は、第3の比較例に係るTFTの構成を示す断面図であり、(b) は、(a) に示すTFTのチャネル層となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。

[図10] 本実施形態に係るTFTのチャネル層の断面を模式的に表わした図である。

[図11] 第1～第3の実施形態に係るTFTのゲート電圧ードレイン電流特性を示す図である。

[図12] 第1～第3の実施形態について、微結晶シリコン膜のラマンピーク強度比、薬液耐性、およびTFTの移動度をそれぞれ示す図である。

[図13] (a) は、本発明の第1の実施形態に係るTFTの構成を示す断面図であり、(b) は、(a) に示すTFTのチャネル層となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。

[図14] 第1の実施形態の変形例に係るTFTの構成を示す断面図である。

[図15] 図2に示す製造工程を示すフロー図のうち、第2の実施形態に係るTFTの製造工程に特有のステップのみを示すフロー図である。

[図16] 図2に示す製造工程を示すフロー図のうち、第2の実施形態に係るTFTの製造工程に特有のステップのみを示すフロー図である。

[図17] 第1から第3の実施形態に係るTFTを含む液晶表示装置の構成を示すブロック図である。

[図18] 図17に示す液晶表示装置の液晶パネルに設けられた画素形成部内のパターン配置を示す平面図である。

[図19]図 1 7 に示す液晶表示装置の画素形成部のスイッチング素子として機能する T F T の断面図である。

発明を実施するための形態

[0030] < 1. T F T の構成 >

図 1 は、逆スタガード型 T F T 1 0 の構成を示す断面図である。図 1 を参照して、T F T 1 0 の構成を説明する。絶縁基板であるガラス基板 1 5 上に、膜厚 1 0 0 n m のチタン (T i) 膜からなるゲート電極 2 0 が形成されている。ゲート電極 2 0 を含むガラス基板 1 5 の全体を覆うように、窒化シリコン膜 (S i N x) からなるゲート絶縁膜 2 5 が形成されている。ゲート絶縁膜 2 5 の膜厚は、例えば 4 1 0 n m である。

[0031] ゲート絶縁膜 2 5 の表面に、平面視においてゲート電極 2 0 を跨いで左右に延びる島状のチャネル層 3 0 が形成されている。チャネル層 3 0 の膜厚は、例えば 7 0 n m である。チャネル層 3 0 は、不純物を含まない微結晶シリコン膜からなる。チャネル層 3 0 の具体的な構成は、後述する比較例および実施形態ごとに異なる。ゲート電極 2 0 と対向するチャネル層 3 0 の表面には、窒化シリコン膜からなるエッチングストッパ層 4 0 が形成されている。エッチングストッパ層 4 0 の膜厚は、例えば 1 5 0 n m である。

[0032] エッチングストッパ層 4 0 の左上面からチャネル層 3 0 の左端までを覆うように延在するオーミックコンタクト層 5 0 a と、エッチングストッパ層 4 0 の右上面からチャネル層 3 0 の右端までを覆うように延在するオーミックコンタクト層 5 0 b が形成されている。これらのオーミックコンタクト層 5 0 a、5 0 b は、リン (P) 等の n 型不純物を高濃度にドーピングした微結晶シリコン膜 (n⁺シリコン膜) からなり、エッチングストッパ層 4 0 の上面で左右に分離されている。

[0033] オーミックコンタクト層 5 0 a の右端上面からオーミックコンタクト層 5 0 a を覆って左側のゲート絶縁膜 2 5 上まで延在するソース電極 6 0 a と、オーミックコンタクト層 5 0 b の左端上面からオーミックコンタクト層 5 0 b を覆って右側のゲート絶縁膜 2 5 上まで延在するドレイン電極 6 0 b とが

形成されている。ソース電極60aはオーミックコンタクト層50aを介してチャネル層30とオーミック接触し、ドレイン電極60bはオーミックコンタクト層50bを介してチャネル層30とオーミック接触している。さらに、ソース電極60aとドレイン電極60bを含むガラス基板15の全体を覆うように、窒化シリコン膜からなるパッシベーション膜70が形成されている。

[0034] <1. 1 TFTの製造方法>

図2は、図1に示すTFT10を製造するためのプロセスフローを示すフロー図である。また、図3(a)～図3(c)、図4(a)～図4(c)、図5(a)および図5(b)は、図1に示すTFT10の各製造工程を示す断面図である。図2に示すプロセスフロー、並びに、図3(a)～図3(c)、図4(a)～図4(c)、図5(a)および図5(b)に示す各断面図を参照して、TFT10の製造工程を説明する。

[0035] ステップS10では、ガラス基板15上に例えばチタン膜またはチタンを主成分とする金属膜をスパッタリング法によって成膜する。チタン膜の膜厚は、例えば100nmである。なお、チタン膜の代わりに、タングステン(W)、モリブデン(Mo)、アルミニウム(Al)等の金属膜、それらを主成分とする金属膜、またはそれらを積層した金属膜を成膜してもよい。

[0036] 次に、チタン膜の表面に、フォトリソグラフィ法を用いてレジストパターンを形成する。図3(a)に示すように、レジストパターン(図示しない)をマスクにして、チタン膜をウエットエッチング法によりエッチングし、ゲート電極20を形成する。その後、レジストパターンを剥離する。なお、ウエットエッチング法の代わりに、ドライエッチング法によりエッチングしてゲート電極20を形成してもよい。

[0037] ステップS20では、図3(b)に示すように、ゲート電極20を含むガラス基板15の全体を覆うように、平行平板化学気相成長(Chemical Vapor Deposition: 以下、「平行平板CVD」という)装置により、シランガスと窒素ガス(N₂)を含む原料ガスからゲート絶縁膜25となる窒化シリコン膜

を成膜する。窒化シリコン膜の膜厚は、例えば410nmである。なお、ゲート絶縁膜25として、窒化シリコン膜の代わりに酸化シリコン(SiO_2)膜、酸窒化シリコン(SiON)膜、またはそれらの積層膜を成膜してもよい。

[0038] ステップS30では、図3(c)に示すように、ゲート絶縁膜25の表面に、複数層からなる微結晶シリコン膜31を成膜する。微結晶シリコン膜31は、表面波プラズマ方式またはICP(Inductively Coupled Plasma:誘導結合プラズマ)方式等の高密度プラズマCVD装置を用いて成膜される。微結晶シリコン膜31の膜厚は、例えば70nmである。なお、微結晶シリコン膜31に含まれる複数層の構成および成膜条件は比較例および実施形態ごとに異なるので、それらについては後述する。

[0039] ステップS40では、微結晶シリコン膜31の表面に形成されている自然酸化膜を除去する。具体的には、微結晶シリコン膜31を薄い酸系の溶液に40秒間浸漬し、その後水洗して乾燥させる。これにより、微結晶シリコン膜31の表面に形成されていた自然酸化膜が除去される。微結晶シリコン膜31を浸漬する薄い酸系の水溶液として、例えばフッ酸の濃度が0.5%のフッ酸水溶液、バッファードフッ酸等を使用する。このように、エッチングストップ層40となる窒化シリコン膜を成膜する前に自然酸化膜を除去するのは以下の理由による。すなわち、自然酸化膜を除去しないで、微結晶シリコン膜31の表面に後述する窒化シリコン膜41を成膜すれば、微結晶シリコン膜31と窒化シリコン膜41との密着性が悪くなり、エッチングストップ層40が剥がれやすくなるからである。

[0040] ステップS50では、図4(a)に示すように、自然酸化膜を除去した直後のガラス基板15を平行平板CVD装置内に搬入し、シランガスとアンモニアガス(NH_3)を含む原料ガスを用いて微結晶シリコン膜31の表面に窒化シリコン膜41を成膜する。窒化シリコン膜41の膜厚は例えば150nmである。窒化シリコン膜41の表面上であって、ゲート電極20と対向する位置に、フォトリソグラフィ法によってレジストパターン45を形成する

。レジストパターン45をマスクにして、窒化シリコン膜41をドライエッチング法によりエッチングし、エッチングストッパ層40を形成する。なお、エッチングストッパ層40は、酸化シリコン膜または酸窒化シリコン膜をエッチングして形成してもよい。

[0041] ステップS60では、エッチングストッパ層40で覆われていない微結晶シリコン膜31の表面に形成されている自然酸化膜を除去する。自然酸化膜の除去方法は、ステップS40における自然酸化膜の除去と同じであるので、その説明を省略する。なお、微結晶シリコン膜31をフッ酸水溶液に浸漬する時間は20秒間である。このように、自然酸化膜を除去するのは、微結晶シリコン膜31の表面に形成されている自然酸化膜を除去しないで、微結晶シリコン膜31の表面に後述する非晶質シリコン膜51を成膜すれば、微結晶シリコン膜31と非晶質シリコン膜51との密着性が悪くなり、オーミックコンタクト層50a、50bが剥がれやすくなるからである。

[0042] ステップS70では、図4(b)に示すように、エッチングストッパ層40および微結晶シリコン膜31を含むガラス基板15の全体を覆うように、オーミックコンタクト層50a、50bとなる非晶質シリコン膜51を成膜する。非晶質シリコン膜51は、ソース電極60aおよびドレイン電極60bがチャネル層30とオーミック接触するように、例えばリン(P)等のn型不純物が高濃度にドーピングされた非晶質シリコン膜(以下、「n⁺シリコン膜51」という)である。

[0043] ステップS80では、図4(c)に示すように、n⁺シリコン膜51の表面に、フォトリソグラフィ技術を用いてレジストパターン55を形成する。レジストパターン55をマスクにして、ドライエッチング法により、n⁺シリコン膜51と微結晶シリコン膜31とを連続してエッチングする。その後、レジストパターン55を剥離する。これにより、島状のチャネル層30が形成されるとともに、n⁺シリコン膜51はチャネル層30と同じ形状になる。

[0044] ステップS90では、図5(a)に示すように、スパッタリング装置を用いてソースメタル膜61を成膜する。ソースメタル膜61は、例えばチタン

膜またはチタンを主成分とする金属膜である。ソースメタル膜61上に、フォトリソグラフィ法を用いて、エッチングストッパ層40の上方に開口部を有するレジストパターン65を形成する。

[0045] 次に、図5(b)に示すように、レジストパターン65をマスクにして、ウエットエッチング法によりソースメタル膜61をエッチングし、ソース電極60aおよびドレイン電極60bを形成する。なお、ウエットエッチング法の代わりにドライエッチング法によって、ソースメタル膜61をエッチングしてもよい。

[0046] さらに、レジストパターン65をマスクにして、ドライエッチング法により n^+ シリコン膜51をエッチングし、エッチングストッパ層40の上面で左右に分離された2つのオーミックコンタクト層50a、50bを形成する。なお、チャネル層30の上面に、窒化シリコンからなるエッチングストッパ層40が形成されているので、 n^+ シリコン膜51のエッチングはエッチングストッパ層40によって停止し、チャネル層30の表面がエッチングされることはない。ソース電極60aは、オーミックコンタクト層50aの右端上面からオーミックコンタクト層50aを覆って左側のゲート絶縁膜25上まで延在し、ドレイン電極60bは、オーミックコンタクト層50bの左端上面からオーミックコンタクト層50bを覆って右側のゲート絶縁膜25上まで延在する。

[0047] ステップS100では、ソース電極60aとドレイン電極60bを含むガラス基板15の全体を覆うように、窒化シリコンからなるパッシベーション膜70を成膜する。パッシベーション膜70は、平行平板プラズマCVD装置により、シランガスとアンモニアガスを含む原料ガスを用いて成膜され、その膜厚は例えば265nmである。その後、ソース電極60aとオーミックコンタクト層50a、および、ドレイン電極60bとオーミックコンタクト層50bがそれぞれオーミック接触するように、TFET10を形成したガラス基板15を窒素雰囲気中において200℃で1時間加熱する。以上説明した一連の製造工程によって、図1に示すTFET10が製造される。

[0048] <1. 2 微結晶シリコン膜の成膜方法>

図2のステップS30に示す微結晶シリコン膜31の成膜方法には、次の4つの処理工程が含まれる。すなわち、高密度プラズマCVD装置のチャンバの内壁をシリコン膜で被覆するプリコート処理、アルゴン・水素プラズマ処理を施すことによりゲート絶縁膜25の表面を清浄にして薄い微結晶シリコン膜を成膜するアルゴン・水素プラズマ処理、結晶性が高い第1の微結晶シリコン膜を成膜する工程、第1の微結晶シリコン膜よりも結晶性が低い第2の微結晶シリコン膜を成膜する工程が含まれている。そこで、これらの処理工程について説明する。

[0049] <1. 2. 1 プリコート処理>

ガラス基板15を高密度プラズマCVD装置のチャンバ内に搬入する前に、チャンバ内にシランガスを導入してプラズマを生成し、チャンバの内壁をシリコン膜で被覆する。このようなプリコート処理を施すことにより、微結晶シリコン膜31の成膜中に、チャンバの内壁に付着していた残留異物が剥がれて微結晶シリコン膜31内に混入することが少なくなる。

[0050] 次に、プリコート処理のプロセス条件の詳細を以下に示す。なお、下記プロセス条件における「ギャップ」とは、ガラス基板15の表面と高密度プラズマCVD装置の電極の表面との間隔をいう。

マイクロ波周波数	: 915MHz
パワー	: 0.8W/cm ² (投入パワー: 1.0kW)
圧力	: 20mTorr
ギャップ	: 90mm
SiH ₄ 流量	: 400sccm
Ar流量	: 600sccm
チャンバ内温度	: 100℃
処理時間	: 600sec

[0051] <1. 2. 2 アルゴン・水素プラズマ処理>

微結晶シリコン膜31を成膜する際に、ゲート絶縁膜25の表面に水分、

有機物、金属粒子等が吸着していれば、ゲート絶縁膜上にインキュベーション膜が形成されやすくなったり、水分中の酸素原子等が微結晶シリコン膜31内に混入したりするおそれがある。微結晶シリコン膜31にインキュベーション膜が形成されたり酸素原子等が混入したりすれば、TFT10の移動度が低下するので、好ましくない。そこで、アルゴンガスのプラズマによりゲート絶縁膜25上に吸着した水分、金属粒子等をスパッタリング効果によって除去するとともに、水素プラズマによりゲート絶縁膜25の表面を薄くエッチングして清浄にする。このようにして清浄にされたゲート絶縁膜25の表面では、インキュベーション膜の成長が抑えられ、微結晶シリコン膜31の下地膜となる薄い微結晶シリコン膜が成膜される。その膜厚は、3～7 nm、好ましくは4～6 nmである。薄い微結晶シリコン膜は後述のケミカルトランスポートによって成膜されるので、その膜厚は3～7 nmの範囲に収まる。もし、薄い微結晶シリコン膜の膜厚が3 nmよりも薄くなれば、インキュベーション膜が成長し、その上に成膜される微結晶シリコン膜31の結晶性が低くなる。また、膜厚が7 nmよりも厚くなれば、薄い微結晶シリコン膜の形成時間が長くなる。このことから、ケミカルトランスポートによって成膜される薄い微結晶シリコン膜では、膜厚として3～7 nmが好ましく、さらに4～6 nmがより好ましい。

[0052] 次に、アルゴン・水素プラズマ処理条件の詳細を以下に示す。

マイクロ波周波数	: 915 MHz
パワー	: 3.2 W/cm ² (投入パワー: 4.0 kW)
圧力	: 20 mTorr
H ₂ 流量	: 48 sccm
Ar流量	: 504 sccm
ギャップ	: 150 mm
チャンバ内温度	: 100℃
基板設定温度	: 200℃
処理時間	: 15 msec

[0053] 上述のアルゴン・水素プラズマ処理では、シランガスを流していないにもかかわらず、ゲート絶縁膜上に3～7 nmの薄い微結晶シリコン膜が成膜される理由について説明する。量産では、微結晶シリコン膜を連続して成膜するので、高密度プラズマCVD装置のチャンバの内壁にシリコン膜が付着する。アルゴン・水素プラズマ処理中に、チャンバの内壁に付着していたシリコン膜がエッチングされ、これによって発生したシリコンがゲート絶縁膜上に堆積し、薄い微結晶シリコン膜が成膜される。このように、チャンバの内壁に付着していた堆積膜がエッチングされ、別の場所に堆積することをケミカルトランスポートという。なお、アルゴン・水素プラズマ処理を施す前に、チャンバの内壁をシリコン膜でプリコートしておく場合には、プリコート時にチャンバの内壁に付着していたシリコン膜がケミカルトランスポートされ、薄い微結晶シリコン膜が成膜される。

[0054] <1. 2. 3 第1の微結晶シリコン膜の成膜工程>

本明細書では、微結晶シリコン膜の結晶性を、ラマン散乱スペクトルから求めるラマンピーク強度比 (I_c / I_a) によって評価する。微結晶シリコン膜は、結晶シリコン成分に起因した 520 cm^{-1} 付近の鋭いピークと、非晶質シリコン成分に起因した 480 cm^{-1} 付近の幅広いピークが重畳したピークを持つ。 I_c はラマン散乱スペクトルにおける 520 cm^{-1} 付近のピーク強度を表わし、 I_a は 480 cm^{-1} 付近のピーク強度を表わす。このことから、ラマンピーク強度比 I_c / I_a の値は結晶性（結晶化率）を表わし、ラマンピーク強度比 I_c / I_a の値が大きいほど、微結晶シリコン膜は結晶性（結晶化率）が高い膜であることがわかる。

[0055] ステップS30に示す微結晶シリコン膜31の成膜工程には、結晶化率が高い第1の微結晶シリコン膜を成膜する工程と、第1の微結晶シリコン膜よりも結晶化率が低い第2の微結晶シリコン膜を成膜する工程とが含まれる。これらの微結晶シリコン膜の結晶化率は、高密度プラズマCVD装置のチャンバ内の圧力を変えることによって制御される。このように、チャンバ内の圧力を変えることによって微結晶シリコン膜の結晶化率を制御するのは、

シランガスの希釈倍率を変えることによって制御する場合よりも、結晶化率を高い精度で制御することができるからである。

[0056] 第1の微結晶シリコン膜の成膜工程のプロセス条件の詳細を以下に示す。このプロセス条件の特徴は、後述の第2の微結晶シリコン膜の成膜工程と比べて、成膜時のチャンバ内の圧力が20mTorrと高いことである。なお、第1の微結晶シリコン膜の成膜時の圧力値を「第1の圧力値」という場合がある。例えば、このプロセス条件の第1の圧力値は20mTorrである。

マイクロ波周波数	: 915MHz
パワー	: 3.2W/cm ² (投入パワー: 4.0kW)
圧力	: 20mTorr
SiH ₄ 流量	: 12sccm
Ar流量	: 126sccm
ギャップ	: 150mm
基板設定温度	: 200°C

[0057] 上述のプロセス条件により成膜される第1の微結晶シリコン膜は、後述する各実施形態において説明するように、柱状に成長した結晶粒を多く含み、結晶化率が高い膜である。しかし、結晶粒が柱状（縦方向）に成長しているので、結晶粒界も縦方向に延びている。このため、フッ酸水溶液は結晶粒界に沿って第1の微結晶シリコン膜内に侵入しやすい。第1の微結晶シリコン膜内に侵入したフッ酸水溶液は下地のゲート絶縁膜をエッチングする。これにより、第1の微結晶シリコン膜はリフトオフされて剥がれてしまう。例えば、第1の微結晶シリコン膜をフッ酸水溶液に浸漬した場合、30秒以下の短時間で第1の微結晶シリコン膜の膜剥がれが生じれば、微結晶シリコン膜の薬液耐性は悪いという。このように、高い圧力下で成膜された第1の微結晶シリコン膜の移動度は高いが、薬液耐性は悪いという特徴がある。

[0058] <1. 2. 4 第2の微結晶シリコン膜の成膜工程>

第2の微結晶シリコン膜の成膜工程のプロセス条件の詳細を以下に示す。

このプロセス条件の特徴は、前述の第1の微結晶シリコン膜の成膜工程に比べて、成膜時のチャンバ内の圧力が5 m T o r rと低いことである。なお、第2の微結晶シリコン膜の成膜時の圧力値を「第2の圧力値」という場合がある。例えば、このプロセス条件の第2の圧力値は5 m T o r rである。

マイクロ波周波数 : 9 1 5 M H z
パワー : 3 . 2 W / c m² (投入パワー : 4 . 0 k W)
圧力 : 5 m T o r r
S i H₄流量 : 1 2 s c c m
A r 流量 : 1 2 6 s c c m
ギャップ : 1 5 0 m m
基板設定温度 : 2 0 0 °C

[0059] 第2の微結晶シリコン膜は、後述する各実施形態において説明するように、柱状に成長した結晶成分を含まない代わりに、非晶質成分を多く含み、結晶化率が低い膜である。これにより、第2の微結晶シリコン膜の移動度は小さくなる。しかし、第2の微結晶シリコン膜をフッ酸水溶液に浸漬しても、結晶粒界が少ないので、フッ酸水溶液は第2の微結晶シリコン膜内に侵入しにくい。したがって、第2の微結晶シリコン膜内に侵入したフッ酸水溶液が下地のゲート絶縁膜をエッチングするまでの時間が長くなり、第2の微結晶シリコン膜は剥がれにくくなる。このように、低い圧力下で成膜された第2の微結晶シリコン膜には、結晶成分が少ないので移動度は小さいが、薬液耐性は向上するという特徴がある。

[0060] < 2 . 比較例 >

T F Tのチャネル層を構成する微結晶シリコン膜の結晶化率により、T F Tの移動度および薬液耐性がどのように変化するかについて調べるために、ゲート絶縁膜上に成膜する微結晶シリコン膜の成膜条件と薬液に浸漬する時間を変えて評価を行なった。この評価結果を、第1～第3の比較例として順に説明する。なお、本明細書において説明するT F Tのサイズは、その効果を比較しやすくするためにいずれもL / W = 1 2 / 2 0 μ mとしたが、本

発明を適用可能なTFTのサイズはこれに限定されない。また、以下に説明する各比較例および各実施形態の微結晶シリコン膜を成膜するステップS30には、プリコート処理、アルゴン・水素プラズマ処理、第1の微結晶シリコン膜を成膜する工程、および、第1の微結晶シリコン膜上に第2の微結晶シリコン膜を成膜する工程のうち少なくとも3つ以上の処理または工程がその順序を変えて含まれている。しかし、いずれの比較例および実施形態においても、名称が同じ処理または工程のプロセス条件はそれぞれ同一である。そこで、以下の説明では、プリコート処理をステップS31、アルゴン・水素プラズマ処理をステップS32、第1の微結晶シリコン膜36を成膜する工程をステップS33、第1の微結晶シリコン膜36上に第2の微結晶シリコン膜37を成膜する工程をステップS34として説明する。

[0061] 図6は、第1～第3の比較例について、微結晶シリコン膜のラマンピーク強度比、薬液耐性、およびTFTの移動度をそれぞれ示す図である。

[0062] <2. 1 第1の比較例>

図7(a)は、第1の比較例に係るTFT110の構成を示す断面図である。また、図7(b)は、図7(a)に示すTFT110のチャネル層30となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。なお、図2に示すステップS30以外のステップは、TFT110の製造工程でも同じであるため、その説明を省略する。

[0063] また、TFT110の構成のうち、図1に示すTFT10と同じ構成要素については同じ参照符号を付してその説明を省略し、チャネル層30の構成について詳しく説明する。TFT110のチャネル層30は、アルゴン・水素プラズマ処理によって成膜された下地膜を含む膜厚が70nmである第2の微結晶シリコン膜37のみにより構成されている。

[0064] 微結晶シリコン膜の成膜工程は、図7(b)に示すように、ガラス基板15をチャンバ内に搬入する前にチャンバの内壁をシリコン膜で覆うプリコート処理(ステップS31)、ゲート絶縁膜の表面を清浄にして薄い微結晶シリコン膜を成膜するアルゴン・水素プラズマ処理(ステップS32)、およ

び、結晶化率が低い第2の微結晶シリコン膜37を成膜する工程（ステップS34）を含む。なお、各ステップのプロセス条件は、それぞれ上述のプロセス条件と同じであるため、それらの説明を省略する。

[0065] 図6に示すように、チャネル層30を構成する第2の微結晶シリコン膜37上のラマンピーク強度比 I_c/I_a は2.2と小さかった。このことから、第2の微結晶シリコン膜37は、非晶質成分を多く含む結晶化率が低い膜であることがわかる。このため、第2の微結晶シリコン膜37のフッ酸水溶液に対する薬液耐性は180秒以上であった。しかし、TF T 1 1 0の移動度は、 $0.4 \text{ cm}^2/\text{V s e c}$ と小さかった。このように、TF T 1 1 0では、チャネル層30の薬液耐性は十分であるが、移動度が小さいという問題がある。

[0066] <2.2 第2の比較例>

図8（a）は、第2の比較例に係るTF T 1 2 0の構成を示す断面図である。また、図8（b）は、図8（a）に示すTF T 1 2 0のチャネル層30となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。なお、図2に示すステップS30以外のステップは、TF T 1 2 0の製造工程でも同じであるため、それらの説明を省略する。

[0067] 本比較例では、後述するように薬液耐性が非常に悪く、膜剥がれが生じたのでTF T 1 2 0を製造することができなかった。このため、図8（a）は、製造できなかったTF T 1 2 0を示す。TF T 1 2 0の構成のうち、図1に示すTF T 1 0と同じ構成要素については同じ参照符号を付してその説明を省略し、チャネル層30について説明する。図8（a）に示すTF T 1 2 0のチャネル層30は、アルゴン・水素プラズマ処理によって成膜された下地膜を含む膜厚が70 nmである第1の微結晶シリコン膜36のみにより構成される予定であった。

[0068] 微結晶シリコン膜の成膜工程は、図に示すように、プリコート処理（ステップS31）、アルゴン・水素プラズマ処理（ステップS32）、および、結晶化率が高い第1の微結晶シリコン膜36を成膜する工程（ステップS3

3)を含む。このように、第1の比較例の場合と異なり、本比較例では結晶化率が高い第1の微結晶シリコン膜36を成膜する。なお、各ステップのプロセス条件は、それぞれ上述のプロセス条件と同じであるため、それらの説明を省略する。

[0069] 図6に示すように、チャネル層30を構成する第1の微結晶シリコン膜36上のラマンピーク強度比 I_c/I_a は11.7と大きい。このことから、第1の微結晶シリコン膜36は柱状の結晶粒を多く含む膜であることがわかる。このような第1の微結晶シリコン膜36をフッ酸水溶液に浸漬することにより、結晶粒界に沿って第1の微結晶シリコン膜36内にフッ酸水溶液が侵入し、30秒以下の短い時間で膜剥がれが生じた。このため、第1の微結晶シリコン膜36のみからなるチャネル層を有するTF T 1 2 0を製造することができなかった。したがって、TF T 1 2 0の移動度を測定することができなかった。

[0070] <2.3 第3の比較例>

図9(a)は、第3の比較例に係るTF T 1 3 0の構成を示す断面図である。また、図9(b)は、図9(a)に示すTF T 1 3 0のチャネル層30となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。製造工程に特有のステップのみを示すフロー図である。なお、図2に示すステップS30以外のステップは、TF T 1 3 0の製造工程でも同じであるため、その説明を省略する。

[0071] 本比較例でも、後述するように薬液耐性が非常に悪く、膜剥がれが生じたのでTF T 1 3 0を製造することができなかった。このため、図9(a)は、製造できなかったTF T 1 3 0の構成を示す。TF T 1 3 0の構成のうち、図1に示すTF T 1 0と同じ構成要素については同じ参照符号を付してその説明を省略し、チャネル層30について説明する。図9(a)に示すTF T 1 3 0のチャネル層30は、アルゴン・水素プラズマ処理によって成膜された下地膜を含む膜厚が20nmである第2の微結晶シリコン膜37上に、膜厚が50nmである第1の微結晶シリコン膜36を積層した積層膜によっ

て構成されている。

[0072] 微結晶シリコン膜の成膜工程は、図9（b）に示すように、プリコート処理（ステップS31）、アルゴン・水素プラズマ処理（ステップS32）、結晶化率が低い第2の微結晶シリコン膜37を成膜する工程（ステップS34）、および、第2の微結晶シリコン膜上に結晶化率が高い第1の微結晶シリコン膜36を成膜する工程（ステップS33）を含む。

[0073] 図6に示すように、ゲート絶縁膜25上に成膜された第2の微結晶シリコン膜37上のラマンピーク強度比 I_c/I_a は2.4と小さく、第1の微結晶シリコン膜36上のラマンピーク強度比 I_c/I_a は6.6と大きい。このことから、第1の微結晶シリコン膜36には、柱状の結晶粒が多く含まれていることがわかる。第1の微結晶シリコン膜36を成膜後、表面の自然酸化膜を除去するためにフッ酸水溶液に浸漬すれば、フッ酸水溶液は、結晶粒界に沿って第1の微結晶シリコン膜36内に侵入し、第1の微結晶シリコン膜36と第2の微結晶シリコン膜37との界面に短時間で到達する。第2の微結晶シリコン膜37は非晶質成分を多く含むが、その膜厚は20nmと薄い。このため、フッ酸水溶液は第2の微結晶シリコン膜37内を通して、比較的短時間でゲート絶縁膜25の表面まで到達し、ゲート絶縁膜25をエッチングする。これにより、30秒以下という短い浸漬時間で、第1および第2の微結晶シリコン膜36、37の膜剥がれが生じ、TF T130を製造することができなかった。したがって、TF T130の移動度を測定することができなかった。

[0074] <3. 実施形態>

第1～第3の比較例の結果から、TF Tの移動度を大きくするとともに、薬液耐性を向上させるために、結晶化率が高い第1の微結晶シリコン膜36と、結晶化率が低い第2の微結晶シリコン膜37とをこの順に積層してチャネル層30を形成すればよいことがわかる。

[0075] 図10は、後述する本実施形態のチャネル層30の断面を模式的に表わした図である。図10を参照して、チャネル層30の構成を説明する。まず、

アルゴン・水素プラズマ処理によって清浄にされたゲート絶縁膜 25 上に、膜厚が約 5 nm の薄い微結晶シリコン膜 35 が成膜されている。薄い微結晶シリコン膜 35 を下地膜として、第 1 の微結晶シリコン膜 36 が成膜されている。第 1 の微結晶シリコン膜 36 には、大きな結晶粒 36 a が柱状に成長し、結晶粒界 36 b がゲート絶縁膜 25 に垂直（図 10 の縦方向）になるように延びている。さらに、第 1 の微結晶シリコン膜 36 の上面に第 2 の微結晶シリコン膜 37 が形成されている。第 2 の微結晶シリコン膜 37 は、粒径が小さく、数も少ない結晶粒 37 a と、結晶粒 37 a 間に形成された非晶質シリコン 37 c を含む。

[0076] TFT の移動度 μ は、ゲート電圧ードレイン電流特性の測定により求めたコンダクタンス g 、C-V 法によって求めたキャリア密度 N_s 、および TFT の L/W から、次式 (1) により求めた。

$$\mu = (L/W) \times \{g / (q N_s)\} \quad \cdots \quad (1)$$

なお、式 (1) において、 q は電気素量、TFT の $L/W = 12/20 \mu m$ であり、ゲート電圧ードレイン電流特性はドレイン電圧 $V_{ds} = 10 V$ として測定した。このようにして測定したゲート電圧ードレイン電流特性を図 11 に示す。

[0077] また、図 12 は、第 1～第 3 の実施形態について、微結晶シリコン膜のラマンピーク強度比、薬液耐性、および TFT の移動度をそれぞれ示す図である。

[0078] <3. 1 第 1 の実施形態>

<3. 1. 1 TFT の構成および製造方法>

図 13 (a) は、本発明の第 1 の実施形態に係る TFT 210 の構成を示す断面図である。また、図 13 (b) は、図 13 (a) に示す TFT 210 のチャネル層 30 となる微結晶シリコン膜を成膜する製造工程のみを示すフロー図である。なお、図 2 に示すステップ S30 以外のステップは、TFT 210 の製造工程でも同じであるため、その説明を省略する。

[0079] TFT 210 の構成のうち、図 1 に示す TFT 10 と同じ構成要素につい

ては同じ参照符号を付してその説明を省略し、チャネル層 30 の構成について詳しく説明する。図 13 (a) に示す TFT 210 のチャネル層 30 は、下地膜を含む膜厚が 50 nm である第 1 の微結晶シリコン膜 36 上に、膜厚が 20 nm である第 2 の微結晶シリコン膜 37 を積層した積層膜によって構成されている。

[0080] 微結晶シリコン膜の成膜工程は、図 13 (b) に示すように、プリコート処理 (ステップ S 31)、アルゴン・水素プラズマ処理 (ステップ S 32)、第 1 の微結晶シリコン膜 36 を成膜する工程 (ステップ S 33)、および、第 1 の微結晶シリコン膜 36 上に第 2 の微結晶シリコン膜 37 を成膜する工程 (ステップ S 34) を含む。この場合、図 12 からわかるように、第 1 の微結晶シリコン膜 36 上のラマンピーク強度比 I_c / I_a は 8.3 であり、第 2 の微結晶シリコン膜 37 上のラマンピーク強度比 I_c / I_a は 4.6 である。

[0081] <3. 1. 2 効果>

本実施形態によれば、TFT 210 の移動度は $1.1 \text{ cm}^2 / \text{V s e c}$ であった。この移動度は、第 1 の比較例に係る TFT 110 の移動度 $0.4 \text{ cm}^2 / \text{V s e c}$ と比較して非常に大きいことがわかる。これは、TFT 210 のチャネル層 30 のゲート電極 20 に近い側に、第 1 の微結晶シリコン膜 36 が形成されていることによるものと考えられる。

[0082] また、結晶化率が高い第 1 の微結晶シリコン膜 36 を覆うように、非晶質成分を多く含む第 2 の微結晶シリコン膜 37 が形成されている。これにより、第 2 および第 3 の比較例に係る TFT 120、130 と比べて、薬液耐性が 180 秒以上と大幅に向上し、膜剥がれが生じなかった。これは、チャネル層 30 をフッ酸水溶液に浸漬しても、フッ酸水溶液は第 1 の微結晶シリコン膜 36 内に侵入しにくくなったためである。

[0083] さらに、膜剥がれを生じさせることなく、第 2 の微結晶シリコン膜 37 の表面に形成された自然酸化膜を除去することができるので、第 2 の微結晶シリコン膜 37 と、エッチングストッパ層 40 およびオーミックコンタクト層

50a、50bとの密着性を良くすることができる。これにより、TF T 210の信頼性を高くすることができる。

[0084] <3. 1. 3 変形例>

図14は、第1の実施形態の変形例に係るTF T 220の構成を示す断面図である。図14に示すように、TF T 210の場合と異なり、TF T 220のチャンネル層30の表面には、エッチングストッパ層が形成されていない。

[0085] この場合、N⁺シリコン膜を成膜する前に、フッ酸水溶液にガラス基板15を浸漬して第2の微結晶シリコン膜37の表面に形成されている自然酸化膜を除去しても、N⁺シリコン膜は膜剥がれすることなく、移動度が大きなTF T 220を製造することができる。なお、TF T 220は、エッチングストッパ層が設けられていないことを除き、図13(a)に示すTF T 210と同じ構成であるので、TF T 210と同じ参照符号を付してその説明を省略する。

[0086] なお、第1の実施形態に係るTF T 210は、nチャンネル型TF Tとして説明した。しかし、オーミックコンタクト層50a、50bにp型不純物を高濃度にドーピングすることにより、pチャンネル型TF Tとしてもよい。また、エッチングストッパ層を設けないこと、または、pチャンネル型であることは、後述する第2および第3の実施形態に係るTF Tの場合にも同様に適用可能である。

[0087] <3. 2 第2の実施形態>

<3. 2. 1 TF Tの構成および製造方法>

本発明の第2の実施形態に係るTF T 230の構成は、図13(a)に示すTF T 210の構成と同じであるので、TF T 230の構成を図13(a)によって示し、その説明を省略する。

[0088] 図15は、図2に示す製造工程を示すフロー図のうち、TF T 230の製造工程に特有のステップのみを示すフロー図である。なお、図2に示すステップS30以外のステップは、TF T 230の製造工程でも同じであるため

、その説明を省略する。

[0089] 微結晶シリコン膜の成膜工程は、図15に示すように、アルゴン・水素プラズマ処理（ステップS32）、第1の微結晶シリコン膜36を成膜する工程（ステップS33）、および第1の微結晶シリコン膜36上に第2の微結晶シリコン膜37を成膜する工程（ステップS34）を含む。このように、本実施形態の微結晶シリコン膜の成膜工程には、第1の実施形態で含まれていたプリコート処理（ステップS31）が含まれていない。この場合、図12からわかるように、第1の微結晶シリコン膜36上のラマンピーク強度比 I_c/I_a は7.7であり、第2の微結晶シリコン膜上のラマンピーク強度比 I_c/I_a は3.9である。

[0090] <3.2.2 効果>

本実施形態によれば、結晶化率が高い第1の微結晶シリコン膜36の表面に非晶質シリコンを多く含む第2の微結晶シリコン膜37が形成されている。このため、第1の実施形態の場合と同様に、チャンネル層30のフッ酸水溶液に対する薬液耐性は180秒以上となり、膜剥がれは生じなかった。また、TF T 230の移動度は $0.8 \text{ cm}^2/\text{V s e c}$ であり、第1の比較例に係るTF T 110の移動度である $0.4 \text{ cm}^2/\text{V s e c}$ と比較して大きくなった。このように、TF T 230では、膜剥がれは生じず、また移動度は大きくなる。また、第1の実施形態の場合と同様に、第2の微結晶シリコン膜37の表面に形成された自然酸化膜を除去することができるので、TF T 230の信頼性を高くすることができる。

[0091] しかし、TF T 230の移動度は、第1の実施形態に係るTF T 210の移動度に比べて小さくなっている。このようにTF T 230の移動度が小さくなったのは、ガラス基板15をチャンバ内に搬入する前にチャンバの内壁をシリコン膜で覆うプリコート処理（ステップS31）を行わなかったために、第1または第2の微結晶シリコン膜36、37の成膜中に、チャンバの内壁に付着していた残留異物が第1または第2の微結晶シリコン膜36、37内に混入したことが原因と考えられる。そこで、プリコート処理を設ける

ことによって、チャンバの内壁に付着していた残留異物が微結晶シリコン膜 31 内に混入しにくくなり、残留異物による TFT10 の移動度の低下を抑制することができる。このことから、ステップ S30 に示す微結晶シリコン膜 31 の成膜工程に、プリコート処理を設けた方が好ましいことがわかる。

[0092] <3. 3 第3の実施形態>

<3. 3. 1 TFTの構成および製造方法>

本発明の第3の実施形態に係る TFT240 の構成も、図13(a) に示す TFT210 の構成と同じであるので、TFT240 の構成を図13(a) によって示し、その説明を省略する。

[0093] 図16は、図2に示す製造工程を示すフロー図のうち、TFT240 の製造工程に特有のステップのみを示すフロー図である。なお、図2に示すステップ S30 以外のステップは、TFT240 の製造工程でも同じであるため、その説明を省略する。

[0094] 微結晶シリコン膜の成膜工程は、図に示すように、プリコート処理（ステップ S31）、第1の微結晶シリコン膜 36 を成膜する工程（ステップ S33）、および第1の微結晶シリコン膜 36 上に第2の微結晶シリコン膜 37 を成膜する工程（ステップ S34）を含む。このように、本実施形態の成膜工程には、第1の実施形態で含まれていたアルゴン・水素プラズマ処理（ステップ S32）が含まれていない。この場合、図12からわかるように、第1の微結晶シリコン膜 36 上のラマンピーク強度比 I_c/I_a は 6.9 であり、第2の微結晶シリコン膜 37 上のラマンピーク強度比 I_c/I_a は 3.5 である。

[0095] <3. 3. 2 効果>

本実施形態によれば、結晶性が高い第1の微結晶シリコン膜 36 の表面に非晶質シリコンを多く含む第2の微結晶シリコン膜 37 が形成されている。このため、第1の実施形態に係る TFT210 と同様に、チャンネル層 30 のフッ酸水溶液に対する薬液耐性は 180 秒以上になり、膜剥がれは生じなかった。なお、TFT240 のチャンネル層は、図9(a) に示す TFT130

のチャネル層を構成する第1の微結晶シリコン膜36と第2の微結晶シリコン膜の積層の順序を逆にした構成であるが、薬液耐性が大きく異なっている。これは、膜剥がれのしやすさが、薬液への浸漬時間のみによって決まるのではなく、積層順序を変えることによって、下層の微結晶シリコン膜の表面状態が変化し、それに伴って上層の微結晶シリコン膜の膜剥がれのしやすさも変化するからである。

[0096] また、TF T 2 4 0の移動度は $0.7 \text{ cm}^2/\text{V s e c}$ であり、第1の比較例に係るTF T 1 1 0の移動度である $0.4 \text{ cm}^2/\text{V s e c}$ と比較して大きくなった。このように、TF T 2 4 0では、膜剥がれは生じず、また移動度は大きくなる。また、第1の実施形態の場合と同様に、第2の微結晶シリコン膜37の表面に形成された自然酸化膜を除去することができるので、TF T 2 4 0の信頼性を高くすることができる。

[0097] なお、TF T 2 4 0の移動度は、第1の実施形態に係るTF T 2 1 0の移動度に比べて小さくなっている。このようにTF T 2 4 0の移動度が小さくなったのは、ゲート絶縁膜25の表面を清浄にして薄い微結晶シリコン膜を成膜するアルゴン・水素プラズマ処理（ステップS32）を行なわなかったために、ゲート絶縁膜25の表面に薄い非晶質シリコン膜が形成されたことによるものと考えられる。そこで、アルゴン・水素プラズマ処理を設けることによって、ゲート絶縁膜25の表面にインキュベーション膜が成長しにくくなり、TF T 2 4 0の移動度の低下を抑制することができる。このことから、ステップS30に示す微結晶シリコン膜31の成膜工程に、アルゴン・水素プラズマ処理を設けた方が好ましいことがわかる。

[0098] 第1～第3の実施形態では、図2に示すステップS30において、プリコート処理またはアルゴン・水素プラズマ処理のうち、少なくともいずれかの処理を含んでいる。しかし、ステップS30はプリコート処理およびアルゴン・水素プラズマ処理のいずれも含んでいなくてもよい。この場合、第1の微結晶シリコン膜36の結晶化率が低くなるので、第1～第3の実施形態の場合に比べて、TF Tの移動度は低くなる。

[0099] <3. 4 第1および第2の微結晶シリコン膜の成膜条件と結晶性>

本実施形態のTFT210~240では、移動度を $0.7\text{ cm}^2/\text{V s e c}$ 以上にするとともに、フッ酸水溶液に対する薬液耐性を180秒以上にすることが好ましい。そこで、図12からわかるように、第1の微結晶シリコン膜36のラマンピーク強度比 I_c/I_a を7.0以上、好ましくは7.5以上にし、第2の微結晶シリコン膜37のラマンピーク強度比 I_c/I_a を4.5以下、好ましくは4.0以下にする。また、第1の微結晶シリコン膜36の成膜時の圧力（第1の圧力値）を20mTorr以上、好ましくは23mTorr以上にし、第2の微結晶シリコン膜37の成膜時の圧力（第2の圧力値）を5mTorr以下にする。

[0100] また、移動度および薬液耐性に大きく影響する微結晶シリコン膜内の結晶成分の割合は、微結晶シリコン膜を成膜するときのチャンバ内の圧力に依存して決まる。すなわち、チャンバ内の圧力が高ければ高いほど、微結晶シリコン膜の結晶化率が高くなる。このことから、第1の微結晶シリコン膜を成膜する際の圧力（第1の圧力値）が、少なくとも第2の微結晶シリコン膜を成膜する際の圧力（第2の圧力値）よりも高くなるような条件で、第1の微結晶シリコン膜を形成すればよいことがわかる。このような条件で成膜された第1の微結晶シリコン膜のラマンピーク強度比 I_c/I_a は、第2の微結晶シリコン膜のラマンピーク強度比 I_c/I_a よりも大きくなる。

[0101] 特に、TFT210~240の移動度を $0.7\text{ cm}^2/\text{V s e c}$ 以上にするとともに、フッ酸水溶液に対する薬液耐性を180秒以上にするためには、第1の圧力値を40mTorr以上とし、第2の圧力値を5mTorr以下にすればよいことがわかる。

[0102] <4. 第4の実施形態>

図17は、第1から第3の実施形態に係るTFT210~240のいずれかを含む液晶表示装置1の構成を示すブロック図である。図17に示す液晶表示装置1は、液晶パネル2と、表示制御回路3と、ゲートドライバ4と、ソースドライバ5とを含む。液晶パネル2には、水平方向に延びるn本（n

は1以上の整数)のゲート配線 $G_1 \sim G_n$ と、ゲート配線 $G_1 \sim G_n$ と交差する方向に延びる m 本(m は1以上の整数)のソース配線 $S_1 \sim S_m$ が形成されている。 i 番目のゲート配線 G_i (i は1以上 n 以下の整数)と j 番目のソース配線 S_j (j は1以上 m 以下の整数)との交点近傍には、それぞれ画素形成部 P_{ij} が配置されている。

[0103] 表示制御回路3には、液晶表示装置1の外部から水平同期信号や垂直同期信号等の制御信号 SC と画像信号 DT が供給される。表示制御回路3は、これらの信号に基づき、ゲートドライバ4に対して制御信号 SC_1 を出力し、ソースドライバ5に対して制御信号 SC_2 と画像信号 DT を出力する。

[0104] ゲートドライバ4はゲート配線 $G_1 \sim G_n$ に接続され、ソースドライバ5はソース配線 $S_1 \sim S_m$ に接続されている。ゲートドライバ4は、選択状態を示すハイレベルの信号をゲート配線 $G_1 \sim G_n$ に順に与える。これにより、ゲート配線 $G_1 \sim G_n$ が1本ずつ順に選択される。例えば、 i 番目のゲート配線 G_i が選択されたとき、1行分の画素形成部 $P_{i1} \sim P_{im}$ が一括して選択される。ソースドライバ5は、各ソース配線 $S_1 \sim S_m$ に対して画像信号 DT に応じた信号電圧を与える。これにより、選択された1行分の画素形成部 $P_{i1} \sim P_{im}$ に画像信号 DT に応じた信号電圧が書き込まれる。このようにして、液晶表示装置1は液晶パネル2に画像を表示する。なお、液晶パネル2を「表示部」といい、ゲートドライバ4およびソースドライバ5をまとめて「駆動回路」ということがある。

[0105] 図18は、液晶パネル2に設けられた画素形成部 P_{ij} 内のパターン配置を示す平面図である。図18に示すように、液晶パネル2は、水平方向に延びる i 番目のゲート配線 G_i と、ゲート配線 G_i と交差する方向に延びる j 番目のソース配線 S_j と、ゲート配線 G_i とソース配線 S_j に囲まれた領域に配置された画素形成部 P_{ij} とを含む。画素形成部 P_{ij} は、スイッチング素子として機能するTFTとして、図13(a)に示すTFT210を含む。TFT210のゲート電極20はゲート配線 G_i と電氣的に接続されている。ゲート電極20の上方には、ゲート電極20を跨いで左右に延びる島

状のチャネル層 30 が形成されている。チャネル層 30 の左端は、ソース配線 S_j に接続されたソース電極と電氣的に接続され、チャネル層 30 の右端は、ドレイン電極と電氣的に接続されている。さらに、ドレイン電極は、コンタクトホール 6 を介して画素電極 7 と接続されている。画素電極 7 は、対向電極（図示しない）とともに、画像信号 D_T に応じた信号電圧を所定時間保持する画素容量を構成する。

[0106] 図 19 は、液晶表示装置 1 の画素形成部 P_{ij} のスイッチング素子として機能する TFT 210 の断面図である。図 19 は、図 13 (a) に示す TFT 210 のドレイン電極 60b に画素電極 7 が接続されていることを示す断面図であり、TFT 210 と同一の構成要素には同一の参照符号を付して、その説明を省略する。図 19 に示すように、パッシベーション膜 70 の表面に平坦化膜 8 が形成され、平坦化膜 8 には、ドレイン電極 60b に達するコンタクトホール 6 が開口されている。平坦化膜 8 の表面に、ITO (Indium Tin Oxide : 酸化インジウム錫) 等の透明金属からなる画素電極 7 が形成され、画素電極 7 はコンタクトホール 6 を介してドレイン電極 60b と電氣的に接続されている。また、ゲート電極 20 はゲート配線 $G_1 \sim G_n$ のいずれかに接続され、ソース電極 60a はソース配線 $S_1 \sim S_m$ のいずれかに接続されている。

[0107] このように、本実施形態に係る TFT 210 を、液晶パネル 2 に設けられた各画素形成部 P_{ij} のスイッチング素子として用いれば、その移動度が大きくなる。この場合、TFT 210 は、ソース配線 S_j から与えられる画像信号の信号電圧を、短時間で画素容量に充電できるので、画素形成部 P_{ij} の数を増やして高精細化を図ることが可能になる。また、TFT 210 のチャネル層 30 の薬液耐性が向上するので、画素形成部 P_{ij} を含む液晶パネル 2 の形成が容易になる。

[0108] また、本実施形態に係る TFT 210 を用いて、液晶パネル 2 の額縁にゲートドライバ 4 およびソースドライバ 5 を構成することもできる。この場合、TFT 210 のオン電流が大きいので、ゲートドライバ 4 およびソースド

ライバ5の動作速度が速くなり、ハイレームレート化を実現することができる。また、ゲートドライバ4およびソースドライバ5の回路規模を小さくすることができるので、液晶パネル2の額縁を小さくできるとともに、液晶表示装置1の低消費電力化を図ることができる。また、TFT210のチャネル層30の薬液耐性が向上するので、TFT210の信頼性が向上し、ひいてはゲートドライバ4およびソースドライバ5の信頼性が向上する。

[0109] なお、図18および図19では、各画素形成部Pijのスイッチング素子としてTFT210を用いた場合について説明したが、TFT210の代わりに、TFT220～240のいずれかを用いてもよい。

[0110] また、上記説明では、TFT210を液晶表示装置1に適用する場合について説明したが、有機EL (Electro Luminescence) 表示装置に適用することもできる。

産業上の利用可能性

[0111] 本発明は、アクティブマトリクス型液晶表示装置等のような表示装置に用いられる薄膜トランジスタに適しており、特に、その画素形成部に形成されるスイッチング素子、または、画素形成部を駆動する駆動回路のトランジスタに適している。

符号の説明

- [0112] 1…液晶表示装置
2…液晶パネル
4…ゲートドライバ
5…ソースドライバ
10、210、220、230、240…薄膜トランジスタ (TFT)
15…ガラス基板
20…ゲート電極
25…ゲート絶縁膜
30…チャネル層

3 1 …微結晶シリコン膜

3 6 …第 1 の微結晶シリコン膜

3 7 …第 2 の微結晶シリコン膜

4 0 …エッチングストッパ層

4 1 …窒化シリコン膜

6 0 a …ソース電極

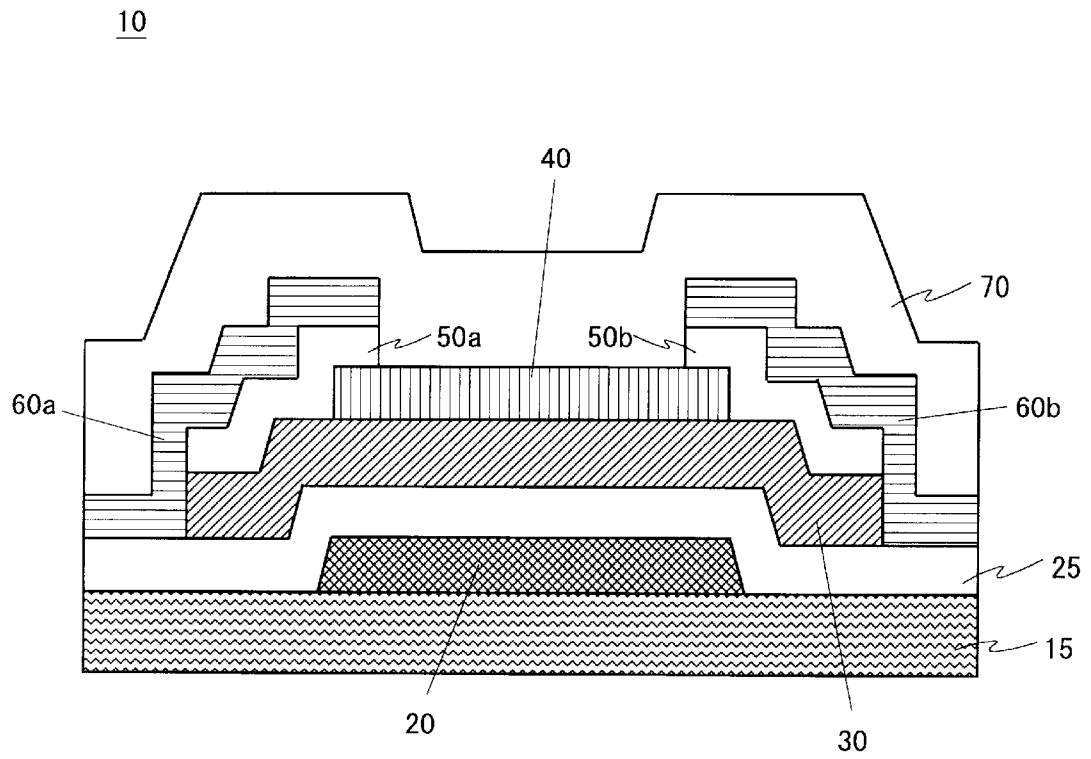
6 0 b …ドレイン電極

請求の範囲

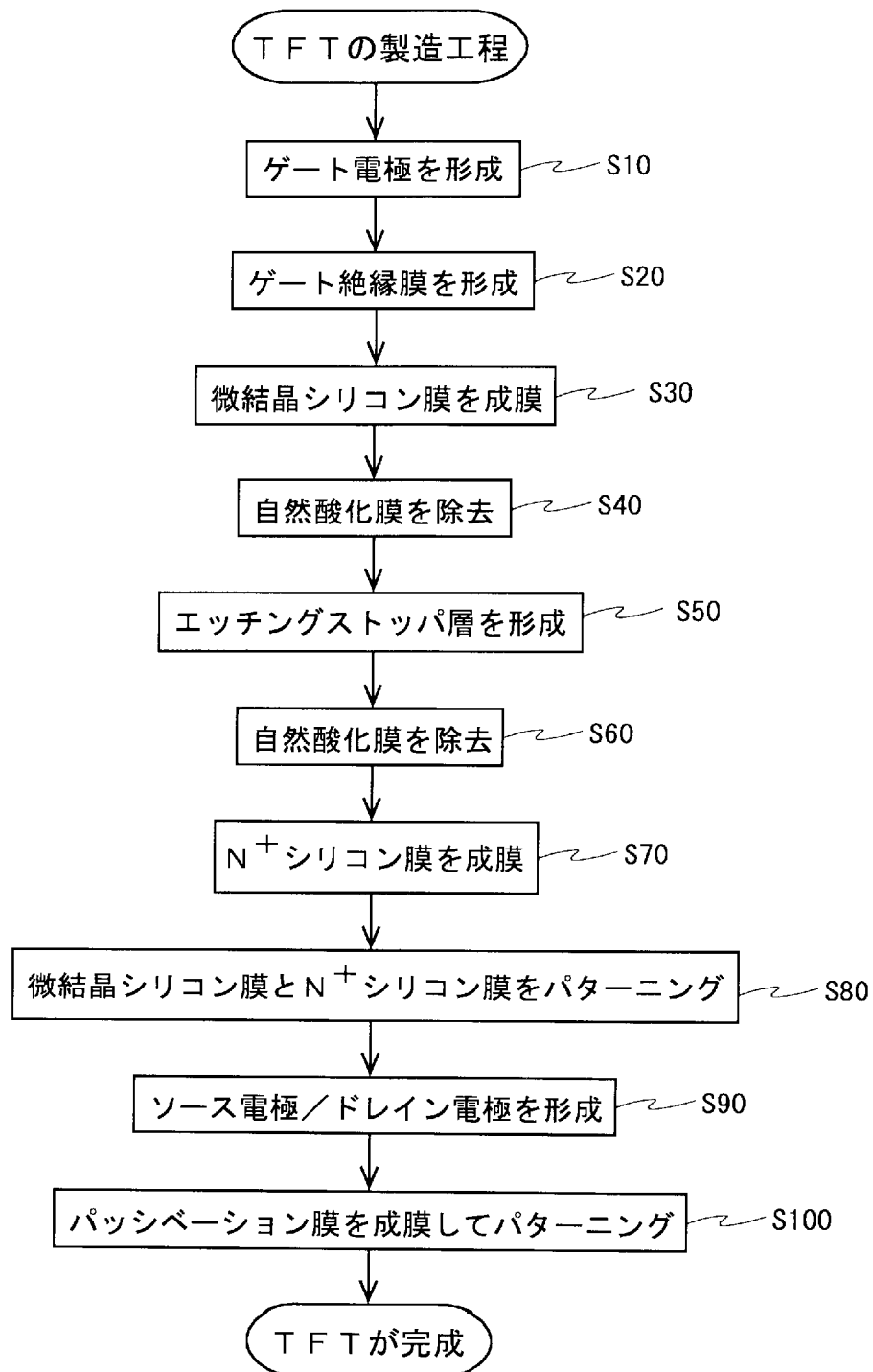
- [請求項1] 絶縁基板上に形成された薄膜トランジスタであって、
前記絶縁基板上に形成されたゲート電極と、
前記ゲート電極を覆うように形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたチャネル層とを備え、
前記チャネル層は、
前記ゲート絶縁膜の表面に形成され、ラマンピーク強度比が7.0以上である第1の微結晶半導体膜と、
前記第1の微結晶半導体膜の表面に形成され、ラマンピーク強度比が4.5以下である第2の微結晶半導体膜とを含むことを特徴とする、薄膜トランジスタ。
- [請求項2] 前記ゲート絶縁膜の表面上に、前記第1の微結晶半導体膜の下地膜になる第3の微結晶半導体膜が形成されていることを特徴とする、請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記チャネル層の表面上に形成されたエッチングストップ層をさらに備えていることを特徴とする、請求項1に記載の薄膜トランジスタ。
- [請求項4] 絶縁基板上に形成された薄膜トランジスタの製造方法であって、
前記絶縁基板上にゲート電極を形成する工程と、
前記ゲート電極を覆うようにゲート絶縁膜を成膜する工程と、
前記ゲート絶縁膜上に高密度プラズマCVD装置内でチャネル層を形成する工程とを備え、
前記チャネル層を形成する工程は、
前記高密度プラズマCVD装置内の圧力を第1の圧力値にして、第1の微結晶半導体膜を成膜する工程と、
前記高密度プラズマCVD装置内の圧力を前記第1の圧力値よりも低い第2の圧力値にして、第2の微結晶半導体膜を成膜する工程とを含むことを特徴とする、薄膜トランジスタの製造方法。

- [請求項5] 前記チャネル層を形成する工程は、前記絶縁基板を前記高密度プラズマCVD装置内に搬入する前に、前記高密度プラズマCVD装置の内壁を半導体膜で覆う処理をさらに含むことを特徴とする、請求項4に記載の薄膜トランジスタの製造方法。
- [請求項6] 前記チャネル層を形成する工程は、前記高密度プラズマCVD装置の内壁を半導体膜で覆う工程の後であって、前記第1の微結晶半導体膜を成膜する工程の前に、アルゴンガスおよび水素ガスのプラズマによって前記ゲート絶縁膜の表面を清浄にし、前記第1の微結晶シリコン膜の下地膜になる第3の微結晶半導体膜を前記ゲート絶縁膜の表面に成膜する処理をさらに含むことを特徴とする、請求項4または5に記載の薄膜トランジスタの製造方法。
- [請求項7] 前記第3の微結晶半導体膜の膜厚は、3～7 nmであることを特徴とする、請求項6に記載の薄膜トランジスタの製造方法。
- [請求項8] 前記第1の圧力値は20 mTorr以上であり、前記第2の圧力値は5 mTorr以下であることを特徴とする、請求項4に記載の薄膜トランジスタの製造方法。
- [請求項9] 画像を表示するアクティブマトリクス型の表示装置であって、
複数のゲート配線と、前記複数のゲート配線と交差する複数のソース配線と、前記複数のゲート配線と前記複数のソース配線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備える表示部と、
前記複数の画素形成部を駆動する駆動回路とを備え、
前記画素形成部は、対応するゲート配線に印加される信号に応じてオンまたはオフするスイッチング素子を含み、
前記スイッチング素子は、請求項1に記載の薄膜トランジスタを含むことを特徴とする、表示装置。
- [請求項10] 前記駆動回路は、請求項1に記載の薄膜トランジスタによって構成されていることを特徴とする、請求項9に記載の表示装置。

[図1]

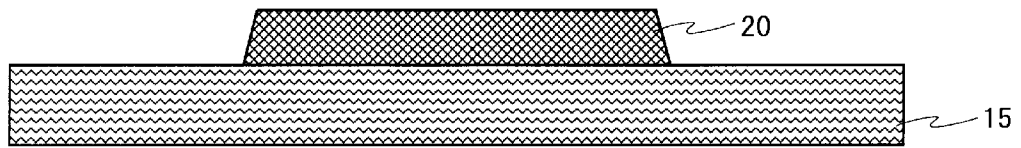


[図2]

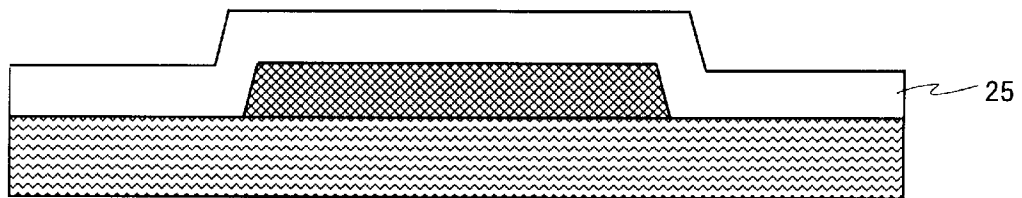


[図3]

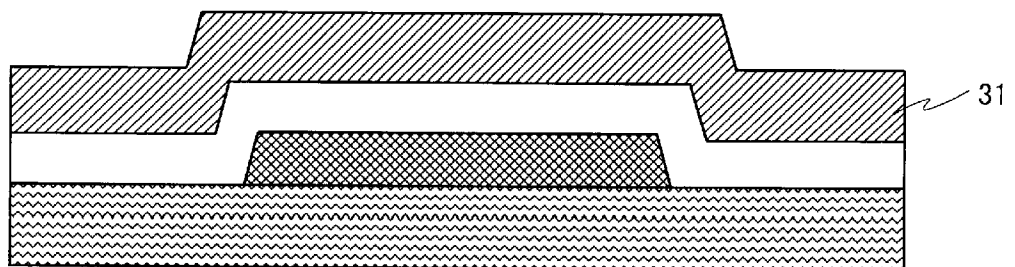
(a)



(b)

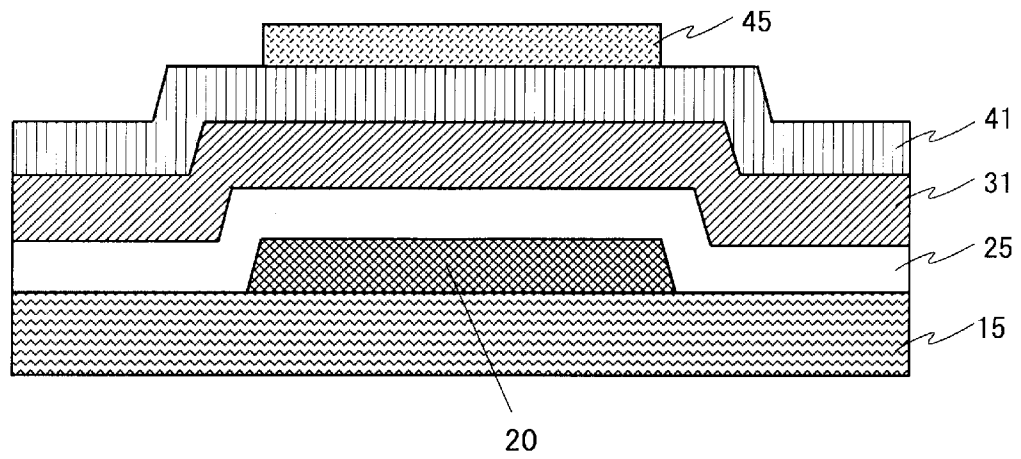


(c)

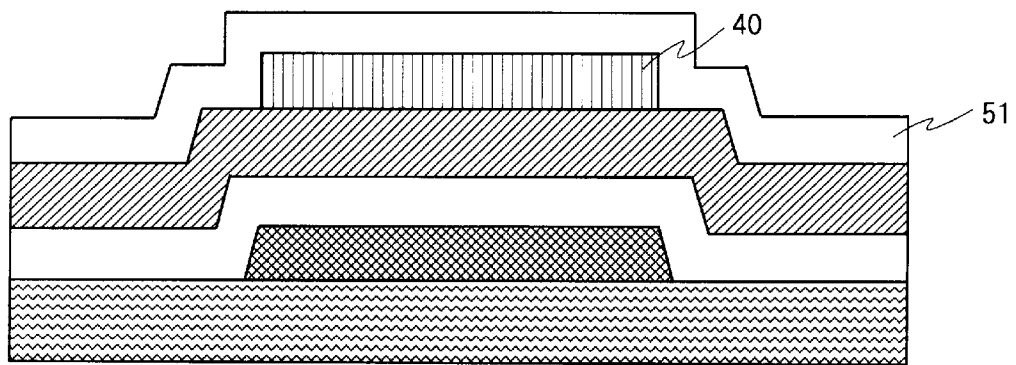


[図4]

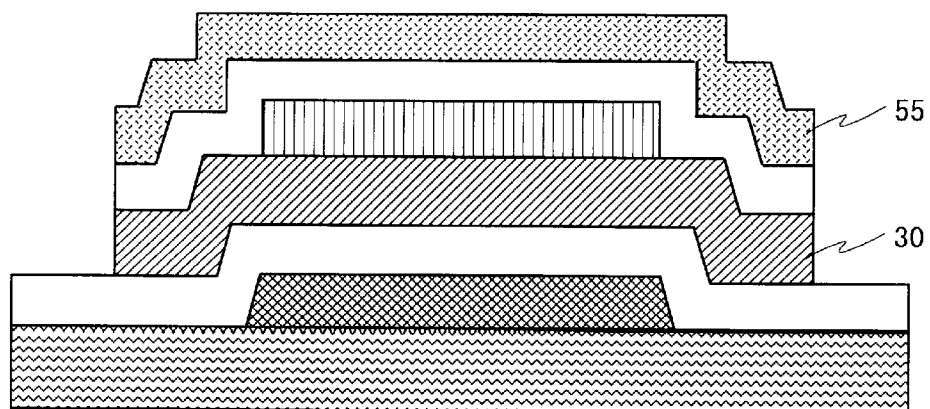
(a)



(b)

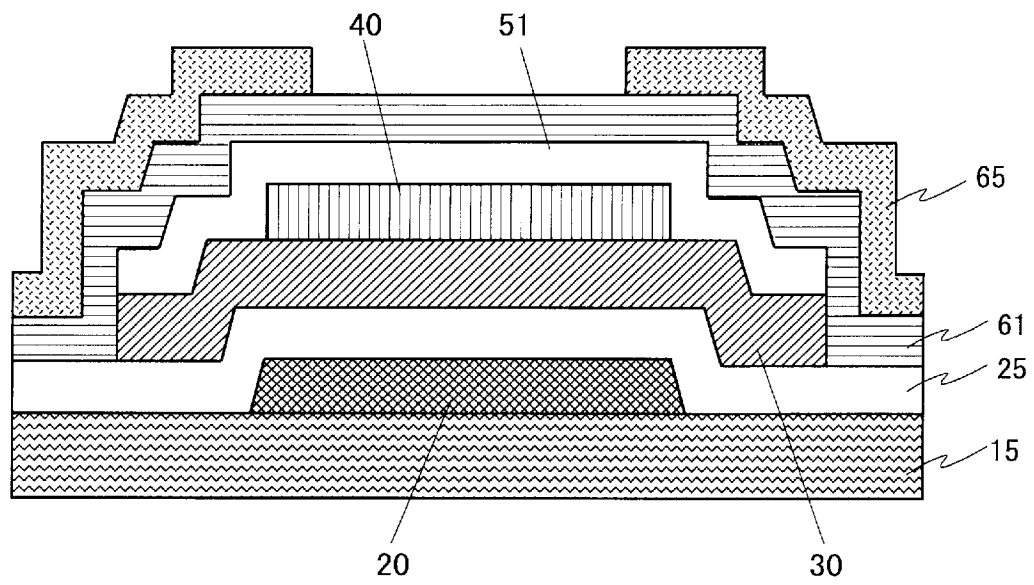


(c)

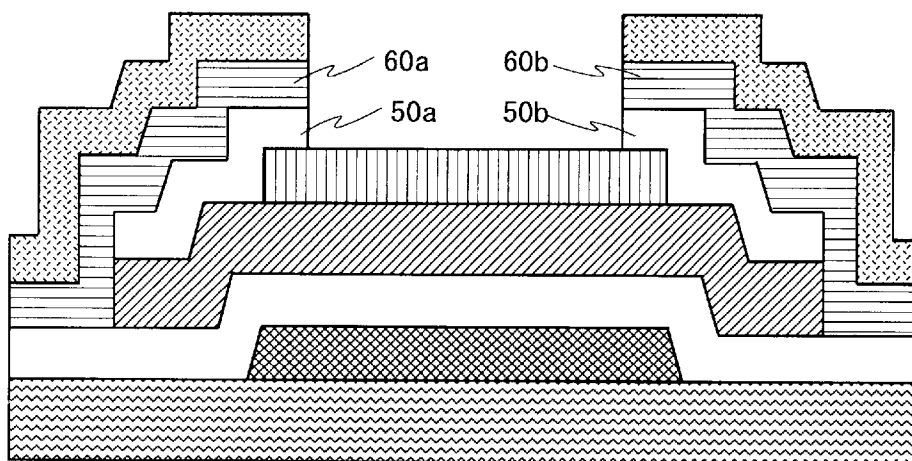


[図5]

(a)



(b)



[図6]

	第1の比較例	第2の比較例	第3の比較例
微結晶シリコン膜の 結晶性 (*1)	第2の微結晶シリコン膜上 2.2	第1の微結晶シリコン膜上 11.7	第1の微結晶シリコン膜上 6.8 ----- 第2の微結晶シリコン膜上 2.4
薬液耐性 (*2)	180秒以上	30秒以下	30秒以下
TFT移動度 (cm ² /Vsec)	0.4	----- (*3)	----- (*3)

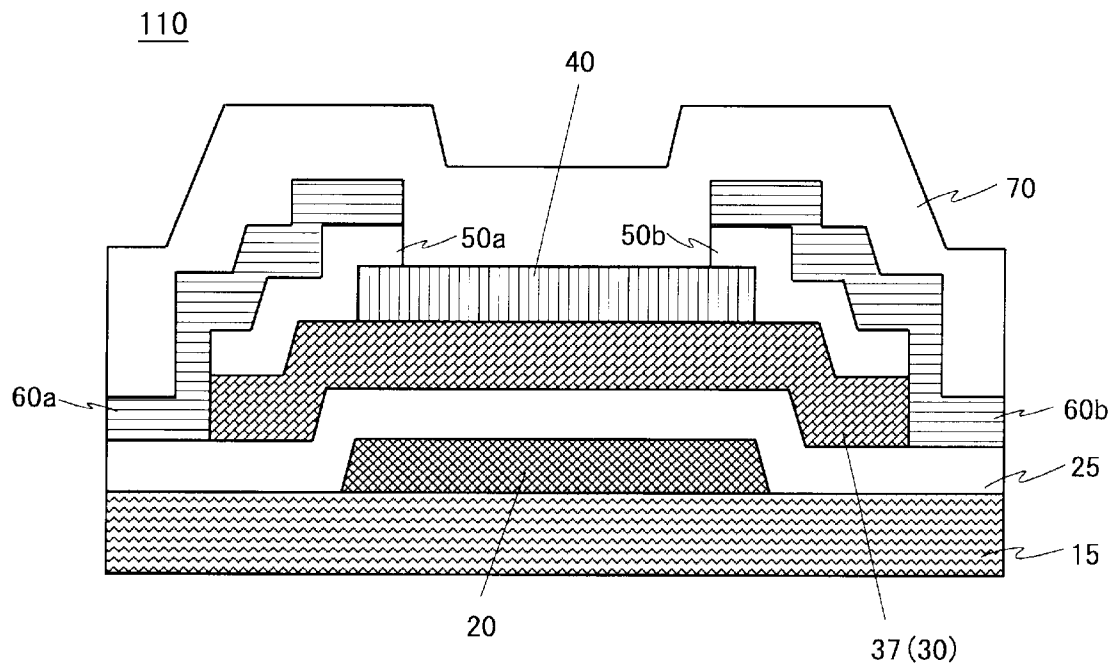
*1: ラマンスペクトル強度比 I_c/I_a によって評価

*2: 5%フッ酸溶液に浸漬したときに膜剥がれが生じるまでの時間

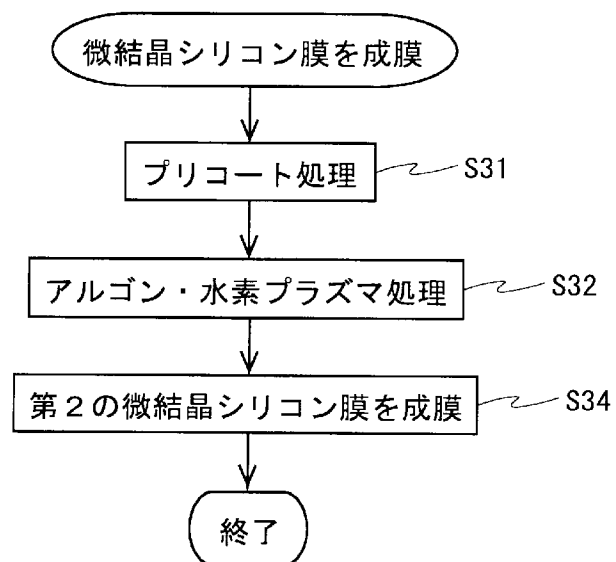
*3: 膜剥がれのために測定できなかった

[図7]

(a)

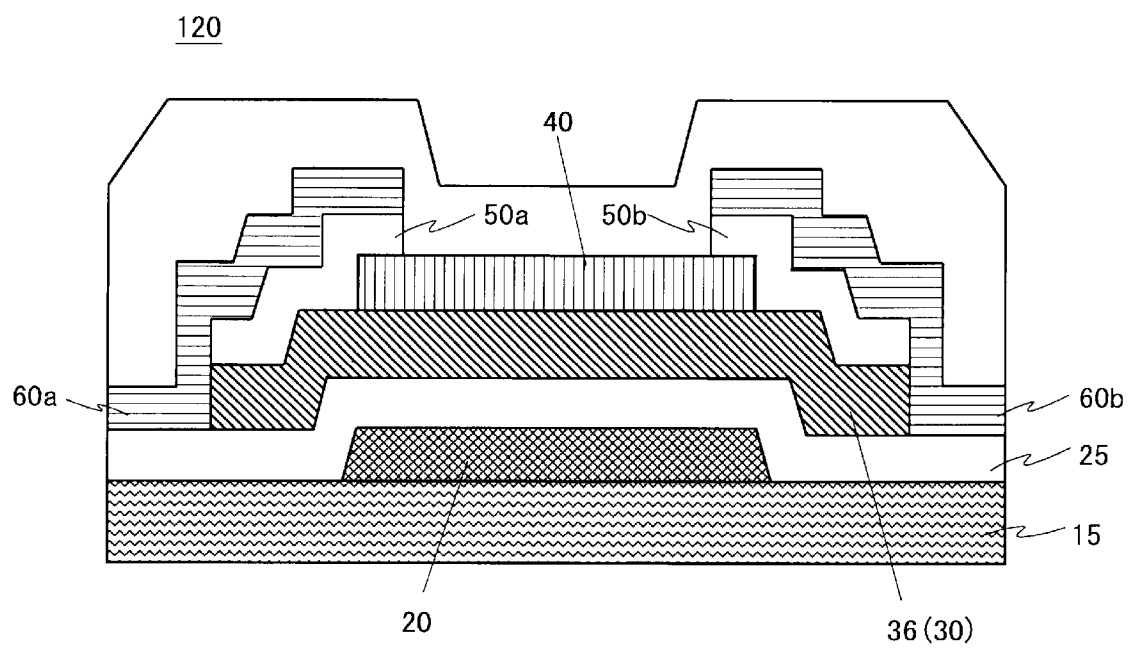


(b)

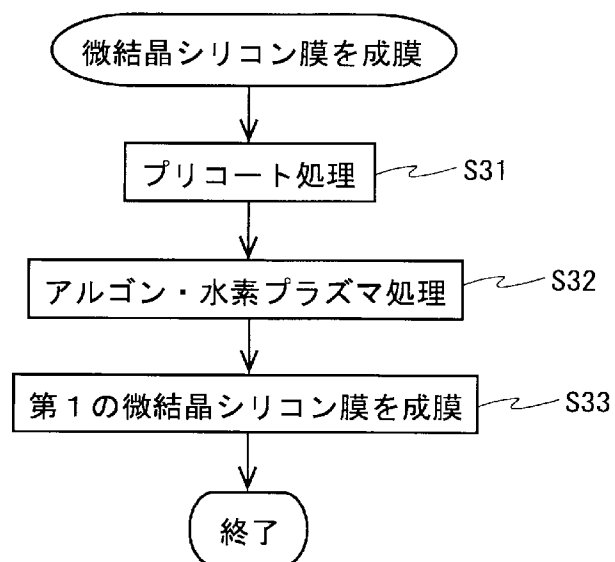


[図8]

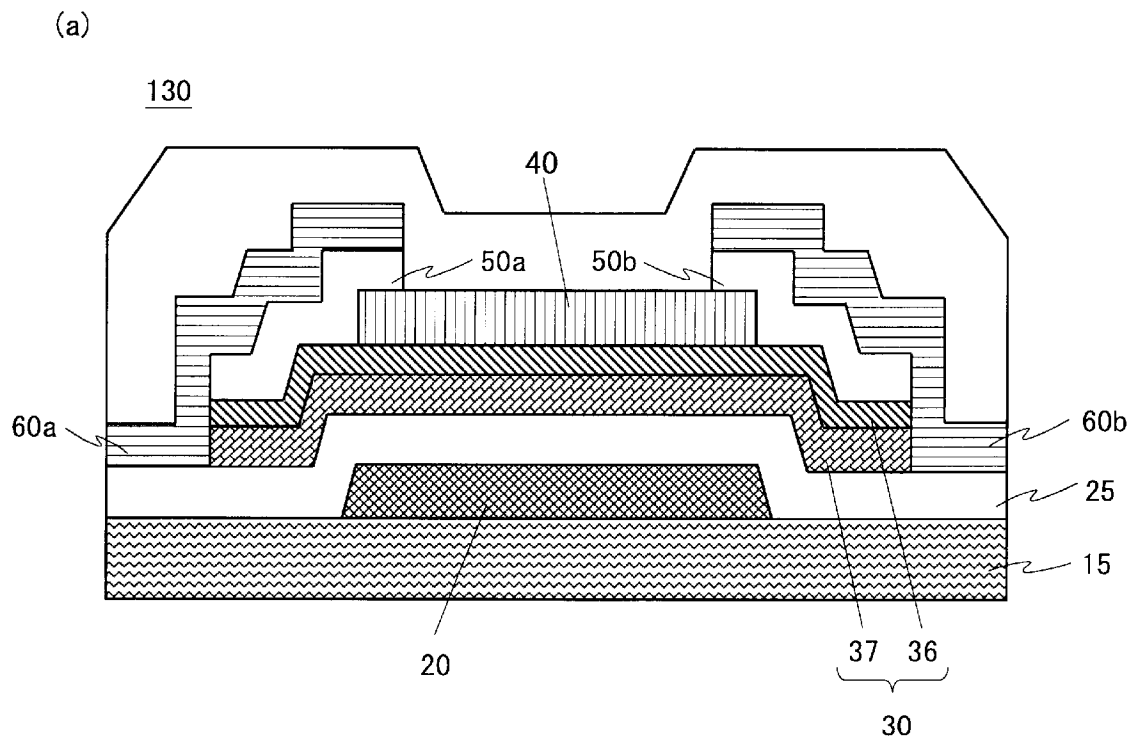
(a)



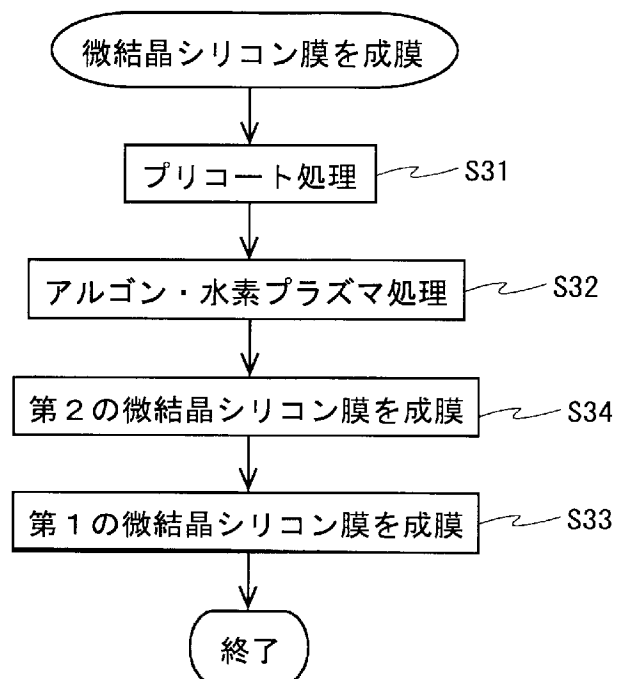
(b)



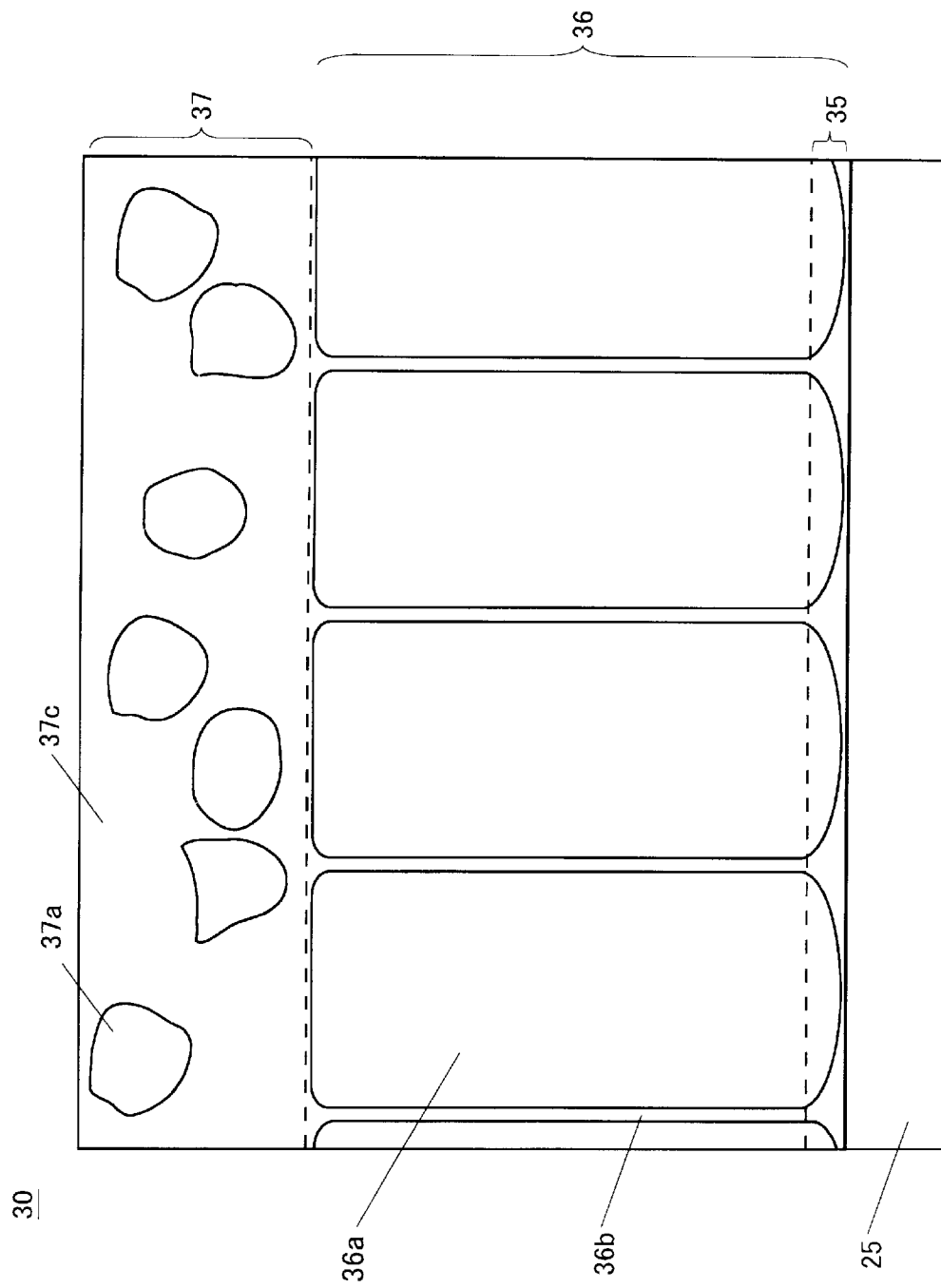
[図9]



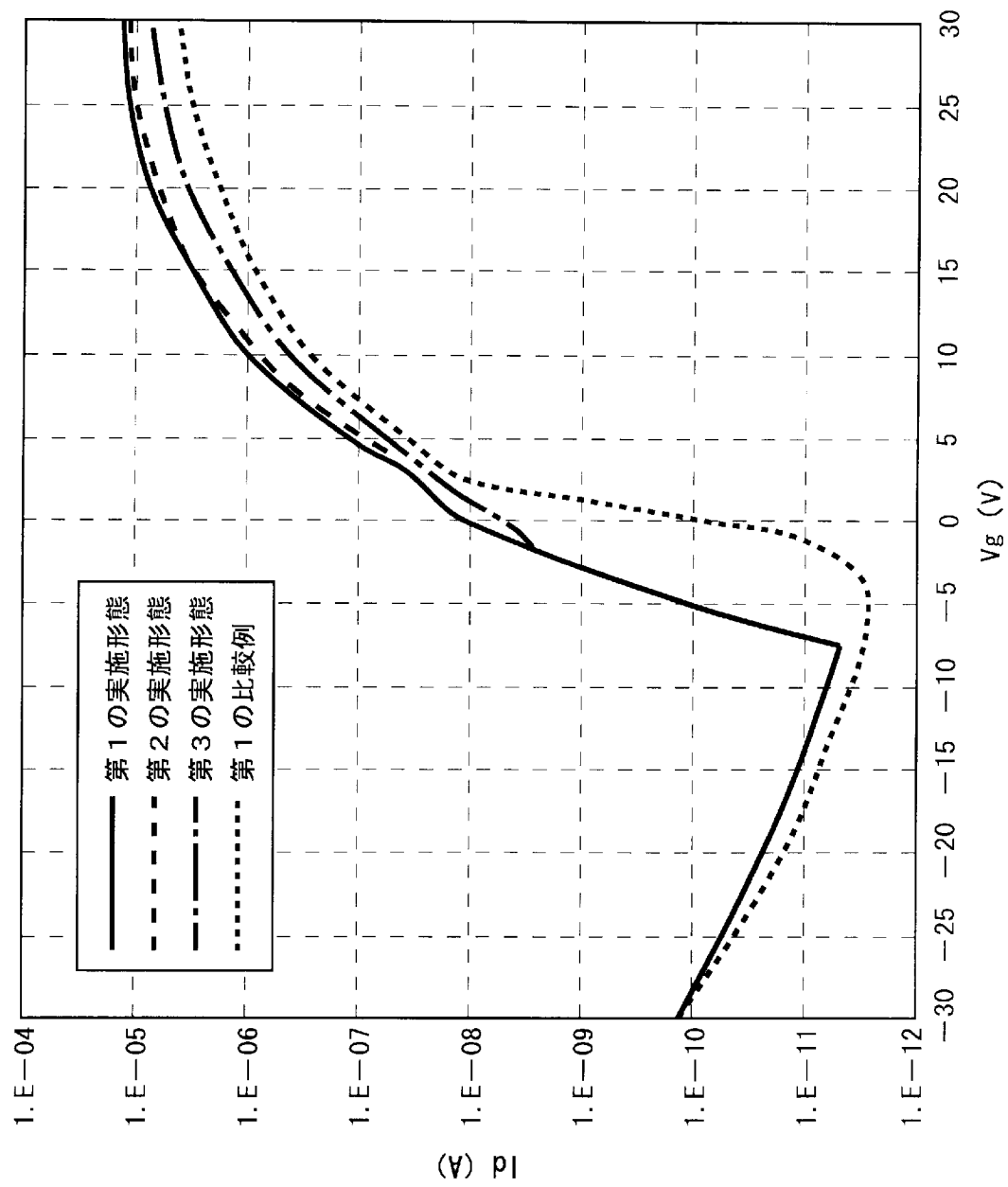
(b)



[図10]



[図11]



[図12]

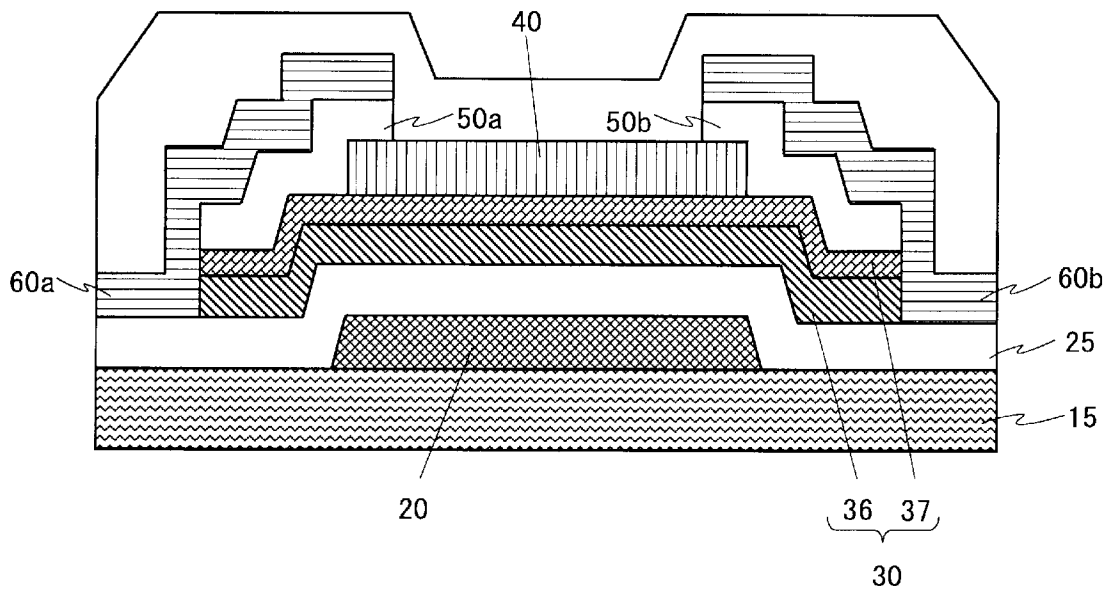
	第1の実施形態	第2の実施形態	第3の実施形態
微結晶シリコン膜の 結晶性 (*1)	第2の微結晶シリコン膜上 4.6	第2の微結晶シリコン膜上 3.9	第2の微結晶シリコン膜上 3.5
	第1の微結晶シリコン膜上 8.3	第1の微結晶シリコン膜上 7.7	第1の微結晶シリコン膜上 6.9
薬液耐性 (*2)	180秒以上	180秒以上	180秒以上
TFT移動度 (cm ² /Vsec)	1.1	0.8	0.7

*1：ラマンスペクトル強度比I_c/I_aによって評価

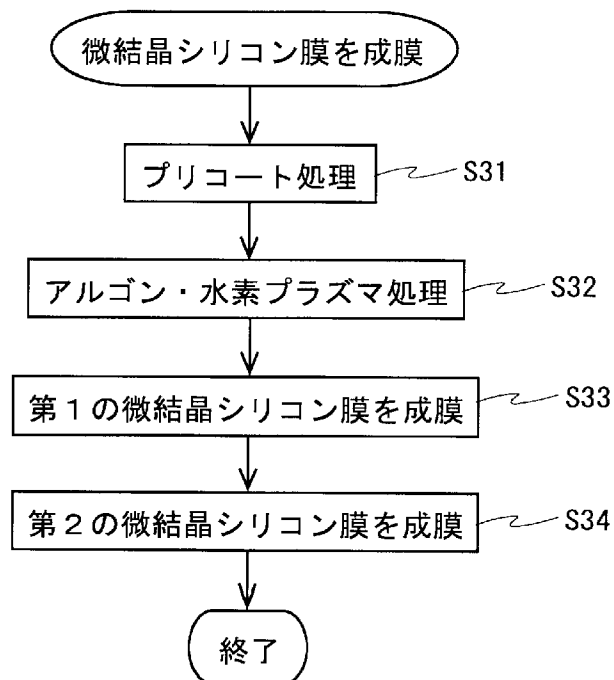
*2：5%フッ酸溶液に浸漬したときに膜剥がれが生じるまでの時間

[図13]

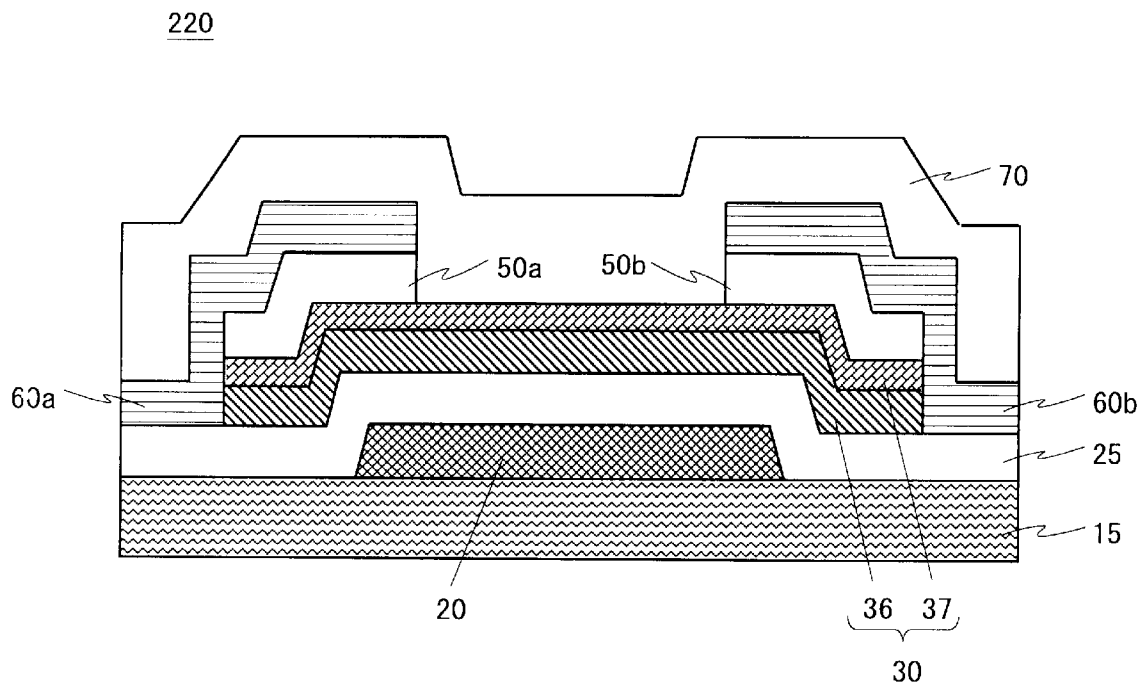
(a)

210 (230, 240)

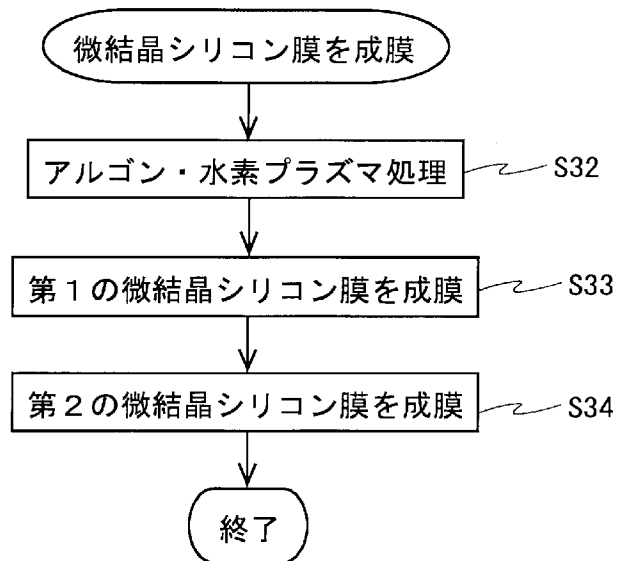
(b)



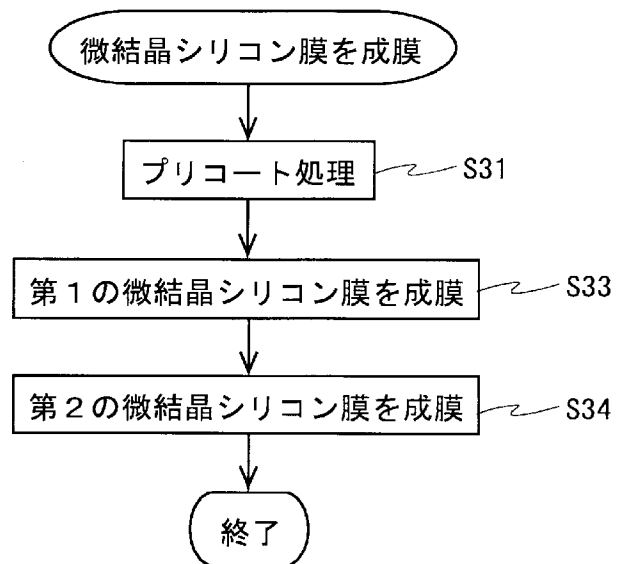
[図14]



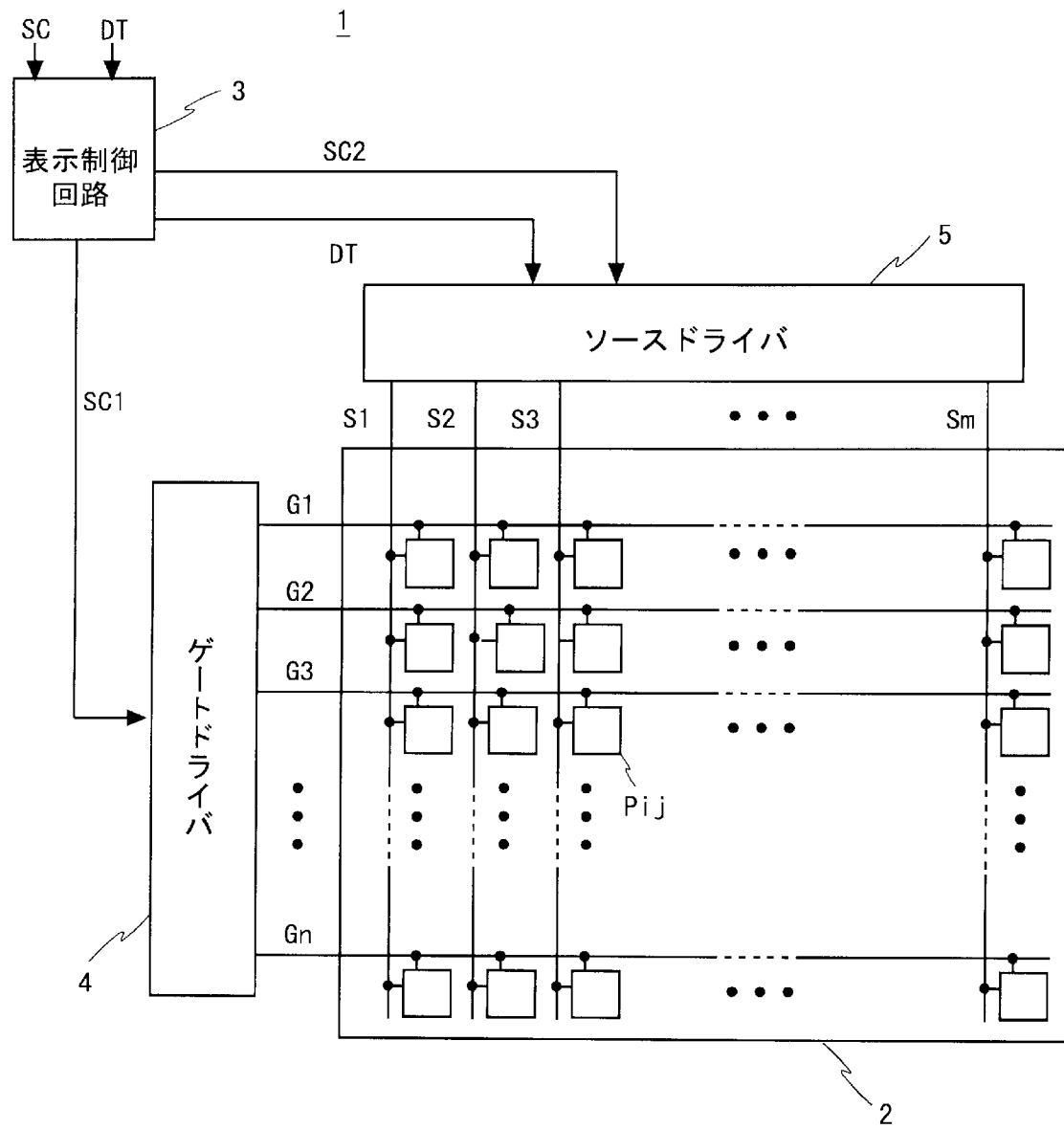
[図15]



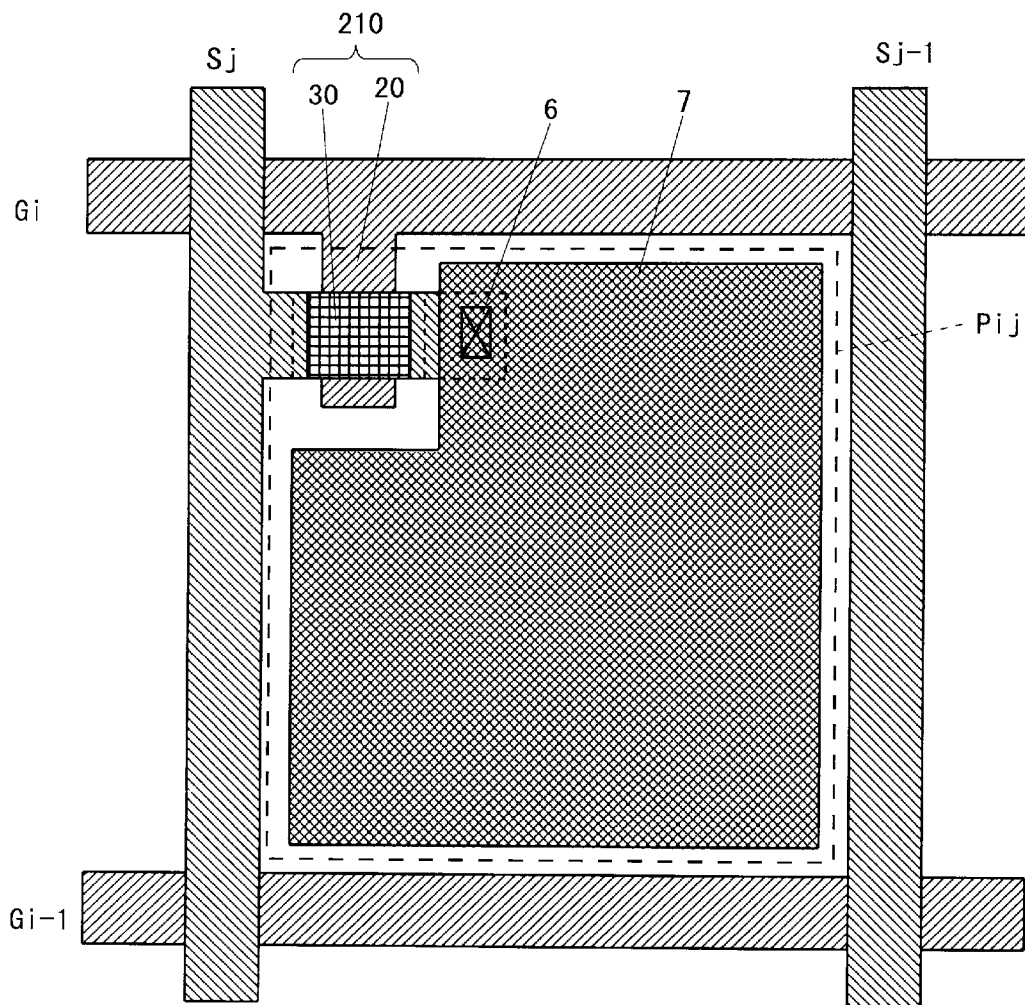
[図16]



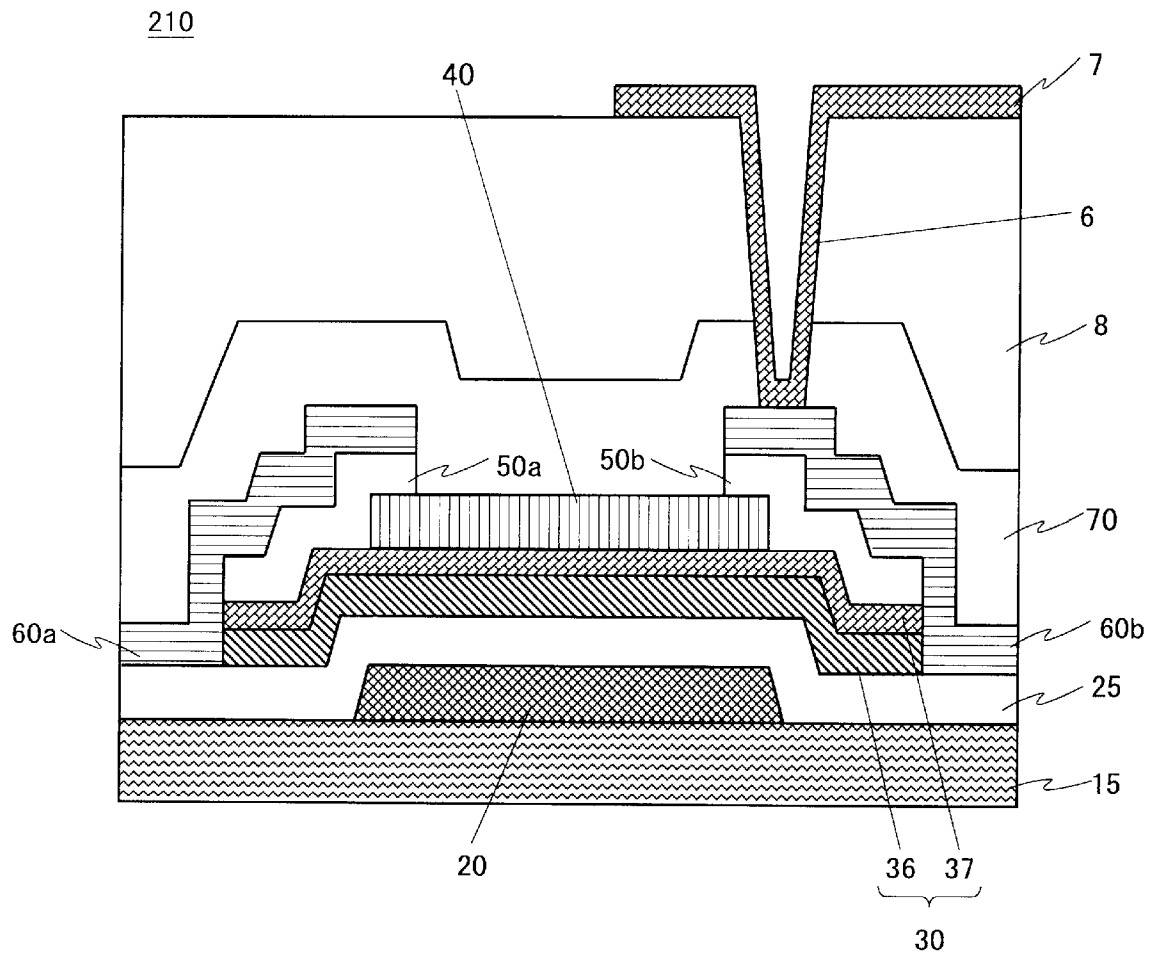
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054603

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/205(2006.01)i, H01L21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/205, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-135277 A (Tokyo Electron Ltd.), 18 June 2009 (18.06.2009), paragraphs [0006], [0013], [0050] to [0134] & US 2009/0140257 A1 & CN 101447419 A & KR 10-2009-0056906 A	1, 2, 4, 8-10 3, 5-7
X Y	WO 2009/102520 A1 (Applied Materials Inc.), 20 August 2009 (20.08.2009), paragraphs [0006] to [0074] & JP 2011-512032 A & US 2009/0200551 A1 & CN 101960563 A	1, 2, 4, 8-10 3, 5-7
Y	JP 2009-231641 A (Toshiba Corp.), 08 October 2009 (08.10.2009), paragraph [0003] (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 April, 2012 (12.04.12)

Date of mailing of the international search report
24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054603

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-127981 A (Semiconductor Energy Laboratory Co., Ltd.), 11 June 2009 (11.06.2009), paragraphs [0076] to [0127] (Family: none)	5-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786 (2006.01) i, H01L21/205 (2006.01) i, H01L21/336 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, H01L21/205, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-135277 A (東京エレクトロン株式会社) 2009.06.18, 段落 0006, 0013, 0050-0134 & US 2009/0140257 A1 & CN 101447419 A & KR 10-2009-0056906 A	1, 2, 4, 8-10 3, 5-7
X Y	WO 2009/102520 A1 (アプライド マテリアルズ インコーポレイテ ッド) 2009.08.20, 段落 0006-0074 & JP 2011-512032 A & US 2009/0200551 A1 & CN 101960563 A	1, 2, 4, 8-10 3, 5-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿 引 隆

5 F

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-231641 A (株式会社東芝) 2009. 10. 08, 段落 0003 (ファミリーなし)	3
Y	JP 2009-127981 A (株式会社半導体エネルギー研究所) 2009. 06. 11, 段落 0076-0127 (ファミリーなし)	5-7