

公告本

申請日期	85.9.20
案 號	85111498
類 別	G06F 16, 17, 18

A4
C4

318220

318220

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具讀取緩衝器之電腦架構
	英 文	
二、發明 創作人	姓 名	1.黃懷忠 2.江嘉興
	國 籍	中華民國
三、申請人	住、居所	1.台北縣永和市仁愛路202巷4號4樓 2.台南市青年路374號
	姓 名 (名稱)	矽統科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新一路16號
	代 表 人 姓 名	杜 俊 元

裝

訂

線

五、發明說明(1)

本發明係有關一種具讀取緩衝器(Read Buffer)之電腦架構，利用讀取緩衝器充當暫時性讀取資料之記憶體，配合預取(Prefetch)處理，管線(Pipelined)處理或同時(Concurrent)處理等功能，以縮短下一個讀取週期(Read Cycle)所花費之時間，解決中央處理單元(Central Processing Unit, CPU)耗時等待讀取週期的問題，以提升電腦整體執行速度。

參閱圖一，習用電腦架構。其中包含有一CPU1、一主匯流排2、一PCI匯流排控制器4、一SRAM/DRAM控制器5、一PCI匯流排6、一SRAM7、一DRAM8、一個或多個週邊裝置9。CPU1藉主匯流排2(Host Bus)與PCI匯流排控制器4、SRAM/DRAM控制器5作資料傳輸，而PCI匯流排控制器4藉PCI匯流排6控制週邊裝置9，SRAM/DRAM控制器5控制SRAM7、DRAM8資料的讀寫。現今CPU1的運算速度不斷提升，但記憶體SRAM7、DRAM8、週邊裝置9(Peripheral Device)的資料讀取週期與寫入週期(Write Cycle)通常較耗費時間，尤其是讀取週期。CPU在該讀取週期未執行完畢之前，無法執行下一個讀取週期，因為無儲存空間可存放讀取之資料，因此，CPU花費相當多的時間在等待讀取週期的執行，以致於降低了CPU對電腦系統的整體表現。

參閱圖二，習用讀取週期時序圖。其中包含有一CPU時鐘之信號(cpuclk)、一突發讀取週期之信號(ha)、一位址閃控之信號(ads)、一突發讀取準備之信號(brdy)、一

五、發明說明(2)

列位址閃控之信號(ras)、一行位址閃控之信號(cas)。採用奔騰(Pentium)CPU之電腦系統，其突發(Burst)模式讀取週期需費時13個CPU時鐘單位，而前一個指令未執行完畢前，下一個讀取週期便無法先進行，因系統無額外空間可存放該讀取之資料。圖二中所有信號皆包含第一讀取週期21與第二讀取週期22二個讀取週期，分別讀取一個被32位元組(bytes)定址之記憶體所存放之資料。

參閱圖三，習用管路處理之讀取週期時序圖。其中包含有一CPU時鐘之信號(cpuclk)、一突發讀取週期之信號(cycle)、一位址閃控之信號(ads)、一突發讀取準備之信號(brdy)、一突發讀取觸發之信號(na)、一PCI時鐘之信號(pciclk)、一終始過程之信號(frame)、一啓始器準備之信號(irdy)、一目標器準備之信號(trdy)、一裝置選擇器之信號(devsel)、一列位址閃控之信號(ras)、一行位址閃控之信號(cas)。圖三中包含一讀取週期31，需要26個CPU時鐘單位。

參閱圖四，習用同時處理之讀取週期時序圖。其中包含有一PCI時鐘之信號cpuclk、一位址閃控之信號ads、一突發讀取準備之信號brdy、一位址前進之信號adv、一快取致能之信號koe、一ram寫入之信號wffpush、一列位址閃控之信號ras、一行位址閃控之信號cas、一記憶體寫入之信號ramwe。圖四中包含一讀取週期41，需要30個CPU時鐘單位。

無論指令執行方式是預取處理，管線處理或同時處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

，該讀取週期皆無法再縮短，而讀取週期是最耗費時間的指令，雖然CPU本身的運算速度很快，但卻須等讀取週期執行完畢，才能執行下一指令，因此CPU花相當多時間在等待狀態，以致於降低了電腦整體執行速度。

本發明之主要目的在提供一讀取緩衝器以建立一電腦架構，對於預取處理，管線處理或同時處理等指令執行方式，該讀取緩衝器充當暫時性讀取資料之記憶體，以節省下一個讀取週期所耗費的時間，加速電腦整體執行速度。

圖式之簡單說明：

圖一為習用電腦架構。

圖二為習用讀取週期時序圖。

圖三為習用管線處理之讀取週期時序圖。

圖四為習用同時處理之讀取週期時序圖。

圖五為本發明電腦架構。

圖六為本發明預取處理之讀取週期時序圖。

圖七為本發明管線處理之讀取週期時序圖。

圖八為本發明同時處理之讀取週期時序圖。

圖式中之參照數號

- | | |
|-----------------|----------|
| 1 CPU | 2 主匯流排 |
| 4 PCI匯流排控制器 | |
| 5 SRAM/DRAM 控制器 | 6 PCI匯流排 |
| 7 SRAM | 8 DRAM |

五、發明說明(4)

9 週邊裝置

21 第一讀取週期

22 第二讀取週期

31 讀取週期

41 讀取週期

51 CPU

52 主匯流排

53 讀取緩衝器

531 讀取發送器

532 讀取接收器

54 寫入緩衝器

541 寫入發送器

542 寫入接收器

55 裁決器

56 PCI匯流排或記憶體匯流排

59 週邊裝置或記憶體

61 第一讀取週期

62 第二讀取週期

71 讀取週期

81 讀取週期

茲配合圖式將本發明最佳實施例詳細說明如下。

參閱圖五，本發明電腦架構。其中包含有：一CPU51、一主匯流排52、一讀取緩衝器53、一讀取發送器531、一讀取接收器532、一寫入緩衝器54、一寫入發送器541、一寫入接收器542、一裁決器55、一PCI匯流排或記憶體匯流排56、一週邊裝置或記憶體59。讀取發送器531與寫入發送器541分別將資料送入讀取緩衝器53與寫入緩衝器54，或是分別直接送入讀取接收器532與寫入接收器542，上述兩種傳送資料的選擇，由裁決器55決定。讀取緩衝器53的配置有二種選擇，一種為使用二個讀取緩衝器分別給預取

五、發明說明(5)

與同時處理用；另一種為只用一個讀取緩衝器同時給預取與同時處理用。讀取緩衝器可用先進先出暫存器(First In First Out, FIFO)、SRAM或單階栓(Single Level Latch)來製作。

參閱圖六，本發明預取處理之讀取週期時序圖。其中包含有cpuclk、ha、ads、brdy、ras、cas。圖六中包含二個讀取週期，第一讀取週期61需13個CPU時鐘單位而第二讀取週期62需6個CPU時鐘單位，共需要19個CPU時鐘單位，較圖二中共需要26個CPU時鐘單位，節省7個CPU時鐘單位，約佔原二個讀取週期的27%。

參閱圖七，本發明管路處理之讀取週期時序圖。其中包含有cpuclk、cycle、ads、brdy、na、pciclk、frame、irdy、trdy、devsel、ras、cas。圖七中包含一讀取週期71，需要19個CPU時鐘單位，較圖三中讀取週期31的26個CPU時鐘單位，節省7個CPU時鐘單位，約佔原讀取週期27%。

參閱圖八，本發明同時處理之讀取週期時序圖。其中包含有cpuclk、ads、brdy、adv、koe、wffpush、ras、cas、ramwe。圖八中包含一讀取週期81，需要26個CPU時鐘單位，較圖四中讀取週期41的30個CPU時鐘單位，節省4個CPU時鐘單位，約佔原讀取週期13%。

對一個具有緩衝器的電腦架構，使用預取、管線、同時處理去執行指令時，資料的讀取、寫入會發生資料不一致的情形，為達到資料的一致性，本發明提出下列四種解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

決方案。第一種，包含三個情況，(1)當寫入發送器841要送資料時，本身目前存放的位址先與讀取緩衝器83內存放的位址作比較，此一動作叫Snoop，如果二者相同，則不動作；(2)當讀取發送器831要送資料時，先Snoop寫入緩衝器84，如果二者相同，則放棄該資料，等寫入緩衝器84的資料寫入記憶體後，再由讀取發送器831預取資料；(3)當寫入發送器841與讀取發送器831同時要送資料時，讀取發送器831先Snoop寫入發送器841，如果二者相同，則讀取發送器831暫停動作，等寫入發送器841完成寫入動作。第二種，包含三個情況，(1)同第一種的(1)；(2)當讀取接收器832要送資料時，先Snoop寫入緩衝器84，如果二者相同，則放棄該資料，令讀取發送器831再一次預取資料；(3)當寫入發送器841與讀取接收器832同時要送資料時，讀取接收器832先Snoop寫入發送器841，如果二者相同，則讀取接收器832暫停動作，等寫入發送器841完成寫入動作。第三種，包含三個情況，(1)當寫入發送器841要送資料時，先Snoop讀取緩衝器83，如果二者相同，則更新讀取緩衝器83的資料；(2)同第一種的(2)；(3)同第一種的(3)。第四種，包含三個情況，(1)同第三種的(1)；(2)同第二種的(2)；(3)同第二種的(3)。

綜上所述，當知本案發明具有實用性與創作性，且本發明未見之於任何刊物，當符合專利法規定。

唯以上所述者，僅為本發明之一較佳實施例而已，當不能以之限定本發明實施之範圍。即大凡依本發明申請專

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

利範圍所作之均等變化與修飾，皆應屬本發明專利涵蓋之範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：**具讀取緩衝器之電腦架構**)

一種加快讀取速度，具讀取緩衝器之電腦架構，係由一中央處理單元、一主匯流排、一寫入緩衝器、一讀取緩衝器、一裁決器、一讀取發送器、讀取接收器、一寫入發送器、一寫入接收器、一週邊元件互連或記憶體匯流排、一週邊裝置或記憶體所構成。中央處理單元與週邊裝置的資料傳遞速度，常受限於週邊裝置的資料存取速度而無法大幅提高。對於預取處理，管線處理或同時處理等指令執行方式，該讀取緩衝器充當暫時性讀取資料之記憶體，以節省下一個讀取週期所耗費的時間，進一步解決中央處理單元須花費相當多的時間在等待讀取週期的問題，加速電腦整體執行速度。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

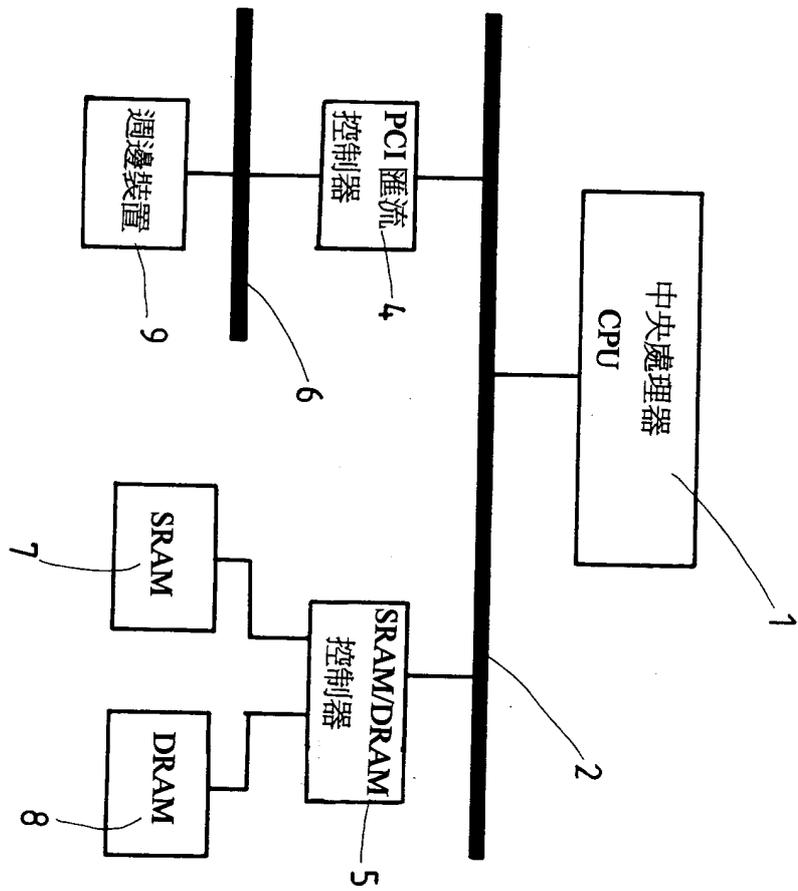
1. 一種具讀取緩衝器之電腦架構，其包括一中央處理單元、一主匯流排、一寫入緩衝器、一讀取緩衝器、一裁決器、一讀取發送器、讀取接收器、一寫入發送器、一寫入接收器、一週邊元件互連或記憶體匯流排、一週邊裝置或記憶體所構成，對於預取處理，管線處理或同時處理等指令執行方式，該讀取緩衝器充當暫時性讀取資料之記憶體，節省下一個讀取週期所耗費的時間，解決中央處理單元須花費相當多的時間在等待讀取週期的問題，加速電腦整體執行速度。

(請先閱讀背面之注意事項再填寫本頁)

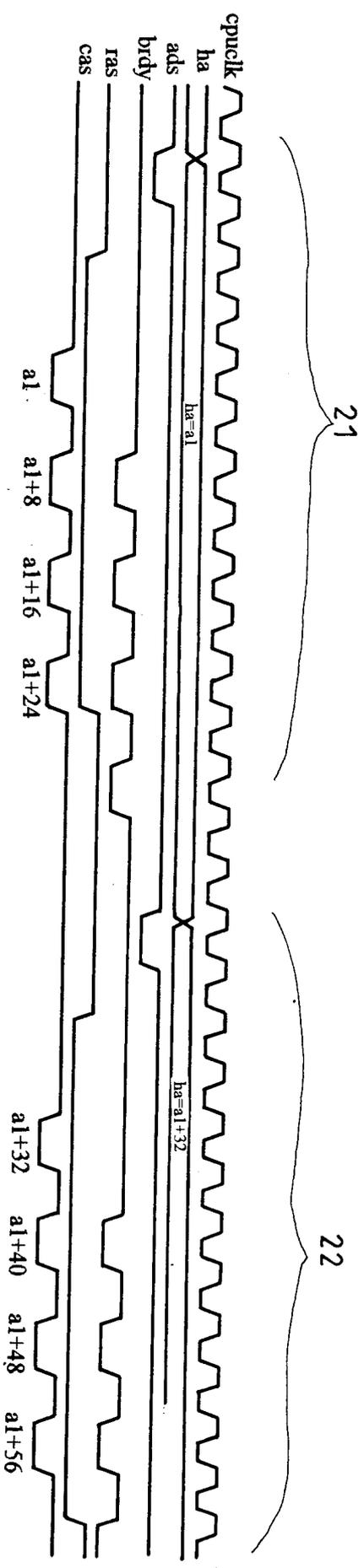
裝

訂

線



圖



圖

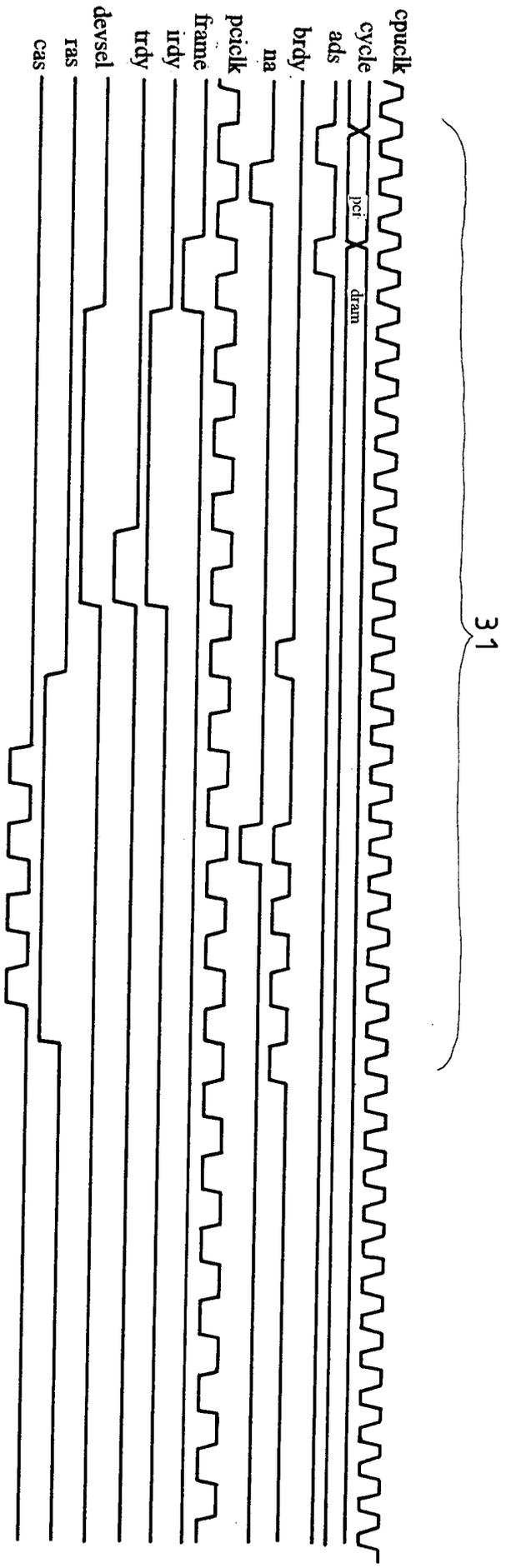
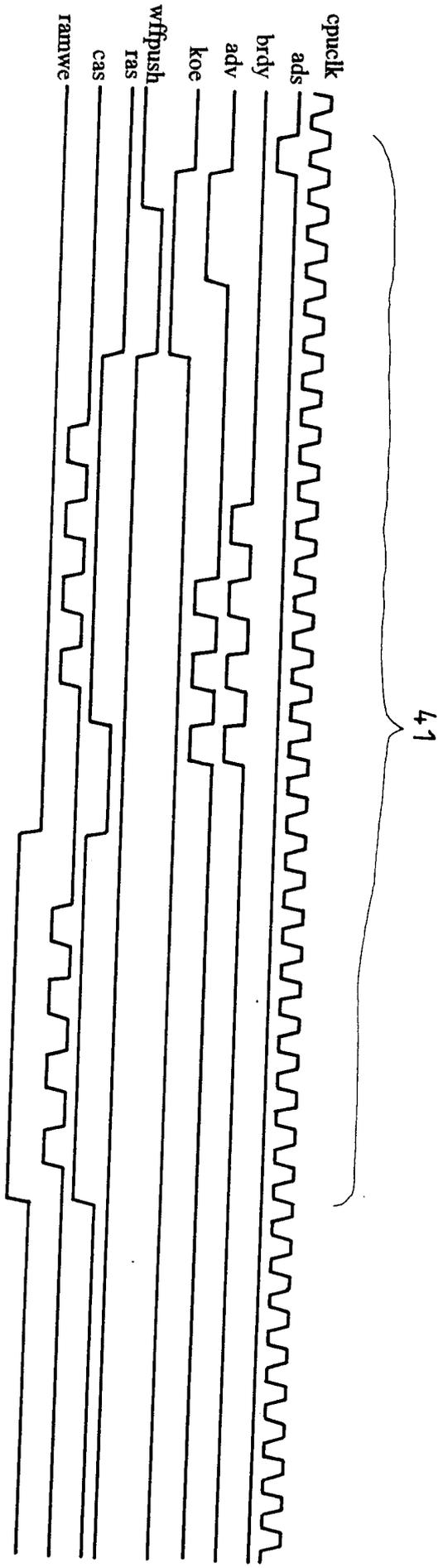
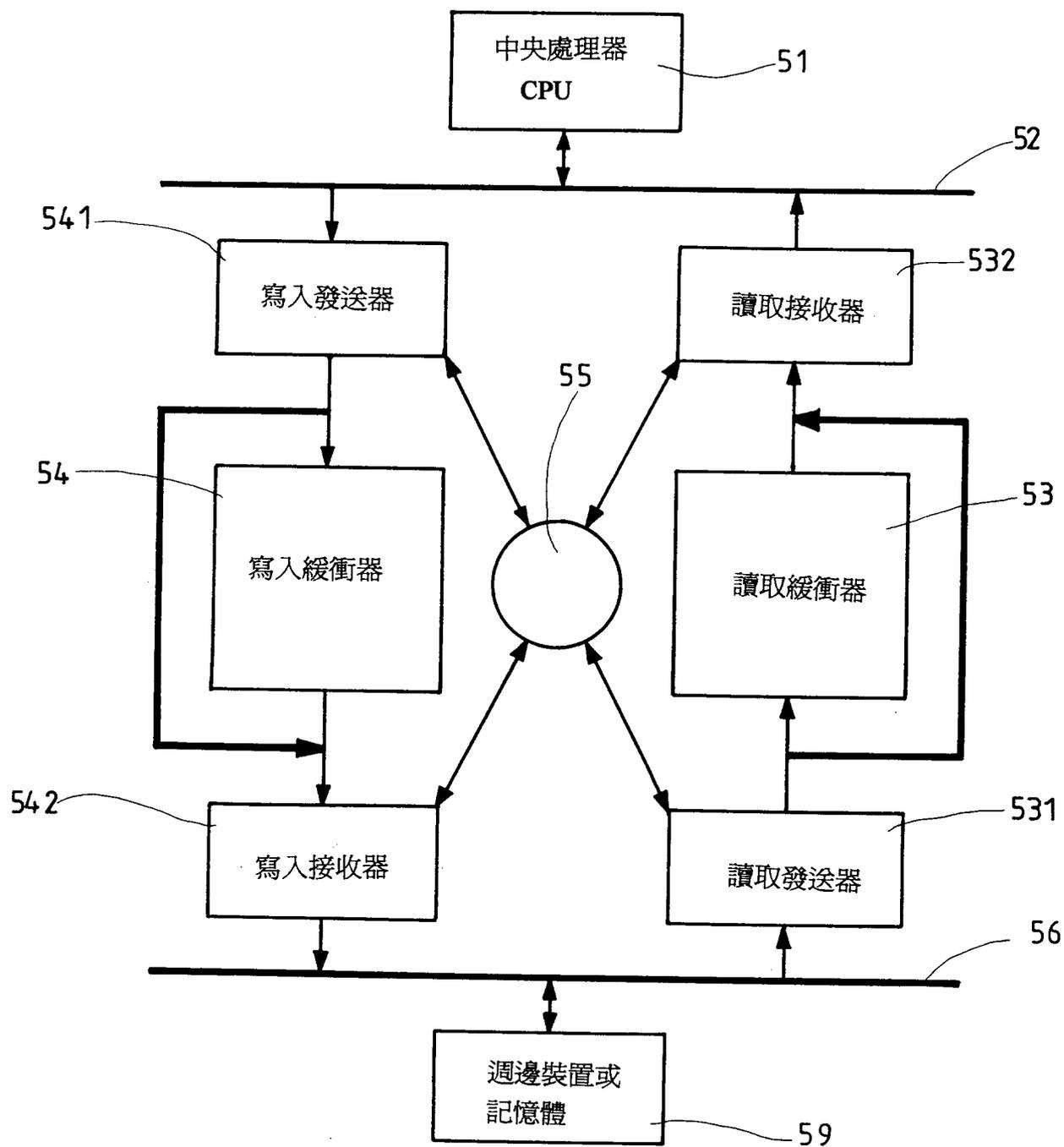


圖 三



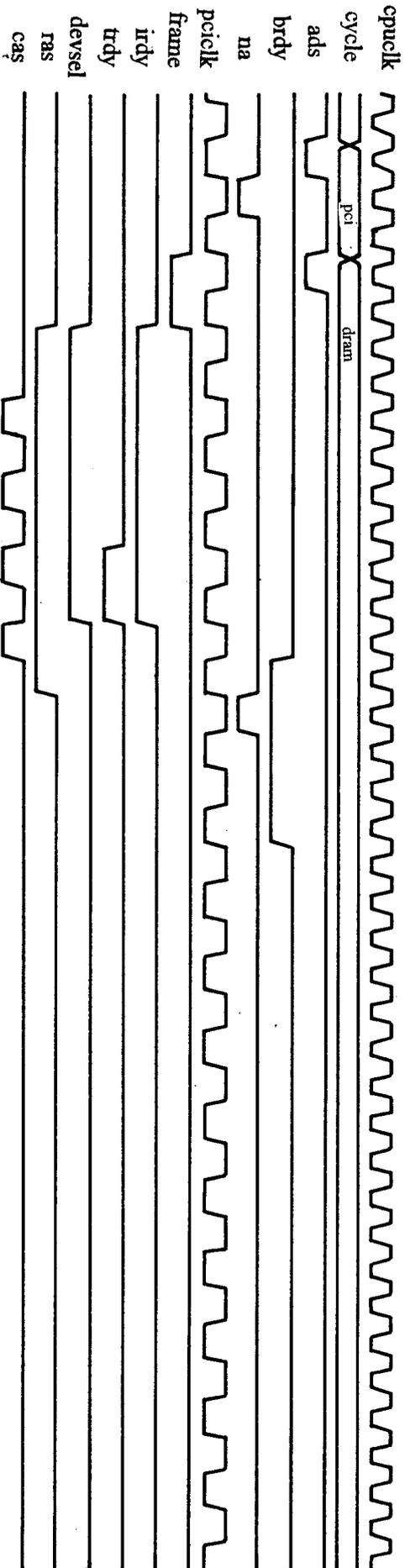
四

四



圖

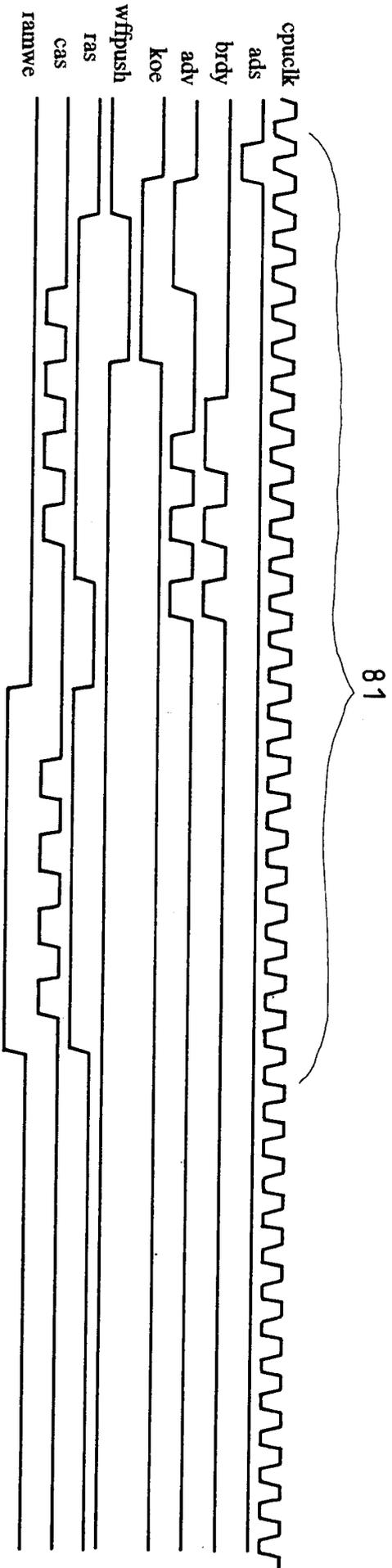
五



71

7

7



八