

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 7/01 (2006.01)
H04N 17/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03135862.4

[45] 授权公告日 2007 年 5 月 30 日

[11] 授权公告号 CN 1319373C

[22] 申请日 2003.9.19 [21] 申请号 03135862.4

[73] 专利权人 四川长虹电器股份有限公司
地址 621000 四川省绵阳市高新区绵兴东
路 35 号

[72] 发明人 丁松平 莫 焯

[56] 参考文献

- CN1411273A 2003.4.16
- CN87101244A 1988.7.20
- CN1375815A 2002.10.23
- CN1246022A 2000.3.1

审查员 范成博

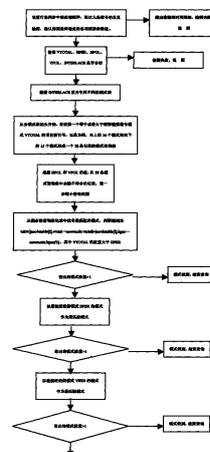
权利要求书 3 页 说明书 8 页 附图 3 页

[54] 发明名称

一种信号模式识别的方法及 ADC 参数的设置方法

[57] 摘要

本发明公开了一种信号模式识别的方法及 ADC 参数的设置方法，它通过建立信号模式表，并以输入图象信号关键模式参数值，对模式表进行排序搜索，从而快速准确地识别出信号模式。当模拟图象信号模式识别出来以后，在 ADC 数模转换过程中，像素时钟 GCLK、PLL 分频比将根据 HTOTAL 重新修正过，因此 ADC 数模转换就更符合实际信号。本发明可广泛用于液晶产品、PDP 以及 HDTV 等数字平板显示器要求适应多种模拟、数字信号输入的自动模式识别。



1. 一种信号模式识别的方法,其特征在于包括下述步骤:

根据显示信号的标准,建立各种显示信号的模式表,该模式表中包含有参数 VTOTAL、HPER、HTOTAL、VRES、隔行/逐行,并按隔行、逐行分开成两类表;

对输入的行/场同步信号,进行行/场同步的解码运算,得到所述模式表中的各项参数;

若参数为隔行,就对应隔行模式表,若参数为逐行,就对应逐行模式表;

分开对应后的两类显示信号的模式表,再以运算出的主要参数,以主要参数作为关键值进行排序,找到一个匹配的显示信号的模式表,从而确定该信号的模式;

所述主要参数为 VTOTAL;

所述 VTOTAL 是指在场同步周期内,行同步的总数; 所述 HPER 是指在一定时间内,行同步所经历的周期; 所述 HTOTAL 是指在行同步周期内,像素的总数; 所述 VRES 是指在相邻两个场同步信号内,激活区间的行同步总数。

2. 根据权利要求 1 所述的一种信号模式识别的方法,其特征在于按所述 VTOTAL 关键值排序之后,根据 HPOL 和 VPOL 的值,从模式查询表中去除不符合的记录,进一步缩小查询范围,以快速找到一个匹配的显示信号的模式表;

所述 HPOL 是指输入信号行同步极性; 所述 VPOL 是指输入信号场

同步极性。

3. 根据权利要求2所述的一种信号模式识别的方法,其特征在於按所述方法去除不符合的记录以后,根据下面的判断规则,找到一个匹配的显示信号的模式表,即: $\text{MIN}\{|\text{modetable}[i].\text{vtotal} - \text{newmode}.\text{vtotal}| + |\text{modetable}[i].\text{hper} - \text{newmode}.\text{hper}|/2\}$, 其中 VTOTAL 的权重大于 HPER。
4. 根据权利要求1或2或3所述的一种信号模式识别的方法,其特征在於在以所述的 VTOTAL 作为关键值进行第一次排序之后,相同 VTOTAL 的按 HPER 进行第二次排序,找到一个匹配的显示信号的模式表,从而确定该信号的模式。
5. 根据权利要求4所述的一种信号模式识别的方法,其特征在於以所述的 HPER 作为关键值进行第二次排序之后,相同 HPER 的按 HTOTAL 进行第三次排序,找到一个最匹配的显示信号的模式表,从而确定该信号的模式。
6. 根据权利要求5所述的一种信号模式识别的方法,其特征在於以所述的 HTOTAL 作为关键值进行第三次排序之后,相同 HTOTAL 的按 VRES 进行第四次排序,找到一个最匹配的显示信号的模式表,从而确定该信号的模式。
7. 根据权利要求6中所述的一种信号模式识别的方法,其特征在於若该信号为需进行 ADC 模数转换的模拟信号,则在排序靠前的模式中,根据模式表依次设入相应的 ADC 寄存器参数,然后在每一次设好参数后,都运行一次自动相位检测,分别得到不同模式在最佳显示效果

时的图象质量反馈值 PHASEQ，对同一幅图象，PHASEQ 等于一场图象信号里，CLOCK 上升沿读取的图象 DATA 为 1 的象素总和，PHASEQ 越大，表明图象的 CLOCK 和 DATA 对得越齐，图象输出的效果就越好；最终比较这几个图象质量反馈值 PHASEQ，其中最大的反馈值对应的模式就是最匹配的模式。

8. 根据权利要求 1、2、3、5、6 或 7 所述的一种信号模式识别的方法，其特征在于，当信号模式识别出来以后，其中的 HTOTAL 值用从输入信号 HSYNC 行同步脉冲中计数得到的 HTOTAL 实际值进行校正。

9. 根据权利要求 4 所述的一种信号模式识别的方法，其特征在于，当信号模式识别出来以后，其中的 HTOTAL 值用从输入信号 HSYNC 行同步脉冲中计数得到的 HTOTAL 实际值进行校正。

一种信号模式识别的方法及 ADC 参数的设置方法

技术领域

本发明涉及一种信号模式识别的方法及 ADC 参数的设置方法,特别是涉及一种图象显示信号模式识别的方法,及对于模拟图象显示信号在模式识别出来以后,ADC 参数的设置方法。

技术背景

当一种新的信号输入到图象数字处理系统后,其信号模式,如水平和垂直的分辨率对整个图象数字处理系统来讲是未知的,但要正确显示该图象信号,就必须识别其信号模式。目前的做法一般是从行/场同步信号入手,计算出图象信号模式的一些参数,再将这些参数与行业通用标准所规定的参数进行逐一比较,若有完全吻合的,就作为正确的信号模式,若找不到完全吻合的,就设定一个常用的近似信号模式。这样的识别方法,主要存在两个问题:一是逐一比较,速度慢,识别时间长;二是人为设定一个常用的近似信号模式,图象显示质量就难以保证。

对于模拟图象显示信号,以往通常的做法是当模式找到后,用查询表的办法找到相应的 ADC 参数值对 ADC 芯片进行设置。这种方法的理论依据是所有的模拟图象显示信号必须严格按照行业标准。但是在现实中往往有很多低档显卡输出的信号不够规范,如果盲目套用 ADC 参数,就会造成图象显示效果不佳等问题。

发明内容

本发明的目的就是提供一种信号模式识别的方法及 ADC 参数的设置方法，它可以迅速而准确地识别出图象信号的模式，并自动根据该模式设置合适的 ADC 参数，从而显示良好的图象质量。

本发明是这样实现的，它包括以下步骤：

根据显示信号的标准，建立各种显示信号的模式表，该模式表中包含有参数 VTOTAL、HPER、HTOTAL、VRES、隔行/逐行；并按隔行、逐行分开成两类表；

对输入的行/场同步信号，进行行/场同步的解码运算，得到所述模式表中的各项参数；

若参数为隔行，就对应隔行模式表，若参数为逐行，就对应逐行模式表；

分开对应后的两类显示信号的模式表，再以运算出的主要参数为关键值进行排序，找到一个匹配的显示信号的模式表，从而确定该信号的模式。

当信号模式识别出来以后，若该信号为模拟信号，需要进行 ADC 数模转换，其 ADC 参数的设置按以下步骤实现：

根据模式中的 HTOTAL 值计算出像素时钟 GCLK；

再根据像素时钟 GCLK 计算出 PLL 分频比。

由于本发明采用主要参数为关键值进行排序搜索，因此速度就较快，识别时间就会缩短，并且如果遇到没有所有参数完全吻合的情况，由于有主要参数作为关键值，因此就比较准确。同时像素时钟

GCLK、PLL 分频比根据 HTOTAL 重新修正过，因此 ADC 数模转换就更符合实际信号，这样对非标信号的容忍性就会提高，因此显示出来的图象质量就比较好。

下面结合附图和具体实施方式对本发明做进一步详细的说明。

附图说明

图 1 是图象数字前端处理系统的框图；

图 2 是本实施例的信号模式识别的算法流程图；

图 3 是模式检测和输入信号捕捉的示意图；

图 4 是不同相位对图象质量影响的示意图。

具体实施方式

对于图象信号模式表设置如下：

- MODE INDEX (BYTE)：形成模式表的索引序列号；
- HPER (WORD)：代表行频；
- VTOTAL (WORD)：代表每场的行同步总数，可同 HPER 计算出场频；
- HTOTAL (WORD)：每一行的像素总数；
- HRES (WORD)：每一行激活区间的像素总数；
- VRES (WORD)：每一场激活区间的行同步总数；
- VDS (WORD)：每一场激活区间的行起始位置；
- HDS (WORD)：每一行激活区间的像素起始位置；
- PRFLAG (BYTE)：自动处理标志；
 - i. INTERLACED (BIT)：输入信号是否隔行；
 - ii. H POLARITY (BIT)：输入信号行同步极性；

- iii. V POLARITY (BIT): 输入信号场同步极性;
- iv. COMP SYNC (BIT): 输入信号是否为复合同步输入;
- v. DOS MODE (BIT): 输入信号是否将来不需要做位置调整;
- vi. SKIP ALTERNATE H TOTAL (BIT): 输入信号是否有非常相近的模式;

- MODE NAME (STRING): 模式名称;

模式表的内容可根据 VESA 的 Monitor Timing Specifications 来定义。

模式表的数目按逐行和隔行各有 32 个。

在 LCD、PDP、HDTV 系统中，一般的图象数字前端处理系统的框图如图 1 所示，当然若输入信号为数字信号，那么 ADC 数模转换就不需要了，可直接进入图象处理 GRAPHICS PROCECCER 芯片。

如图 2，为正确识别输入信号的模式，先设置行场同步中断处理程序，通过几场信号的反复检测，确认得到最终稳定的各项需要参数值，这需从 HSYNC 和 VSYNC 信号入手。对于复合输入的同步信号，首先要做的是同步分离。对于分离输入的行/场同步信号，需行/场的同步解码器。该解码器的实质就是计数器，根据行/场同步脉冲来进行计数。其次，还需要行/场同步的极性判断器。

- 在每一个场同步期间，触发行同步脉冲的计数器，并将结果存储在寄存器里，可以得到 VTOTAL 的值；（该寄存器以场周期更新）
- 根据系统时钟 UCLK，计算出在行同步脉冲周期，并将结果存

储在寄存器里，可以得到 HPER 的值；（该寄存器以行周期更新）

- 根据场同步信号，判断出该信号为逐行或隔行信号（INTERLACE）；

根据场同步信号，判断出场同步极性（VPOL）；

- 根据行同步信号，判断出行同步极性（HPOL）；

如果超出检测的时间限制，说明信号或电路存在问题，宣告检测失败，返回。

然后，检查 VTOTAL、HPER、HPOL、VPOL、INTERLACE 是否合法，若不合法，说明信号或电路存在问题，宣告检测失败，返回。

根据上述的检测值，可以计算出输入信号的行频和场频，自动信号模式就可以通过查询模式表的方式来正确识别。在大多数情况下，上述的判断条件可以在模式表中唯一地查找到最相近的一种模式。如果在查询完模式表后，找到了多于 1 个以上的模式，也就是说，有某些信号与输入信号极其相近，它们的行、场同步频率和极性都完全相同，单靠上面的判断条件还不足以正确识别输入信号模式。此时为进一步找到正确模式，就需要检查 VRES 的值。

如图 3 所示，活动图象并不是从行场同步信号刚结束就开始的，可以设定一个门限值，当图象处理芯片检测到的输入数据大于该门限值时，就认为找到了活动区域的图象数据。通过对一场信号的检测，水平方向上从行同步脉冲开始，到检测到的第一个大于门限像素的宽

度值设为活动区域的水平起始位置 (HDS)，垂直方向上从场同步脉冲开始，到检测到的第一个大于门限值的行同步数量设为活动区域的垂直起始位置 (VDS)，同理也可以得到 HBI (等于水平方向上活动区域结束后，从第一个小于门限的象素位置到下一行第一个大于门限象素位置间的象素宽度值) 和 VBI (等于垂直方向上活动区域结束后，从第一个小于门限的行同步到下一场第一个大于门限行同步间的行同步数量)。

对于模拟图象显示信号，因为 ADC 芯片的 PLL 参数还未设置正确，此时得到的 HDS 和 HBI 数据是完全错误的，但 VDS 和 VBI 不管 ADC 的参数如何设置，得到的都是真实的结果。依此得到的 VRES 的值 (等于 VTOTAL 减去 VBI) 也是可信的。

为了迅速找到新的模式，节约寻找时间，就需要将模式表进行排序。

首先，按照输入信号场同步为隔行或逐行扫描分开，若参数为隔行，就对应隔行模式表，若参数为逐行，就对应逐行模式表。

分开后的两个表再按 VTOTAL 为关键值进行第一次排序，从分模式表的头开始，寻找第一个等于或者大于需要搜索信号模式 VTOTAL 的项目索引号，以此为准，向上的 16 个模式和向下的 15 个模式形成一个 32 条记录的模式查询表。

此时，可根据 HPOL 和 VPOL 的值，从 32 条模式查询表中去除不符合的记录，进一步缩小查询范围，以快速找到一个匹配的显示信号的模式表。

当然，可以利用下面的判断规则，可以更快、更准地找到一个匹配的显示信号的模式表。即： $\text{MIN}\{|\text{modetable}[i].\text{vtotal}-$

$\text{newmode.vtotal} + |\text{modetable}[i].\text{hper} - \text{newmode.hper}|/2\}$ ，其中 VTOTAL 的权重大于 HPER

此时，若查出的模式数量 >1 ，再以 HPER 进行第二次排序，找到一个匹配的显示信号的模式表。

此时，若查出的模式数量 >1 ，再以 VRES 进行第三次排序，找到一个匹配的显示信号的模式表。

如果经过上述步骤，仍然找到了多于 1 个以上的模式，也就是说，有某些信号与输入信号极其相近，它们的行、场同步频率和极性都完全相同，连垂直方向的分辨率都完全一样。遇到这种情况，可以有两种办法解决：

i. 根据有些信号模式在实际使用中常用程度，在模式表里，将最常用的模式排在这几种模式的最前面，如果不能根据上述步骤断定信号的最终模式，直接引用最常用模式的参数作为最终结果。当然，这种做法有个缺点，就是在输入某些极不常用的信号时有可能模式设置错误。

ii. 根据如果信号的模式设置正确，图象最终质量就好的假设，从图象质量的角度来考评最佳的匹配模式。对于这种处理，就要求图象处理芯片对图象质量有进行衡量的标准。针对几种排序靠前的模式，根据模式表依次设入相应的 ADC 寄存器参数，然后在每一次设好参数后，都运行一次自动相位检测，分别得到不同模式在最佳显示效果时的图象质量反馈值 PHASEQ，最终比较这几个图象质量反馈值，其中最大的反馈值对应的模式就是最匹配的模式。如图 4，图象处理芯片是在 COLCK 上升沿时读取数据，如果设置的相位不准，将

会在 CLOCK 上升沿读回无效数据。对同一幅图象，PHASEQ 等于一场图象信号里，CLOCK 上升沿读取的图象 DATA 为 1 的像素总和。PHASEQ 越大，表明图象的 CLOCK 和 DATA 对得越齐，图象输出的效果就越好。这种做法的好处是模式识别比较精确，能得到图象良好的显示效果；

当信号模式识别出来以后，其中的 HTOTAL 值用从输入信号 HSYNC 行同步脉冲中记数得到的 HTOTAL 实际值进行校正。这样，即使对于不规范的信号，模式表中的 HTOTAL 值也会校正准确。

信号的模式识别出来以后，若该信号为模拟信号，需要进行 ADC 数模转换，其 ADC 参数的设置方法如下：

ADC 芯片 PLL 的工作模式是：先与输入的 HSYNC 信号同步，再按照最终找到的模式设置分频比。在模式找到后，HTOTAL 就定下来了，需要的像素时钟 GCLK 也可以相应计算出来。

$$GCLK = mode[modei].Htotal * mode[modei].Vtotal * Vsync;$$

由此可以推出 ADC 的参数：

$$PLL \text{ 分频比高 } 8 \text{ 位: } PLLDIVH = ((mode[modei].HTotal-1) \gg 4) \& 0xff;$$

$$PLL \text{ 分频比低 } 8 \text{ 位: } PLLDILH = ((mode[modei].HTotal-1) \& 0x0f) \ll 4.$$

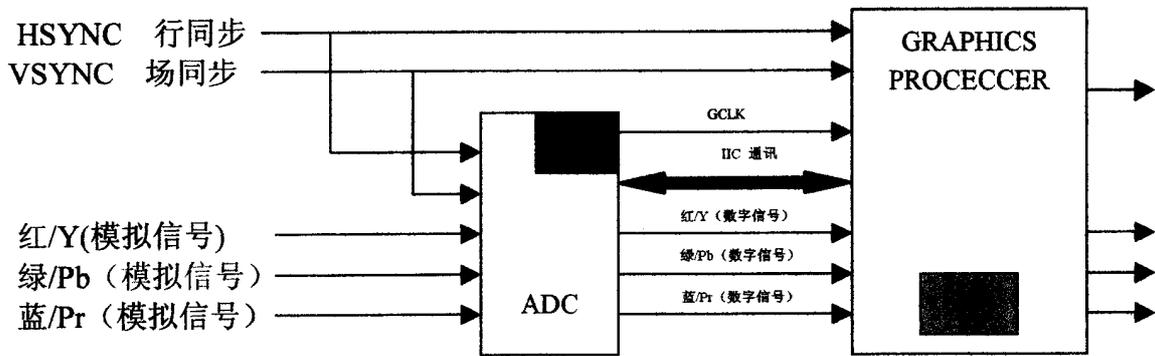


图 1

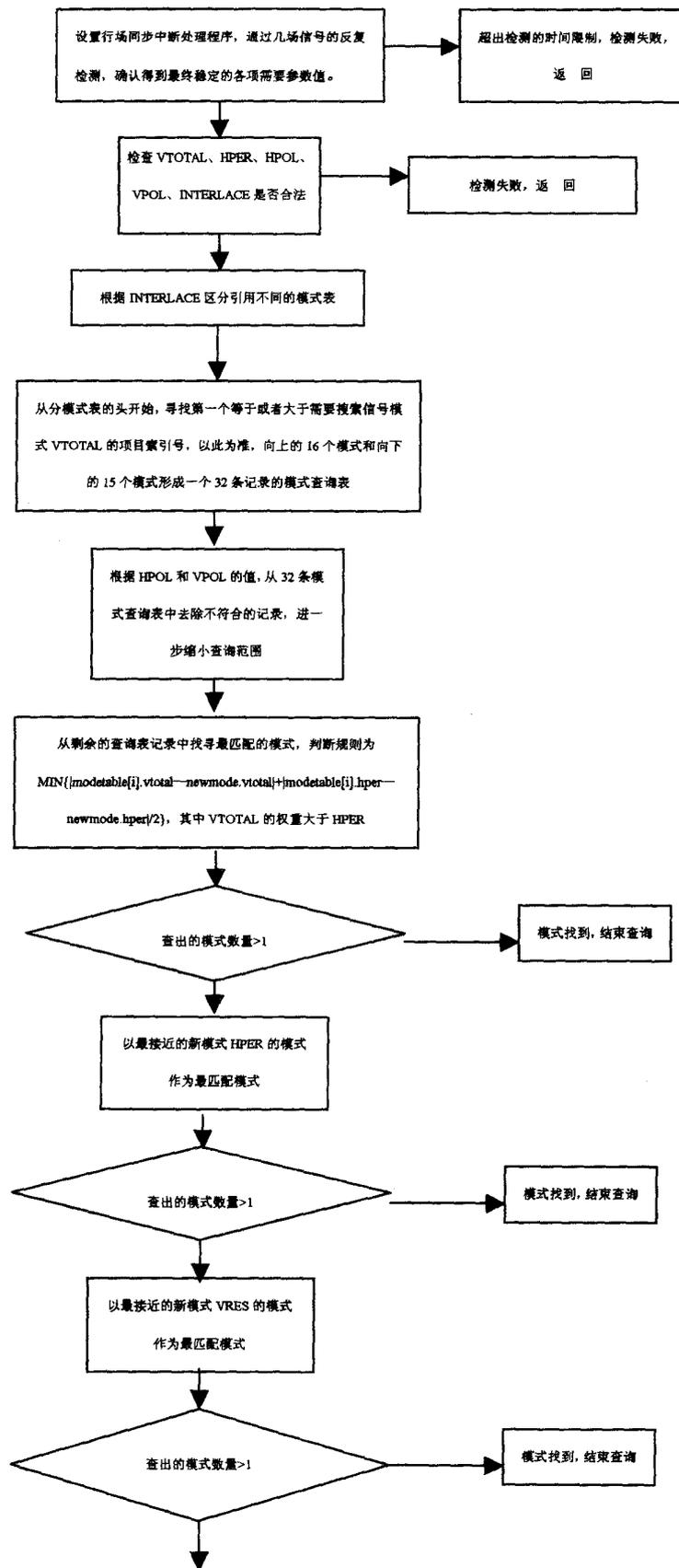


图 2 信号模式识别的算法流程图

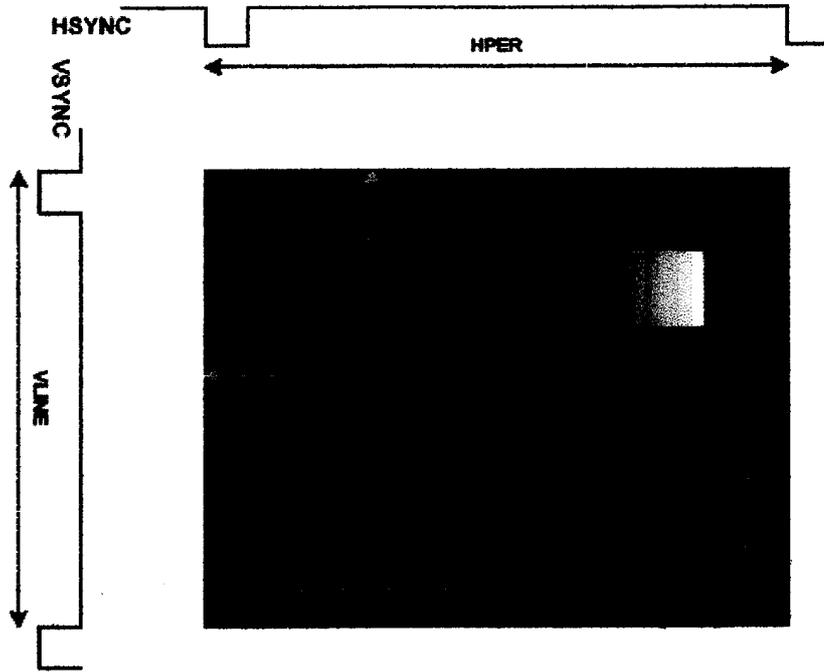


图 3

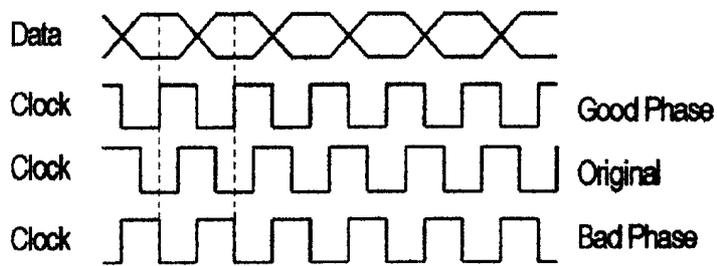


图 4