

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256864

(P2012-256864A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 F	5F102
HO 1 L 29/812 (2006.01)	HO 1 L 29/48 F	5F140
HO 1 L 29/47 (2006.01)	HO 1 L 29/48 D	
HO 1 L 29/872 (2006.01)	HO 1 L 29/78 3O1B	

審査請求 有 請求項の数 26 O L 外国語出願 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2012-102759 (P2012-102759)	(71) 出願人	506236358 インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト
(22) 出願日	平成24年4月27日 (2012.4.27)	(74) 代理人	100109726 弁理士 園田 吉隆
(31) 優先権主張番号	13/100, 343	(74) 代理人	100101199 弁理士 小林 義教
(32) 優先日	平成23年5月4日 (2011.5.4)	(72) 発明者	キュラトラ, ギルベルト オーストリア国 フィラッハ 9500, カスマンフーバーシュトラッセ 2
(33) 優先権主張国	米国 (US)	(72) 発明者	アエベルレン, オリバー オーストリア国 フィラッハ エー-9500, パウラプロムナーデ 1 最終頁に続く

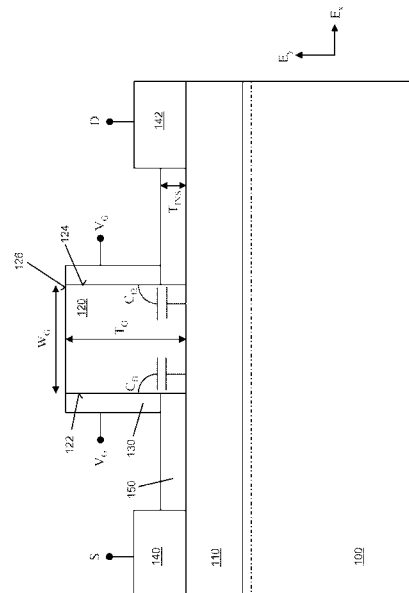
(54) 【発明の名称】 ノーマリーオフ型高電子移動度トランジスタ

(57) 【要約】

【課題】 ノーマリーオフ型高電子移動度トランジスタを提供する。

【解決手段】 ノーマリーオフ型トランジスタは、I I I - V 半導体材料の第 1 の領域、第 1 の領域上の I I I - V 半導体材料の第 2 の領域、第 2 の領域上の I I I - V 半導体材料の第 3 の領域、および第 3 の領域の少なくとも 1 つの側壁に隣接するゲート電極を含む。第 1 の領域はトランジスタのチャンネルを提供する。第 2 の領域は第 1 の領域のバンドギャップより大きなバンドギャップを有し、チャンネル内に 2 D 電子ガス (2 D E G) を引き起こす。第 2 の領域は第 1 の領域と第 3 の領域との間に挿入される。第 3 の領域は、トランジスタのゲートを提供し、トランジスタが正の閾値電圧を有するようにチャンネル内の 2 D E G を空乏化するのに十分な厚さを有する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

ノーマリーオフ型トランジスタであって、

前記トランジスタのチャンネルを提供する I I I - V 半導体材料の第 1 の領域と、

前記第 1 の領域上の I I I - V 半導体材料の第 2 の領域であって、前記第 1 の領域のバンドギャップより大きなバンドギャップを有し、前記チャンネル内に 2 D 電子ガス (2 D E G) を引き起こす、第 2 の領域と、

前記第 2 の領域上の I I I - V 半導体材料の第 3 の領域であって、前記第 2 の領域が前記第 1 の領域と前記第 3 の領域間に挿入されるようにされ、前記トランジスタのゲートを提供し、前記トランジスタが正の閾値電圧を有するように前記チャンネル内の 2 D E G を空乏化するのに十分な厚さを有する、第 3 の領域と、

前記第 3 の領域の少なくとも 1 つの側壁に隣接するゲート電極と、を含むノーマリーオフ型トランジスタ。

【請求項 2】

前記ゲート電極は絶縁材料により前記第 2 の領域から離間されている、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 3】

前記絶縁材料は S i N を含み、30 nm ~ 80 nm の厚さを有する、請求項 2 に記載のノーマリーオフ型トランジスタ。

【請求項 4】

前記第 3 の領域は非ドープである、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 5】

前記第 3 の領域は少なくとも 150 nm の厚さである、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 6】

前記ゲート電極は、前記第 3 の領域の対向側壁上と、前記第 2 の領域から見て外方に向く前記第 3 の領域の側面上と、に配置されている、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 7】

前記第 2 の領域は A l G a N または I n A l N を含む、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 8】

前記トランジスタは前記第 2 と第 3 の領域の界面に p n 接合が無い、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 9】

前記トランジスタは前記ゲート電極に印加される少なくとも 10 V のゲート電圧に耐えるように動作可能である、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 10】

前記第 3 の領域は 100 nm ~ 500 nm の幅を有する、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 11】

前記第 3 の領域は前記ゲート電極により横方向に互いに離間された複数の部分に分離されている、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 12】

前記第 3 の領域は先細りした側壁を有する、請求項 1 に記載のノーマリーオフ型トランジスタ。

【請求項 13】

前記第 2 の領域に隣接する前記第 3 の領域の側面は、少なくとも前記第 2 の領域から見て外方に向く前記第 3 の領域の反対側より 4 倍広い、請求項 12 に記載のノーマリーオフ型トランジスタ。

10

20

30

40

50

【請求項 14】

前記ゲート電極はゲート誘電体により前記第3の領域から離間されている、請求項1に記載のノーマリーオフ型トランジスタ。

【請求項 15】

III-V半導体材料のバッファ領域と、

前記バッファ領域上のIII-V半導体材料の障壁領域であって、前記バッファ領域のバンドギャップより大きなバンドギャップを有する、障壁領域と、

前記障壁領域上のIII-V半導体材料のゲート領域であって、前記障壁領域が前記バッファ領域と前記ゲート領域間に挿入されるようにされ、前記ゲート領域は非ドープかnドープであり、かつ前記トランジスタが正の閾値電圧を有するように前記バッファ領域内の2D電子ガスを空乏化するのに十分に厚い、ゲート領域と、

前記ゲート領域に隣接するゲート電極と、を含むノーマリーオフ型トランジスタ。

10

【請求項 16】

前記障壁領域は前記ゲート領域の直下で薄く他の場所で厚い、請求項15に記載のノーマリーオフ型トランジスタ。

【請求項 17】

第1のGaN層と、

前記第1のGaN層上のAlGaN層と、

前記AlGaN層上の第2のGaN層であって、前記AlGaN層は前記第1と第2のGaN層間に挿入されるようにされ、前記第2GaN層は非ドープかnドープであり、少なくとも150nmの厚さである、第2のGaN層と、

前記第2のGaN層に隣接するゲート電極と、を含むノーマリーオフ型トランジスタ。

20

【請求項 18】

前記AlGaN層は異なるAl濃度を有するAlGaNの複数の層を含む、請求項17に記載のノーマリーオフ型トランジスタ。

【請求項 19】

前記第1のGaN層はAlを含み、前記第1のGaN層内のAlの濃度は前記AlGaN層全体のAlの濃度より低い、請求項17に記載のノーマリーオフ型トランジスタ。

【請求項 20】

III-V半導体材料の第1の領域を形成する工程と、

前記第1の領域上にIII-V半導体材料の第2の領域を形成する工程であって、前記第2の領域は前記第1の領域のバンドギャップより大きなバンドギャップを有する、工程と、

30

前記第2の領域上のIII-V半導体材料の第3の領域を形成する工程であって、前記第2の領域が前記第1の領域と第3の領域間に挿入されるようにされ、前記第3の領域は、前記トランジスタが正の閾値電圧を有するように前記第1の領域内の2D電子ガス(2DEG)を空乏化するのに十分な厚さを有する、工程と、

前記第3の領域の少なくとも1つの側壁に隣接するゲート電極を形成する工程と、を含むノーマリーオフ型トランジスタの製造方法。

【請求項 21】

前記第3の領域を形成する工程は前記第2の領域上に成長されるGaNのエピタキシャル層をエッチングする工程を含む、請求項20に記載の方法。

40

【請求項 22】

前記第2および第3の領域が絶縁材料により覆われるように前記第3の領域を形成するためにGaNの前記エピタキシャル層がエッチングされた後に絶縁材料を堆積する工程と、

前記第3の領域の各側壁を部分的に露出させるために前記絶縁材料をエッチングする工程と、

残りの絶縁材料により前記第2の領域から離間された前記ゲート電極を形成するために前記第3の領域の前記露出した側壁に隣接する導電材料を堆積する工程と、をさらに含む

50

請求項 2 1 に記載の方法。

【請求項 2 3】

前記第 3 の領域を形成する工程は、

前記第 2 の領域上に絶縁材料を堆積する工程と、

前記第 2 の領域の一部を露出させるために前記絶縁材料内の開口をエッチングする工程と、

前記第 3 の領域を形成するために前記第 2 の領域の前記露出部分上の前記開口内に GaN のエピタキシャル層を選択的に成長する工程であって、前記第 3 の領域は前記第 3 の領域の側壁が部分的に露出されるように前記絶縁材料の厚さより厚い厚さを有する、工程と、

前記絶縁材料により前記第 2 の領域から離間された前記ゲート電極を形成するために前記第 3 の領域の前記露出した側壁に隣接する導電材料を堆積する工程と、をさらに含む、請求項 2 0 に記載の方法。

【請求項 2 4】

前記第 3 の領域を形成する工程は、

前記第 2 の領域上に窒化物層を堆積する工程と、

前記窒化物層上に酸化物層を堆積する工程と、

前記第 2 の領域の部分を露出させるために前記窒化物層と前記酸化物層内に開口をエッチングする工程と、

前記第 2 の領域の前記露出部分内に凹部を形成する工程と、

前記第 3 の領域を形成するために前記第 2 の領域の前記凹部上の前記開口内に GaN のエピタキシャル層を選択的に成長する工程であって、前記第 3 の領域は前記第 3 の領域の側壁が部分的に露出されるように前記窒化物層の厚さより厚い厚さを有する、工程と、

前記酸化物層を除去する工程と、

前記窒化物層により前記第 2 の領域から離間された前記ゲート電極を形成するために前記第 3 の領域の前記露出した側壁に隣接する導電材料を堆積する工程と、をさらに含む、請求項 2 0 に記載の方法。

【請求項 2 5】

前記ゲート電極が形成される前に前記第 3 の領域を覆うゲート誘電体を形成する工程、をさらに含む請求項 2 0 に記載の方法。

【請求項 2 6】

前記第 3 の領域はエピタキシー処理の結果としてドーブされる、請求項 2 0 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、ノーマリーオフ型高電子移動度トランジスタに関し、特にゲート領域内に p 型ドーブの無いノーマリーオフ型高電子移動度トランジスタに関する。

【背景技術】

【0002】

従来の高電子移動度トランジスタ (HEMT: high electron mobility transistor) (ヘテロ構造 FET (HFET) または変調ドーブ FET (MODFET: modulation-doped FET) と呼ばれる) は通常、GaN 技術で作製され、負の閾値電圧により一般的には特徴付けられる。すなわち、電流はトランジスタを開くためにゲート電極に電圧を印加しなくても素子のソースとドレイン端子間に流れる。実際、GaN 技術では、薄いチャネル (反転層) は、ゲート電極に電圧を印加しなくてもソースとドレイン端子間の歪および分極効果によって自動的に生成される。このため素子はノーマリーオン型であると通常言われる。

【0003】

HEMT のノーマリーオン特徴は、GaN 技術の固有特性であり、GaN 素子をオフに

10

20

30

40

50

するのに必要な負電圧を発生するための電源が利用可能なものにGaN技術の応用範囲を制限する。また、ノーマリーオン特徴はGaNトランジスタを駆動するのに必要とされる回路の設計を複雑にする。

【0004】

ノーマリーオフ型GaN HEMTすなわち正の閾値電圧を有するGaNトランジスタを作製する試みがなされてきた。例えば、p型ドーピングGaN材料の薄層(20~50nm)をゲート電極の下に形成することができる。この薄いP型GaN層はゲート電極の下の反転層を空乏化し、閾値電圧を正值にシフトする。薄いP型GaN層は、通常はAlGaN層である障壁層の下にある自然発生反転チャンネルを十分に空乏化およびポピュレート(Populate)させる垂直電界を生成する。さらに、ゲート電極に印加される電圧により生成される垂直電界が反転層を変調しオンおよびオフできるようにする。

10

【0005】

しかしながら、従来のシリコン技術とは異なり、GaNなどの大きなバンドギャップ材料をドーピングすることは些細なことではない。実際、薄いp型ドーピングGaN層の作製は非常に複雑な処理を必要とする。また、閾値電圧不安定性が、GaN層の不均一なドーピングにより、特に露出したGaN表面におけるP型ドーパント元素の表面蓄積により、生じる可能性がある。さらに、素子により耐えられる最大ゲート電圧が、ゲート電極の下のpn接合の存在により制限される。pn接合のビルトイン電圧に達すると、大きくかつ恐らく有害なゲートリークがゲートコンタクトからソースとドレイン電極の方へ直接流れる。ゲート電極の下のp型ドーピングGaN層の使用はまた、ゲート電極がp型GaN層の厚さに対応する距離だけ反転チャンネルからさらに離間されるので、素子のトランスコンダクタンスを制限する。p型ドーピングGaN層は約1Vの低い閾値電圧を生じる。原理的には、p型GaN層の厚さを増加することにより閾値電圧を増加することができる。しかしながら素子のトランスコンダクタンスはp型GaN層厚さの関数として劣化し、この層の厚さが大きくなり過ぎると素子は使用不能となる。

20

【発明の概要】

【課題を解決するための手段】

【0006】

ノーマリーオフ型トランジスタの一実施形態によると、トランジスタは、III-V半導体材料の第1の領域、第1の領域上のIII-V半導体材料の第2の領域、第2の領域上のIII-V半導体材料の第3の領域、および第3の領域の少なくとも1つの側壁に隣接するゲート電極を含む。第1の領域はトランジスタのチャンネルを提供する。第2の領域は第1の領域と第3の領域間に挿入され、第1の領域のバンドギャップより大きなバンドギャップを有する。第2の領域はまた、チャンネル内に2D電子ガス(2DEG)を引き起こす。第3の領域はトランジスタのゲートを提供し、トランジスタが正の閾値電圧を有するようにチャンネル内の2DEGを空乏化するのに十分な厚さを有する。

30

【0007】

ノーマリーオフ型トランジスタの別の実施形態によると、トランジスタは、III-V半導体材料のバッファ領域、バッファ領域上のIII-V半導体材料の障壁領域、障壁領域上のIII-V半導体材料のゲート領域(障壁領域がバッファ領域とゲート領域間に挿入されるようにされる)、およびゲート領域に隣接するゲート電極を含む。障壁領域はバッファ領域のバンドギャップより大きなバンドギャップを有する。ゲート領域は非ドーピングまたはnドーピングであり、トランジスタが正の閾値電圧を有するようにバッファ領域内の2D電子ガスを空乏化するのに十分に厚い。

40

【0008】

ノーマリーオフ型トランジスタのさらに別の実施形態によると、トランジスタは、第1のGaN層、第1のGaN層上のAlGaN層、AlGaN層上の第2のGaN層(AlGaN層が第1と第2のGaN層間に挿入されるようにされる)、および第2のGaN層に隣接するゲート電極を含む。第2のGaN層は非ドーピングまたはnドーピングであり、少なくとも150nmの厚さである。

50

【 0 0 0 9 】

ノーマリーオフ型トランジスタの製造方法の一実施形態によると、本方法は、 $I I I - V$ 半導体材料の第1の領域を形成する工程と、第1の領域のバンドギャップより大きなバンドギャップを有する $I I I - V$ 半導体材料の第2の領域を第1の領域上に形成する工程と、を含む。本方法はさらに、第2の領域上の $I I I - V$ 半導体材料の第3の領域を形成する（第2の領域が第1の領域と第3の領域間に挿入されるようにされる）工程であって、第3の領域はトランジスタが正の閾値電圧を有するようにチャンネル内の2D電子ガス（2DEG）を空乏化するのに十分な厚さを有する、工程と、第3の領域の少なくとも1つの側壁に隣接するゲート電極を形成する工程と、を含む。

【 0 0 1 0 】

当業者は、以下の詳細な説明を読み添付図面を見るとさらなる特徴と利点を理解することになる。

【 0 0 1 1 】

添付図面の構成要素同士は互いに対して必ずしも一定のスケールで記載されていない。同様な参照符号は対応する同様な部分を示す。様々な例示実施形態の特徴は互いに排除しない限り組み合わせられることができる。実施形態は添付図面に示され、以下の明細書の中で詳述される。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 2 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 3 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 4 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 5 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 6 】一実施形態によるノーマリーオフ型HEMTの断面の概略図を示す。

【 図 7 A - 7 F 】一実施形態によるノーマリーオフ型HEMTの製造過程の様々な処理工程における半導体構造の断面の概略図を示す。

【 図 8 A - 8 E 】一実施形態によるノーマリーオフ型HEMTの製造過程の様々な処理工程における半導体構造の断面の概略図を示す。

【 図 9 A - 9 F 】一実施形態によるノーマリーオフ型HEMTの製造過程の様々な処理工程における半導体構造の断面の概略図を示す。

【 発明を実施するための形態 】

【 0 0 1 3 】

図1に、ノーマリーオフ型HEMTの実施形態を示す。HEMTは正の閾値電圧を有するのでノーマリーオフ型であると考えられる。HEMTは、 $I I I - V$ 半導体材料のバッファ領域100、バッファ領域100上の $I I I - V$ 半導体材料の障壁領域110、障壁領域110上の $I I I - V$ 半導体材料のゲート領域120（障壁領域110がバッファ領域100とゲート領域120間に挿入されるようにされる）、およびゲート領域120に隣接するゲート電極130を含む。バッファ領域100はHEMTのソース（S）とドレイン（D）端子を電氣的に接続するチャンネル（反転層）を提供する。ソースとドレインの端子はそれぞれの電極140、142において電氣的に接触されることができる。障壁領域110はバッファ領域100のバンドギャップより大きなバンドギャップを有し、図1の破線により示されるようにチャンネル内に2D電子ガス（2DEG）を引き起こす。すなわち、障壁領域110はチャンネル内に2DEGの電荷を供給する。障壁領域110に隣接するゲート領域120は非ドープであるかあるいはエピタキシー処理の結果としてわずかに（非意図的に）nまたはpドープされる。すなわちエピタキシー処理は、意図的な工程（工程群）において意図的にドープされないゲート領域120内に存在する活性ドーパント原子を生じる。ゲート領域がドープされるか否かにかかわらず、ゲート領域120は、HEMTが正の閾値電圧を有するようにチャンネル内の2DEGを空乏化するのに十分に厚く、したがってノーマリーオフであると考えられる。ゲート領域120の厚さをチャンネル

10

20

30

40

50

内の2DEGが空乏化されるように選択することにより、ゲート領域120は空乏化目的のためにp型にドーピングされる必要がない。

【0014】

HEMTの全電界は垂直成分(E_y)と水平成分(E_x)に減結合または分離される。電界の垂直および水平成分はHEMTをオンおよびオフするために独立に使用されることができる。比較的厚い非ドーピングあるいはわずかにnまたはpドーピングされたゲート領域120を設けることにより、この領域のp型ドーピングを必要とすることなくHEMTがノーマリーオフ型であることを保証する。また、HEMTの閾値電圧の調整可能範囲をより正の値に拡張することができる。さらに、望ましくないゲートリークは、ゲート電極の下のpn接合を削除することにより、そしてそれを非常に高い実効障壁高さを有するショットキーゲートで置換することにより、著しく低減される。これはひいては、実質的にゲートリークを有しない15Vを上回る最大ゲート電圧を可能にする。また、トランスコンダクタンスの増加は、チャンネル全体にわたるゲート電極130による改善された制御の結果と理解される。

10

【0015】

一実施形態では、バッファ領域100とゲート領域120はそれぞれ非ドーピングのまたはわずかに(非意図的に)nまたはpドーピングされたGaNを含み、障壁領域110はAlGaNを含む。AlGaN障壁領域110は、異なるAl濃度を有する複数のAlGaNの層を含むことができる。追加でまたはあるいは、GaNバッファ領域100はAlを含むことができる。GaNバッファ領域100内のAlの濃度はAlGaN障壁領域110全体のAlの濃度より低い。別の実施形態では、障壁領域110はGaNに格子整合した材料(例えばInAlN)を含む。

20

【0016】

一実施形態では、ゲート領域120は、約150nm~200nm以上の厚さ(T_G)を有する非ドーピングのまたはわずかにnまたはpドーピングされたGaN層である。この比較的厚いGaNゲート層120は、ゲートの下のチャンネル内の2DEGを空乏化する垂直電界(E_y)を発生し、ノーマリーオフ型素子を実現する。GaNゲート層120は伝導帯を引き上げ、したがってチャンネルを空乏化する。このため、GaNゲート層120の厚さは、HEMTが制御可能な正の閾値電圧を有するように調整されることができる。

【0017】

一実施形態では、GaNゲート層120の幅(W_G)は約100nm~500nmである。GaNゲート層120の幅が数百ナノメートルの範囲に低減されると、チャンネルは図1に概略的に示す垂直電界(E_y)によっておよびまた横方向の外縁キャパシタンス(C_{f1} 、 C_{f2})によって制御されることができる。したがって、従来のp型GaN手法に対し、HEMTの電気的性質を調節する際にある程度の自由度を加えた二次元効果が利用される。また、実効ショットキー障壁高さはGaNゲート厚の増加とともに増加し、本明細書に開示される値の範囲は、いかなる重大なゲートリークを生じることなくゲート電極130に対する15Vを上回る電圧の印加を可能にする。ゲート領域120と障壁領域110間のpn接合を削除することにより、そしてこのpn接合を非常に高い実効障壁を有するショットキーゲートで置換することにより、望ましくないゲートリークを著しく低減する。ゲートリークは実効ショットキー障壁高さを拡張することにより抑制される。HEMTのゲートリーク電流を、例えば6V以上の高いゲート電圧においてさえドレイン電流より数桁低い大きさに低減させることができる。

30

40

【0018】

ノーマリーオフ型HEMTのゲート電極130は絶縁材料150により障壁領域110から離間されている。絶縁材料150はゲート電極130が障壁領域110に接触するのを防止し、ショットキー障壁が開かれ低い最大ゲート電圧が低くなるのを防止する。一実施形態では、絶縁材料150は約30nm~80nmの厚さ(T_{INS})を有する窒化物層である。

【0019】

50

ゲート電極 130 はまた、図 1 に示すようにゲート領域 120 の側壁 122、124 の少なくとも 1 つに沿って配置される。素子の電気的特性のより精密な制御は、ゲート領域 120 の側壁 122、124 上にだけゲート電極 130 を配置することにより実現される。この構成はゲート領域 120 の左右側面上の独立したゲートバイアスを提供する。ゲート電極 130 はまた、図 2 に示すようにゲート領域 120 の上面 126 を覆ってもよい。さらに別の実施形態では、ゲート電極 130 は図 3 に示すようにゲート誘電体層 160 によりゲート領域 120 から離間される。

【0020】

図 4 に、ノーマリーオフ型 HEMT の別の実施形態を示す。この実施形態によると、HEMT のゲート領域 120 は、ゲート電極 130 により横方向に互いに離間された 2 つの異なる部分 120'、120'' により形成される。ゲート領域をこのように 2 つの異なる柱またはフィン 120'、120'' に分離することにより、短チャネル効果は HEMT の振る舞いにそれほど悪影響を与えない。例えば、DIBL (ドレイン誘起障壁低下: drain-induced barrier lowering) を、HEMT の電流駆動能力に実質的に影響を与えることなく著しく低減することができる。ソースおよびドレイン電極は図 4 では見えない所にある。

10

【0021】

図 5 に、ゲート電極 130 により横方向に互いに離間された 3 つの異なる部分 120'、120''、120''' に分離されたゲート領域 120 を有するノーマリーオフ型 HEMT を示す。通常、ゲート領域 120 は任意の所望数の横方向に離間された部分に分離または分割されることができる。ソースおよびドレイン電極は図 5 では見えない所にある。

20

【0022】

図 6 に、ノーマリーオフ型 HEMT のさらに別の実施形態を示す。この実施形態によると、ゲート領域 120 は先細り側壁 122、124 を有する。特に、障壁領域 110 から見て外方に向くゲート領域 120 の上面 126 の幅 (W_{TOP}) は障壁領域 110 に接するゲート領域 120 の底面 128 の幅 (W_{BOT}) より狭い。一実施形態では、 W_{BOT} は W_{TOP} より少なくとも 4 倍大きい。ソースおよびドレイン電極は図 6 では見えない所にある。

【0023】

本明細書に記載のノーマリーオフ型 HEMT は、GaN 等の III-V 半導体材料の第 1 の領域を形成することにより作製されることができる。第 1 の領域は HEMT のチャネルを含むバッファ領域を形成する。第 1 の領域は、任意の好適な従来技術によって、例えばシリコン、サファイアまたは SiC 等の対応基板へのヘテロエピタキシーによって、あるいは AlN、Si 上にあるいは没食子酸リチウムまたは他の複合酸化物の上に第 1 の領域を形成することにより、形成されることができる。著しく格子不整合の基板については、その上に第 1 の (バッファ) 領域が形成される GaN または AlN 等の核生成層を設けることができる。次に AlGaN または InAlN 等の III-V 半導体材料の第 2 の領域が、任意の好適な従来技術、例えばエピタキシーによって第 1 の (バッファ) 領域上に形成される。第 2 の領域は、チャネル内の 2DEG の電荷を供給しショットキーゲート障壁として機能する HEMT の障壁領域を形成する。第 2 の (障壁) 領域は第 1 の (バッファ) 領域のバンドギャップより大きなバンドギャップを有する。

30

40

【0024】

次に、III-V 半導体材料の第 3 の領域が任意の好適な従来技術によって、例えば第 2 の (障壁) 領域が第 1 の (バッファ) 領域と第 3 の (ゲート) 領域間に挿入されるようにエピタキシーによって、第 2 の (障壁) 領域上に形成される。第 3 の (ゲート) 領域は、HEMT が正の閾値電圧を有するように、第 1 の (バッファ) 領域に形成されるチャネル内の 2DEG を空乏化するのに十分な厚さを有する。次に、ゲート電極が第 3 の (ゲート) 領域の少なくとも 1 つの側壁に隣接して形成される。ゲート電極は 1 つまたは複数の側壁上におよび / または第 3 の (ゲート) 領域の上面に配置されることができる。

【0025】

50

図7A - 図7Fに、ノーマリーオフ型HEMTを製造する一実施形態を示す。この実施形態によると、第3の(ゲート)領域が、図7Aに示すようにAlGaN等の障壁領域210上にGaNの(未パターン化)エピタキシャル層200を成長することにより形成される。障壁領域210はGaN等のバッファ領域220上に配置される。GaNエピタキシャル層200は約150nm~200nmの厚さ(T_G)を有してもよい。GaNのエピタキシャル層200は、図7Bに示すように例えばHEMTのゲート領域200'を形成するために従来のリソグラフィプロセスによってエッチングされる。GaNゲート領域は約200nm~500nmの幅(W_G)を有してもよい。

【0026】

GaNのエピタキシャル層200がエッチングされた後、ゲート領域200'と障壁領域210上に窒化物等の不活性化層230が堆積される。このようにして、ゲート領域200'と障壁領域110は両方とも図7Cに示すように不活性化層230により覆われる。次に、不活性化層230は例えばCMP(化学機械研磨)によって平坦化され、図7Dに示すようにゲート領域200'の上部が露出された後に停止する。次に、不活性化層230は、図7Eに示すようにゲート領域200'の各側壁202、204を部分的に露出させるためにエッチングされる。残りの絶縁材料230の厚さは(外縁キャパシタンス C_{f1} 、 C_{f2} を介して)HEMTの正の閾値電圧に影響を与えるのでエッチバック処理の精密な制御が望まれる。時限エッチング工程(timed etch process)を使用することができるか、あるいはそうでなければエッチング工程がいつ停止されなければならないかを判断するためにエッチング中に(その場)光学層厚さ測定を行うことができる。いずれにせよ、ゲート領域側壁202、204の上部は露出される。金属等の導電材料240は、図7Fに示すように残りの絶縁材料230により障壁領域110から離間されたゲート電極を形成するためにゲート領域200'の露出した側壁202、204(そして随意的に上面)に隣接して堆積される。

【0027】

図8A - 図8Eに、ノーマリーオフ型HEMTを製造する別の実施形態を示す。この実施形態によると、AlGaNの(未パターン化)エピタキシャル層300が図8Aに示すようにGaNバッファ層310上に成長される。次に、窒化物等の不活性化層320が図8Bに示すようにAlGaN障壁層300上に堆積される。開口322が、図8Cに示すようにAlGaN障壁層300の部分を露出させるように絶縁用不活性化材料320内でエッチングされる。GaNのエピタキシャル層330が、図8Dに示すようにゲート領域を形成するためにAlGaN障壁層300の露光部上の開口322内に選択的に成長される。ゲート領域330は、ゲート領域330の側壁332、334が部分的に露出されるように絶縁用不活性化材料320の厚さより厚い厚さを有する。金属等の導電材料340は、図8Eに示すように残りの絶縁材料320によりAlGaN障壁層300から離間されたゲート電極を形成するためにゲート領域330の露出した側壁332、334(そして随意的に上面)に隣接して堆積される。

【0028】

図9A - 図9Fに、ノーマリーオフ型HEMTを製造するさらに別の実施形態を示す。この実施形態によると、障壁領域は、図9Aに示すようにGaNバッファ層410上にAlGaNの(未パターン化)エピタキシャル層400を成長することにより形成される。次に、図9Bに示すように窒化物層420がAlGaN障壁層400上に堆積され、酸化物層430が窒化物層420上に堆積される。開口432が、図9Cに示すようAlGaN障壁層400の上部部分を露出させるために酸化物層430と窒化物層420を貫通してエッチングされる。次に、凹部402が、図9Dに示すようにAlGaN層400をエッチングすることによりAlGaN障壁層400の露出部に形成される。したがってAlGaN障壁層400は中間領域内の第1の厚さ(T_{B1})と他の場所の第2の厚さ(T_{B2})とを有し、 $T_{B2} > T_{B1}$ である。次に、図9Eに示すようにゲート領域を形成するためにGaNのエピタキシャル層440がAlGaN障壁層400の凹部上の開口432内に選択的に成長される。図9Fに示すように残りの窒化物層420によりAlGaN障

10

20

30

40

50

壁層 400 から離間されたゲート電極を形成するために、酸化物層 430 は除去され、金属等の導電材料 450 がゲート領域 440 の露出した側壁 442、444（そして随意的に上面）に隣接して堆積される。上述の製造実施形態の各々において、例えば図 3 に示すようにゲート電極が形成される前にゲート領域を覆うゲート誘電体を形成することができる。

【0029】

「下」、「下部」、「上」、「上部」等の空間的相対用語は、1つの構成要素の第2の構成要素に対する位置の説明を簡単にするために使用される。これらの用語は、添付図面に図示したものと異なる配向に加え素子の様々な配向を包含するように意図されている。さらに、「第1」、「第2」等の用語はまた様々な構成要素、領域、部分等を説明するために使用され、限定することを意図していない。同様の用語は本明細書を通し同様の構成要素を指す。

10

【0030】

本明細書で使用されるように、用語「有する」、「含有する」、「含む」等は、明示された要素または特徴の存在を示すが追加要素または追加特徴を排除しない開放型用語である。単数形式の冠詞は文脈が明確に示さない限り単数だけでなく複数形式のものを含むように意図される。

【0031】

本明細書に記載の様々な実施形態の特徴は特に明記しない限り互いに組み合わせられ得るということを理解すべきである。

20

【0032】

本明細書では特定の実施形態が例示され説明されたが、様々な代替のおよび/または等価な実施形態が本発明の範囲から逸脱することなく、上に示され説明された特定の実施形態を置換し得るということを当業者は理解することになる。本出願は、本明細書で検討された特定の実施形態のあらゆる適合化または変形をカバーするように意図されている。したがって本発明は特許請求の範囲とその等価物だけにより限定されるように意図されている。

【符号の説明】

【0033】

- 100：バッファ領域
- 110：障壁領域
- 120、120'、120''、120'''：ゲート領域
- 122、124：側壁
- 126：上面
- 128：底面
- 130：ゲート電極
- 140：ソース電極
- 142：ドレイン電極
- 150：絶縁材料
- 160：ゲート誘電体層
- 200：エピタキシャル層
- 200'：ゲート領域
- 202、204：側壁
- 210：障壁領域
- 220：バッファ領
- 230：不活性化層
- 240：導電材料
- 300：障壁層
- 310：バッファ層
- 320：不活性化材料

30

40

50

- 3 2 2 : 開口
 - 3 3 0 : ゲート領域
 - 3 3 2、3 3 4 : 側壁
 - 3 4 0 : 導電材料
 - 4 0 0 : 障壁層
 - 4 0 2 : 凹部
 - 4 1 0 : バッファ層
 - 4 2 0 : 窒化物層
 - 4 3 0 : 酸化物層
 - 4 3 2 : 開口
 - 4 4 0 : ゲート領域
 - 4 4 2、4 4 4 : 側壁
 - 4 5 0 : 導電材料
 - C_{f1} 、 C_{f2} : 外縁キャパシタンス
 - D : ドレイン
 - E_x : 垂直電界
 - E_y : 水平電界
 - S : ソース
 - T B 1 : 障壁層の第 1 の厚さ
 - T B 2 : 障壁層の第 2 の厚さ
 - T_G : エピタキシャル層の厚さ
 - T_{INS} : 絶縁材料の厚さ
 - W_G : ゲート領域の幅
 - W_{TOP} : 上面の幅
 - W_{BOT} : 底面の幅
- 【 図 1 】

10

20

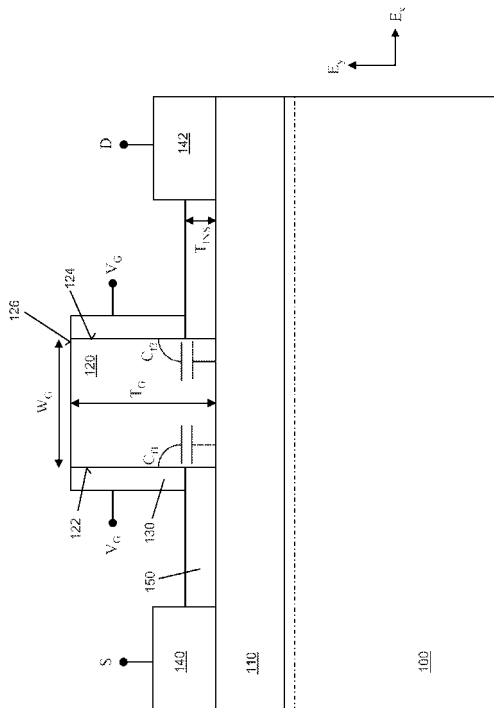


図 1

【 図 2 】

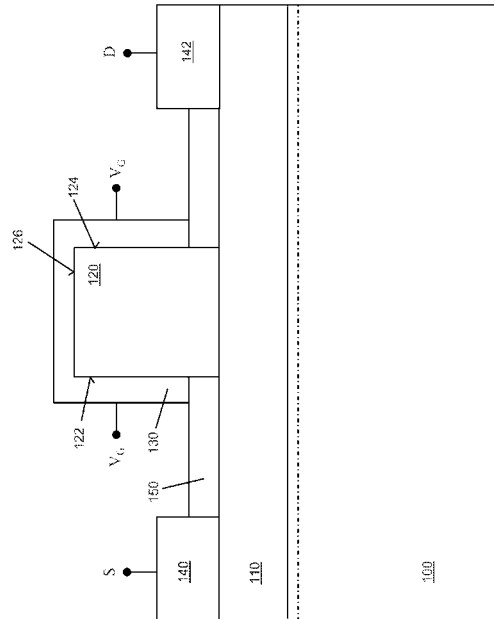


図 2

【 図 3 】

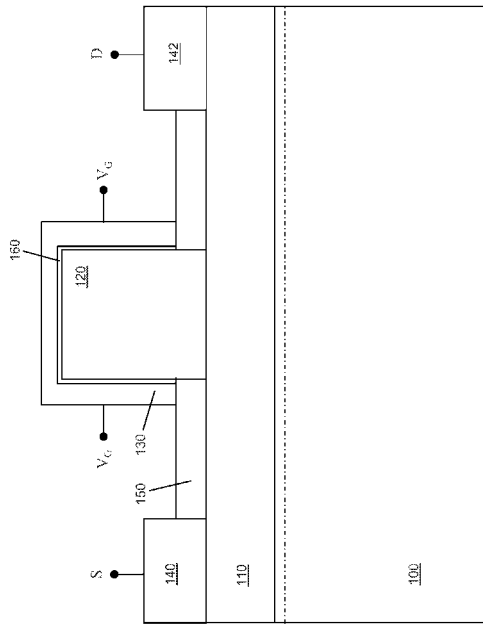


図 3

【 図 4 】

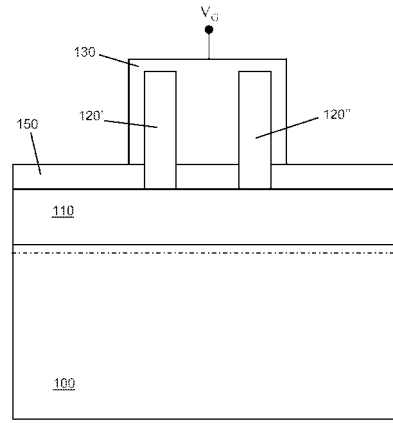


図 4

【 図 5 】

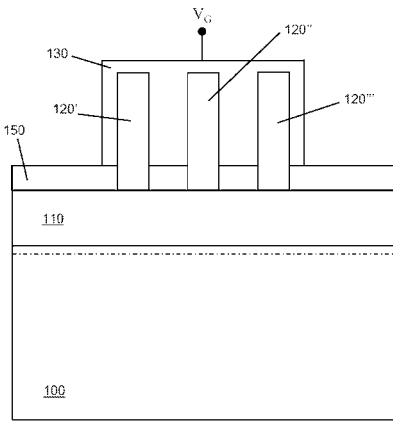


図 5

【 図 6 】

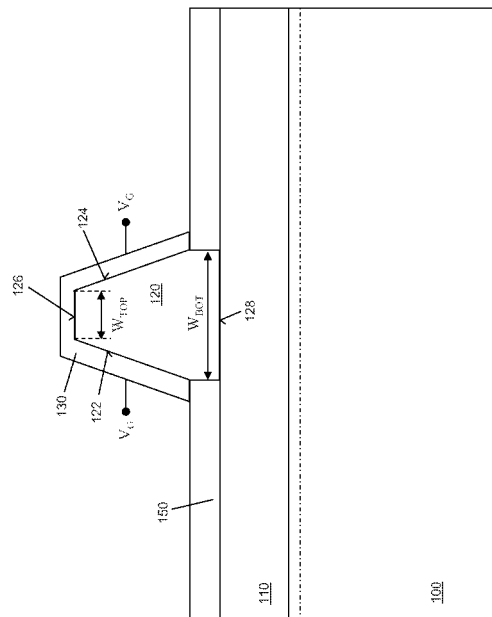


図 6

【 図 7 A - 7 F 】

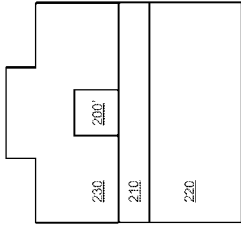


図 7C

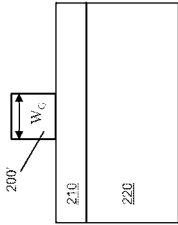


図 7B

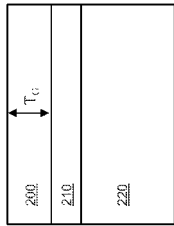


図 7A

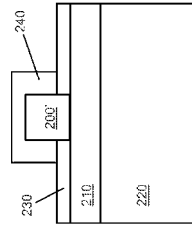


図 7F

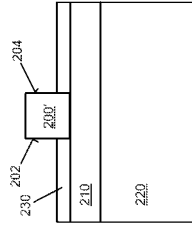


図 7E

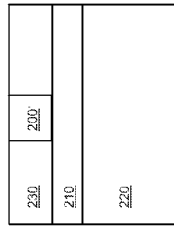


図 7D

【 図 8 A - 8 E 】

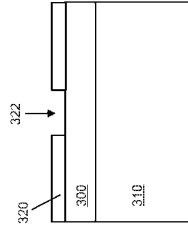


図 8C

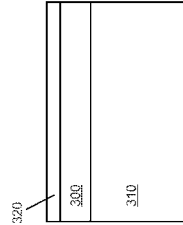


図 8B

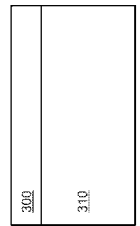


図 8A

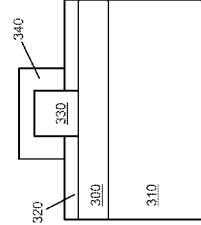


図 8E

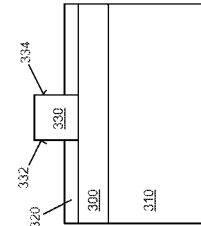


図 8D

【 図 9 A - 9 F 】

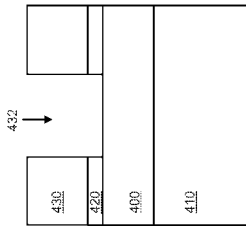


図 9C

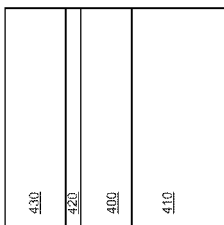


図 9B

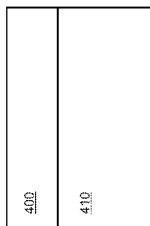


図 9A

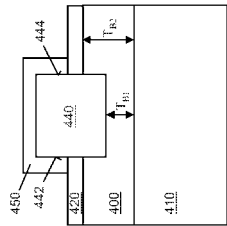


図 9F

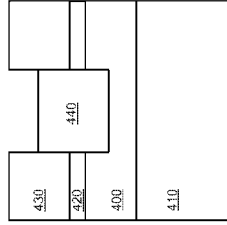


図 9E

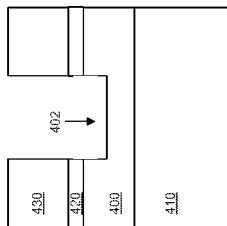


図 9D

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/78 (2006.01)

(72)発明者 ポッゾヴィーヴォ, ギアンマウロ

オーストリア国 フィラッハ 9 5 0 0 , タベルナーズシュトラッセ 5 / 1 3

Fターム(参考) 4M104 AA04 AA07 CC03 DD06 DD07 DD15 FF04 FF06 FF31 GG08
GG12
5F102 GB01 GC01 GD01 GD10 GJ02 GJ03 GJ10 GK04 GL04 GM04
GM08 GS03
5F140 AA00 BA01 BA02 BA06 BA09 BB06 BB18 BC12 BF42 BF44
CE07

【外国語明細書】

2012256864000001.pdf

2012256864000002.pdf

2012256864000003.pdf

2012256864000004.pdf