

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-203519

(P2012-203519A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl. F I テーマコード (参考)  
**G06F 9/48 (2006.01)** G06F 9/46 311F  
 G06F 9/46 452G

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2011-65705 (P2011-65705)  
 (22) 出願日 平成23年3月24日 (2011.3.24)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (74) 代理人 100112656  
 弁理士 宮田 英毅  
 (72) 発明者 柴田 章博  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 藤崎 浩一  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

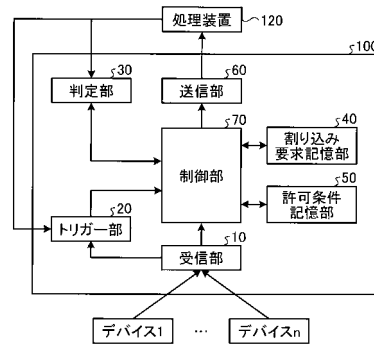
(54) 【発明の名称】 制御装置およびプログラム

(57) 【要約】

【課題】 処理装置の消費電力を低減可能な制御装置を提供する。

【解決手段】 実施形態の制御装置は、1または複数の処理を実行する処理装置に実行させる割り込み処理の要求を示す割り込み要求を受信する受信部と、割り込み要求を記憶する記憶部と、処理装置の状態を判定する判定部と、割り込み要求を処理装置へ送信する送信部と、制御部とを備える。制御部は、判定部により、処理装置が処理を実行していないアイドル状態であると判定され、所定の条件が成立しない場合は、受信部で受信した割り込み要求を記憶部に登録し、所定の条件が成立したときに、記憶部に記憶された割り込み要求を処理装置へ送信するように送信部を制御する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

1 または複数の処理を実行する処理装置に実行させる割り込み処理の要求を示す割り込み要求を受信する受信部と、

前記割り込み要求を記憶する記憶部と、

前記処理装置の状態を判定する判定部と、

前記割り込み要求を前記処理装置へ送信する送信部と、

前記判定部により、前記処理装置が前記処理を実行していないアイドル状態であると判定され、所定の条件が成立しない場合は、前記受信部で受信した前記割り込み要求を前記記憶部に登録し、前記所定の条件が成立したときに、前記記憶部に記憶された前記割り込み要求を前記処理装置へ送信するように前記送信部を制御する制御部と、を備える、  
ことを特徴とする制御装置。

10

**【請求項 2】**

前記所定の条件は、前記割り込み要求が前記記憶部に記憶され続ける時間長を示す記憶時間が所定値を超えることである、

ことを特徴とする請求項 1 に記載の制御装置。

**【請求項 3】**

前記制御部は、少なくとも 1 つの時刻を示すタイマー情報が示す前記時刻に到達するたびに、前記判定部に対して前記処理装置の状態を判定させ、前記判定部により前記処理装置が前記アイドル状態であると判定され、かつ、前記記憶時間が前記所定値以下の場合は、前記記憶時間が前記所定値を超えるときの時刻と、次に前記タイマー情報が示す前記時刻との比較結果に応じて、次に前記タイマー情報が示す前記時刻を変更する、

20

ことを特徴とする請求項 2 に記載の制御装置。

**【請求項 4】**

前記制御部は、前記記憶時間が前記所定値を超えるときの時刻の方が、次に前記タイマー情報が示す前記時刻よりも早い場合は、前記記憶時間が前記所定値を超えるときの時刻を、次に前記タイマー情報が示す前記時刻として設定する、

ことを特徴とする請求項 3 に記載の制御装置。

**【請求項 5】**

前記記憶部は、前記割り込み要求ごとに、前記所定値を対応づけて記憶し、

30

前記所定の条件は、前記割り込み要求の前記記憶時間が、当該割り込み要求に対応する前記所定値を超えることである、

ことを特徴とする請求項 2 に記載の制御装置。

**【請求項 6】**

前記所定の条件は、前記記憶部に記憶された前記割り込み要求の数が所定数を超えることである、

ことを特徴とする請求項 1 に記載の制御装置。

**【請求項 7】**

前記所定の条件は、電源の供給能力が、しきい値を超えることである、

ことを特徴とする請求項 1 に記載の制御装置。

40

**【請求項 8】**

1 または複数の処理を実行する処理装置に実行させる割り込み処理の要求を示す割り込み要求を受信する第 1 ステップと、

前記処理装置の状態を判定する第 2 ステップと、

前記第 2 ステップで、前記処理装置が前記処理を実行していないアイドル状態であると判定し、所定の条件が成立しない場合は、前記割り込み要求を記憶部に登録する第 3 ステップと、

前記所定の条件が成立した場合に、前記記憶部に記憶された前記割り込み要求を前記処理装置へ送信する第 4 ステップと、をコンピュータに実行させるためのプログラム。

**【発明の詳細な説明】**

50

**【技術分野】****【0001】**

本発明の実施形態は、制御装置およびプログラムに関する。

**【背景技術】****【0002】**

従来、割り込み処理が発生するたびに、1または複数の処理を実行可能な処理装置（例えばマイクロプロセッサ）に対して、当該割り込み処理を実行させる技術が知られている。このような技術では、マイクロプロセッサが処理を実行していないアイドル状態において割り込み処理が発生した場合、マイクロプロセッサは、アイドル状態から、当該割り込み処理を実行するアクティブ状態に遷移する。そして、マイクロプロセッサは当該割り込み処理を実行した後、再びアイドル状態に遷移する。

10

**【先行技術文献】****【非特許文献】****【0003】**

**【非特許文献1】** “ARM926EJ-S テクニカルリファレンスマニュアル 12.1.1” <http://www.jp.arm.com/document/manual/mdl.cgi>

**【非特許文献2】** “i.MX51 EVK Supply Current Measurements.” [http://www.freescale.com/webapp/sps/site/prod\\_summary.jsp?code=i.MX515&fpp=1&tab=Documentation\\_tab](http://www.freescale.com/webapp/sps/site/prod_summary.jsp?code=i.MX515&fpp=1&tab=Documentation_tab)”

**【発明の概要】****【発明が解決しようとする課題】**

20

**【0004】**

ここで、マイクロプロセッサがアイドル状態からアクティブ状態、またはアクティブ状態からアイドル状態へ遷移するときは、その遷移に伴う処理が発生することにより電力が消費される。このため、割り込み処理が発生するたびに、当該割り込み処理をプロセッサに実行させる技術では、マイクロプロセッサの状態が遷移する回数が多いので、プロセッサの消費電力が増大するという問題がある。本発明が解決しようとする課題は、処理装置の消費電力を低減可能な制御装置およびプログラムを提供することである。

**【課題を解決するための手段】****【0005】**

実施形態の制御装置は、1または複数の処理を実行する処理装置に実行させる割り込み処理の要求を示す割り込み要求を受信する受信部と、割り込み要求を記憶する記憶部と、処理装置の状態を判定する判定部と、割り込み要求を処理装置へ送信する送信部と、制御部とを備える。制御部は、判定部により、処理装置が処理を実行していないアイドル状態であると判定され、所定の条件が成立しない場合は、受信部で受信した割り込み要求を記憶部に登録し、所定の条件が成立したときに、記憶部に記憶された割り込み要求を処理装置へ送信するように送信部を制御する。

30

**【0006】**

また、実施形態のプログラムは、1または複数の処理を実行する処理装置に実行させる割り込み処理の要求を示す割り込み要求を受信する第1ステップと、処理装置の状態を判定する第2ステップと、第2ステップで、処理装置が前記処理を実行していないアイドル状態であると判定し、所定の条件が成立しない場合は、割り込み要求を記憶部に登録する第3ステップと、所定の条件が成立した場合に、割り込み要求を処理装置へ送信する第4ステップと、をコンピュータに実行させるためのプログラムである。

40

**【図面の簡単な説明】****【0007】**

**【図1】** 第1実施形態の制御装置の一例を示すブロック図。

**【図2】** トリガー部の一例を示すブロック図。

**【図3】** 判定部の一例を示すブロック図。

**【図4】** 判定部の一例を示すブロック図。

**【図5】** 割り込み要求記憶部に記憶される情報の一例を示す図。

50

- 【図 6】 割り込み要求記憶部に記憶される情報の一例を示す図。
- 【図 7】 許可条件記憶部に記憶される許可条件の一例を示す図。
- 【図 8】 許可条件記憶部に記憶される許可条件の一例を示す図。
- 【図 9】 制御部が実行する決定処理の一例を示すフローチャート。
- 【図 10】 第 2 実施形態の制御装置の一例を示すブロック図。
- 【図 11】 電源状態検出部の一例を示すブロック図。
- 【図 12】 電源状態検出部の一例を示すブロック図。
- 【図 13】 許可条件記憶部に記憶される許可条件の一例を示す図。
- 【図 14】 変形例の説明図。
- 【図 15】 変形例の制御装置の一例を示すブロック図。
- 【発明を実施するための形態】

10

#### 【0008】

(第 1 実施形態)

図 1 は、第 1 実施形態の制御装置 100 の概略構成の一例を示すブロック図である。制御装置 100 は、複数のデバイス（デバイス 1 ~ デバイス n）の各々から、当該デバイスによる割り込み処理の要求（「割り込み要求」と呼ぶ）を受信し、その受信した割り込み要求を、1 または複数の処理を実行する処理装置 120 に送信するか否かを決定する。処理装置 120 は、例えば CPU（Central Processing Unit）で構成され得る。本実施形態では、制御装置 100 は、処理装置 120 が処理を実行しているアクティブ状態の場合は、受信した割り込み要求を処理装置 120 へ送信する一方、処理装置 120 が何の処理も実行していないアイドル状態の場合は、所定の条件が成立したときにのみ、受信した割り込み要求を処理装置 120 へ送信する。以下、具体的な内容を説明する。

20

#### 【0009】

図 1 に示すように、制御装置 100 は、受信部 10 と、トリガー部 20 と、判定部 30 と、割り込み要求記憶部 40 と、許可条件記憶部 50 と、送信部 60 と、制御部 70 とを有する。ここでは、制御装置 100 の各部（10、20、30、40、50、60、70）は、半導体集積回路で構成される。

#### 【0010】

受信部 10 は、複数のデバイス（デバイス 1 ~ デバイス n）の各々から、割り込み要求を受信する。トリガー部 20 は、一定の条件が成立したときに、制御部 70 を起動させる。図 2 は、トリガー部 20 の構成の一例を示すブロック図である。図 2 に示すように、トリガー部 20 は、トリガー送信部 22 を含んで構成される。トリガー送信部 22 は、処理装置 120 から、当該処理装置 120 の状態が変化したことを通知されたときに、制御部 70 を起動させるためのトリガー信号を制御部 70 へ送信する。処理装置 120 は、アクティブ状態からアイドル状態に変化したとき、または、アイドル状態からアクティブ状態に変化したときに、状態の変化を知らせるための状態変化信号をトリガー送信部 22 へ通知する。

30

#### 【0011】

また、トリガー送信部 22 は、少なくとも 1 つの時刻を示すタイマー情報が示す時刻に到達するたびに、トリガー信号を制御部 70 へ送信する。タイマー情報は、外部のタイマー情報管理部 80 が備えるメモリ（不図示）に記憶される。タイマー情報管理部 80 は、タイマー情報が示す時刻に到達するたびに、当該時刻に到達したことを知らせるためのタイマー信号をトリガー送信部 22 へ通知する。

40

#### 【0012】

さらに、トリガー送信部 22 は、受信部 10 から、割り込み要求を受信したことを通知されたときに、トリガー信号を制御部 70 へ送信する。受信部 10 は、各デバイス（デバイス 1 ~ デバイス n）から割り込み要求を受信したときに、割り込み要求を受信したことを知らせるための受信信号をトリガー送信部 22 へ通知する。以上より、本実施形態のトリガー部 20 は、処理装置 120 から状態変化信号を受信したとき、タイマー情報管理部 80 からタイマー信号を受信したとき、受信部 10 から受信信号を受信したときのうちの

50

何れかを契機として制御部 70 を起動させる。

【0013】

図 1 に戻って説明を続ける。判定部 30 は、処理装置 120 がアクティブ状態なのかアイドル状態なのかを判定する。例えば図 3 に示すように、判定部 30 は、状態検出部 32 を含んで構成されてもよい。図 3 の例では、状態検出部 32 は、制御部 70 からの要求に応じて（後述）、処理装置 120 にアクセスすることで、処理装置 120 がアクティブ状態およびアイドル状態のうちの何れであるのかを検出（判定）する。

【0014】

また、例えば図 4 に示すように、判定部 30 は、状態受信部 34 と保持部 36 とを含んで構成されてもよい。図 4 の例では、処理装置 120 は、アクティブ状態からアイドル状態に変化したとき、または、アイドル状態からアクティブ状態に変化したときに、状態の変化を知らせるための状態変化信号を状態受信部 34 へ送信する。状態受信部 34 は、処理装置 120 から受信した状態変化信号から、処理装置 120 がアクティブ状態なのかアイドル状態なのかを判定する。そして、状態受信部 34 は、処理装置 120 の状態（アクティブ状態またはアイドル状態）を示す状態情報を保持部 36 に保持させる。保持部 36 に保持される状態情報は、状態受信部 34 が上述の状態変化信号を受信するたびに更新される。後述するように、制御部 70 は、保持部 36 に保持された状態情報を読み出すことで、処理装置 120 の状態を把握することができる。

10

【0015】

再び図 1 に戻って説明を続ける。割り込み要求記憶部 40 は、受信部 10 で受信した割り込み要求を記憶する。図 5 は、割り込み要求記憶部 40 に記憶される情報の一例を示す図である。図 5 の例において、「USB キーボード」は、USB キーボードの入力により発生した割り込み要求を示し、「ネットワーク」は、通信インタフェース装置のパケット送受信により発生した割り込み要求を示す。また、例えば図 6 に示すように、割り込み要求記憶部 40 は、各デバイスに対応するビットを記憶することもできる。例えば「USB キーボード」に対応するビットが「1」の場合は、USB キーボードの入力により発生した割り込み要求が割り込み要求記憶部 40 に保持されていることを示す。要するに、割り込み要求記憶部 40 は、割り込み要求を識別するための情報を記憶するものであればよい。

20

【0016】

図 1 の許可条件記憶部 50 は、割り込み要求の送信が許可される条件を示す許可条件を記憶する。図 7 は、許可条件記憶部 50 に記憶される許可条件の一例を示す。図 7 の例では、許可条件は、割り込み要求が割り込み要求記憶部 40 に記憶され続ける時間長を示す記憶時間が 100 ms を超えることである。図 7 の例では、割り込み要求記憶部 40 に複数の割り込み要求が記憶されている場合は、最初に記憶された割り込み要求の記憶時間が 100 ms を超えた時点で、許可条件が成立する。

30

【0017】

なお、これに限らず、許可条件記憶部 50 に記憶される許可条件の種類は任意である。例えば許可条件記憶部 50 は図 8 の許可条件を記憶することもできる。図 8 の例では、許可条件記憶部 50 は、2 つの条件を記憶しており、2 つの条件のうち何れかの条件が成立すれば、許可条件は成立する。つまり、2 つの条件の論理和に基づいて、許可条件の成立の可否を判定している。なお、これに限らず、例えば 2 つの条件の論理積に基づいて、許可条件の成立の可否を判定してもよい。また、論理和および論理積を取るべき条件の数や種類も任意である。図 8 の例では、上段の条件は、記憶時間が 100 ms を超えて、かつ、割り込み要求記憶部 40 に記憶された割り込み要求の数が 4 つを超えることである。一方、下段の条件は、キーボードの入力により発生した割り込み要求が割り込み要求記憶部 40 に記憶されていることである。

40

【0018】

図 1 の送信部 60 は、制御部 70 の制御の下、受信部 10 で受信した割り込み要求や割り込み要求記憶部 40 に記憶された割り込み要求を処理装置 120 へ送信する。詳細な内

50

容については後述する。

【 0 0 1 9 】

制御部 7 0 は、上述のトリガー信号を受けて動作を開始する。制御部 7 0 は、割り込み要求を処理装置 1 2 0 へ送信するか否かを決定する決定処理を実行する。

【 0 0 2 0 】

図 9 は、制御部 7 0 が実行する決定処理の一例を示すフローチャートである。まず制御部 7 0 は、処理装置 1 2 0 がアクティブ状態であるか否かを判断する（ステップ S 1）。より具体的には以下のとおりである。判定部 3 0 が図 3 の構成の場合、制御部 7 0 は、状態検出部 3 2 に対して、処理装置 1 2 0 の状態を通知することを要求する。この要求を受けた状態検出部 3 2 は、処理装置 1 2 0 にアクセスして処理装置 1 2 0 の状態を検出し、その検出結果を制御部 7 0 へ通知する。制御部 7 0 は、状態検出部 3 2 から通知された検出結果から、処理装置 1 2 0 がアクティブ状態であるか否かを判断する。また、判定部 3 0 が図 4 の構成の場合、制御部 7 0 は、保持部 3 6 に保持された状態情報を読み出し、その読み出した状態情報から、処理装置 1 2 0 がアクティブ状態であるか否かを判断する。

【 0 0 2 1 】

ステップ S 1 の結果が肯定の場合（処理装置 1 2 0 がアクティブ状態であると判断された場合）、制御部 7 0 は、割り込み要求記憶部 4 0 に記憶された割り込み要求を処理装置 1 2 0 に送信するように送信部 6 0 を制御する（ステップ S 2）。また、制御部 7 0 は、受信部 1 0 で割り込み要求を受信したことを契機として動作を開始した場合は、当該受信した割り込み要求を処理装置 1 2 0 へ送信するように送信部 6 0 を制御する。そして、決定処理は終了して制御部 7 0 の動作は停止する。

【 0 0 2 2 】

ステップ S 1 の結果が否定の場合（処理装置 1 2 0 がアイドル状態であると判断された場合）、制御部 7 0 は、受信部 1 0 で割り込み要求を受信したことを契機として動作を開始したのか否かを確認する。つまりは、制御部 7 0 は、受信部 1 0 で割り込み要求を受信したのか否かを確認する（ステップ S 3）。

【 0 0 2 3 】

ステップ S 3 の結果が肯定の場合、制御部 7 0 は、許可条件記憶部 5 0 に記憶された許可条件を参照して、許可条件が成立しているか否かを判断する（ステップ S 4）。本実施形態では、許可条件記憶部 5 0 は、図 7 に示す許可条件を記憶しているものとする。ステップ S 4 の結果が肯定の場合、制御部 7 0 は、割り込み要求記憶部 4 0 に記憶された割り込み要求、および、受信部 1 0 で受信した割り込み要求を処理装置 1 2 0 へ送信するように送信部 6 0 を制御する（ステップ S 5）。そして、決定処理は終了して制御部 7 0 の動作は停止する。

【 0 0 2 4 】

上述のステップ S 4 の結果が否定の場合、制御部 7 0 は、受信部 1 0 で受信した割り込み要求を割り込み要求記憶部 4 0 に登録し（ステップ S 6）、登録した割り込み要求の記憶時間の計測を開始する。なお、上述のステップ S 4 においては、受信部 1 0 で受信した割り込み要求を割り込み要求記憶部 4 0 に登録せずに、許可条件の成立の可否を判断しているが、これに限らず、受信部 1 0 で受信した割り込み要求を割り込み要求記憶部 4 0 に登録したうえで、許可条件の成立の可否を判断してもよい。

【 0 0 2 5 】

そして、制御部 7 0 は、割り込み要求記憶部 4 0 に最初に記憶された割り込み要求の記憶時間が 1 0 0 m s を超えるときの時刻（図 7 の許可条件が成立するときの時刻）と、次にタイマー情報が示す時刻との比較結果に応じて、タイマー情報を設定する（ステップ S 7）。より具体的には、制御部 7 0 は、割り込み要求の記憶時間が 1 0 0 m s を超えるときの時刻の方が、次にタイマー情報が示す時刻よりも早い場合は、割り込み要求の記憶時間が 1 0 0 m s を超えるときの時刻を、次にタイマー情報が示す時刻として設定する。そして、その設定したタイマー情報をタイマー情報管理部 8 0 に通知する。これにより、次にタイマー情報が示す時刻に到達したときは、同時に許可条件が成立することになる。ス

10

20

30

40

50

ステップ S 7 が完了すると決定処理は終了して制御部 7 0 の動作は停止する。

【 0 0 2 6 】

一方、上述のステップ S 3 の結果が否定の場合も、制御部 7 0 は、許可条件が成立しているか否かを判断する（ステップ S 8）。そして、ステップ S 8 の結果が肯定の場合は、処理は上述のステップ S 5 に移行する。ステップ S 8 の結果が否定の場合は、決定処理は終了して制御部 7 0 の動作は停止する。

【 0 0 2 7 】

以上に説明したように、本実施形態の制御装置 1 0 0 は、処理装置 1 2 0 がアイドル状態の場合は、所定の条件が成立するまで、各デバイスから受信した割り込み要求を割り込み要求記憶部 4 0 に記憶させ、所定の条件が成立したときに（上述の許可条件が成立、または、処理装置 1 2 0 がアクティブ状態に遷移）、割り込み要求記憶部 4 0 に記憶された割り込み要求や受信部 1 0 で受信した割り込み要求を一斉に処理装置 1 2 0 へ送信する。複数の割り込み要求を受けた処理装置 1 2 0 は、アイドル状態からアクティブ状態に遷移して、複数の割り込み処理を連続して実行する。すなわち、本実施形態によれば、アイドル時間を延ばす（長くする）ことになるので、処理装置 1 2 0 の平均消費電力を低減できるという有利な効果を奏する。なお、所定の条件が成立したときに、要求記憶部 4 0 に記憶された割り込み要求がひとつのみであっても、アイドル時間を延ばすことになるので、複数の割り込み要求が要求記憶部 4 0 に記憶されていない場合であっても、アイドル時間が長くなり、平均消費電力を低減できるという有利な効果を奏する。

【 0 0 2 8 】

（第 2 実施形態）

第 2 実施形態では、処理装置 1 2 0、制御装置 1 0 0 および各デバイスが搭載された装置（例えば PC などの端末装置）の電源の供給能力がしきい値を超えることを許可条件として採用している点で第 1 実施形態と相違する。以下、具体的な内容を説明する。なお、第 1 実施形態と共通する部分については、同一の符号を付して適宜に説明を省略する。

【 0 0 2 9 】

図 1 0 は、第 2 実施形態の制御装置 2 0 0 の概略構成の一例を示すブロック図である。制御装置 2 0 0 は、供給能力検出部 9 0 をさらに備える点で第 1 実施形態と相違する。供給能力検出部 9 0 は、上記装置の電源の供給能力を検出する。本実施形態では、供給能力検出部 9 0 は、上記装置の電源であるバッテリーに残存する電荷の総量（バッテリー残量と呼ぶ）を検出する。例えば図 1 1 に示すように、供給能力検出部 9 0 は、バッテリー残量検出部 9 2 を含んで構成されてもよい。図 1 1 の例では、バッテリー残量検出部 9 2 は、制御部 7 0 からの要求に応じて、不図示のバッテリーにアクセスしてバッテリー残量を検出し、その検出したバッテリー残量を制御部 7 0 へ通知する。

【 0 0 3 0 】

また、例えば図 1 2 に示すように、供給能力検出部 9 0 は、バッテリー残量受信部 9 4 と保持部 9 6 とを含んで構成されてもよい。図 1 1 の例では、バッテリー残量受信部 9 4 は、不図示のバッテリーからバッテリー残量を受信し、その受信したバッテリー残量を保持部 9 6 に保持させる。保持部 9 6 に保持されるバッテリー残量は、バッテリー残量受信部 9 4 がバッテリー残量を受信するたびに更新される。制御部 7 0 は、保持部 9 6 に保持されたバッテリー残量を読み出すことで、バッテリー残量を把握することができる。

【 0 0 3 1 】

図 1 3 は、第 2 実施形態の許可条件記憶部 5 0 に記憶される許可条件の一例を示す図である。図 1 3 の例では、許可条件記憶部 5 0 は、4 つの条件を記憶しており、4 つの条件のうち何れかの条件が成立すれば、許可条件は成立する。図 1 3 の例では、第 1 段目の条件は、電源の種類が DC 電源（直流電源）であることである。第 2 段目の条件は、バッテリー残量が 5 0 % を超えることである。第 3 段目の条件は、バッテリー残量が 2 0 % を超えて、かつ、記憶時間が 1 0 0 m s を超えることである。第 4 段目の条件は、バッテリー残量が 5 % を超えるとともに、記憶時間が 2 0 0 m s を超え、かつ、割り込み要求記憶部 4 0 に記憶された割り込み要求の数が 3 つを超えることである。

10

20

30

40

50

## 【 0 0 3 2 】

次に、図 9 を参照しながら、制御部 7 0 が実行する決定処理について説明する。供給能力検出部 9 0 が図 1 1 の構成の場合、図 9 のステップ S 4 およびステップ S 8 の各々において、制御部 7 0 は、供給能力検出部 9 0 に対して、バッテリー残量を通知することを要求する。この要求を受けたバッテリー残量検出部 9 2 は、不図示のバッテリーにアクセスしてバッテリー残量を検出し、その検出したバッテリー残量を制御部 7 0 へ通知する。制御部 7 0 は、バッテリー残量検出部 9 2 から通知されたバッテリー残量、割り込み要求記憶部 4 0 に記憶された割り込み要求の記憶時間および割り込み要求の数に基づいて、許可条件記憶部 5 0 に記憶された許可条件が成立しているか否かを判断する。

## 【 0 0 3 3 】

また、供給能力検出部 9 0 が図 1 2 の構成の場合、図 9 のステップ S 4 およびステップ S 8 の各々において、制御部 7 0 は、保持部 9 6 に保持されたバッテリー残量を読み出し、その読み出したバッテリー残量、割り込み要求記憶部 4 0 に記憶された割り込み要求の記憶時間および割り込み要求の数に基づいて、許可条件記憶部 5 0 に記憶された許可条件が成立しているか否かを判断する。その他の処理の内容は第 1 実施形態と同様であるので詳細な説明は省略する。

## 【 0 0 3 4 】

本実施形態においても、制御装置 2 0 0 は、処理装置 1 2 0 がアイドル状態の場合は、所定の条件が成立するまで、各デバイスから受信した割り込み要求を割り込み要求記憶部 4 0 に記憶させ、所定の条件が成立したときに、割り込み要求記憶部 4 0 に記憶された割り込み要求や受信部 1 0 で受信した割り込み要求を一斉に処理装置 1 2 0 へ送信するので、処理装置 1 2 0 の消費電力を低減できるという有利な効果を奏する。

## 【 0 0 3 5 】

以上、本発明の実施形態を説明したが、上述の各実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

## 【 0 0 3 6 】

(変形例 1)

上述の許可条件記憶部 5 0 に記憶される許可条件は任意であり、例えば、割り込み要求の数が 2 つであることを許可条件とすることもできる。以下では、割り込み要求記憶部 4 0 に割り込み要求が存在しない状態の下、第 1 実施形態の制御装置 1 0 0 に対して、ある割り込み要求(第 1 の割り込み要求と呼ぶ)が送信された後に、他の割り込み要求(第 2 の割り込み要求と呼ぶ)が送信される場合を例に挙げて説明する(併せて図 9 参照)。

## 【 0 0 3 7 】

まず、受信部 1 0 で第 1 の割り込み要求を受信したとき、制御部 7 0 は動作を開始して上述の決定処理を実行する。ここでは、処理装置 1 2 0 はアイドル状態とする。したがって、図 9 のステップ S 1 の結果は否定、ステップ S 3 の結果は肯定となり、処理はステップ S 4 に移行する。この段階では、割り込み要求記憶部 4 0 に記憶された割り込み要求は存在せず、第 1 の割り込み要求を受信したのみであるので、割り込み要求の数は「1」となり、上述の許可条件(割り込み要求の数は 2 つ)は成立せずに、処理はステップ S 6 に移行する。なお、処理装置 1 2 0 がアクティブ状態の場合(図 9 のステップ 1 の結果が肯定の場合)、制御部 7 0 は、第 1 の割り込み要求を処理装置 1 2 0 へ送信するように送信部 6 0 を制御する(図 9 のステップ S 2)。

## 【 0 0 3 8 】

ステップ S 6 において、制御部 7 0 は、受信部 1 0 で受信した割り込み要求 1 を割り込み要求記憶部 4 0 に登録する。この例では、図 9 のステップ S 7 の処理は行われずに、決定処理は終了して制御部 7 0 の動作は停止する。

## 【 0 0 3 9 】

その後、受信部 10 で第 2 の割り込み要求を受信したとき、制御部 70 は動作を開始して上述の決定処理を実行する。上記と同様に、処理装置 120 はアイドル状態とする。したがって、ステップ S 1 の結果は否定、ステップ S 3 の結果は肯定となり、処理はステップ S 4 に移行する。ここでは、割り込み要求記憶部 40 に第 1 の割り込み要求が記憶され、受信部 10 で第 2 の割り込み要求を受信したので、割り込み要求の数は「2」となり、上述の許可条件は成立する。したがって、処理はステップ S 5 に移行し、制御部 70 は、受信した第 2 の割り込み要求と、割り込み要求記憶部 40 に記憶された第 1 の割り込み要求とを処理装置 120 へ送信するように送信部 60 を制御する。なお、処理装置 120 がアクティブ状態の場合（図 9 のステップ 1 の結果が肯定の場合）も、制御部 70 は、受信した第 2 の割り込み要求と、割り込み要求記憶部 40 に記憶された第 1 の割り込み要求とを処理装置 120 へ送信するように送信部 60 を制御する（図 9 のステップ S 2）。

10

**【0040】**

(変形例 2)

例えば割り込み要求ごとに、許可条件が成立する記憶時間（しきい値時間と呼ぶ）が個別に設定されてもよい。いま、キーボードの入力により発生する割り込み要求 1 に対応するしきい値時間が  $t_1$  に設定され、マウスの入力により発生する割り込み要求 2 に対応するしきい値時間が  $t_2$  ( $< t_1$ ) に設定される場合を想定する。ここでは、割り込み要求記憶部 40 に記憶された何れかの割り込み要求の記憶時間が、当該割り込み要求に対応するしきい値時間を越えることが許可条件であるとする。

20

**【0041】**

以下では、割り込み要求記憶部 40 に割り込み要求が存在しない状態の下、第 1 実施形態の制御装置 100 に対して、上述の割り込み要求 1 が送信された後に、上述の割り込み要求 2 が送信される場合を例に挙げて説明する（併せて図 9 参照）。まず、受信部 10 で割り込み要求 1 を受信したとき、制御装置 100 は動作を開始して上述の決定処理を実行する。ここでは、処理装置 120 はアイドル状態とする。このため、図 9 のステップ S 1 の結果は否定、ステップ S 3 の結果は肯定となり、処理はステップ S 4 に移行する。この段階では、割り込み要求記憶部 40 に割り込み要求は存在しないので、上述の許可条件は成立せずに、処理はステップ S 6 に移行する。なお、処理装置 120 がアクティブ状態の場合（図 9 のステップ 1 の結果が肯定の場合）、制御部 70 は、受信した割り込み要求 1 を処理装置 120 へ送信するように送信部 60 を制御する（図 9 のステップ S 2）。

30

**【0042】**

ステップ S 6 において、制御部 70 は、受信部 10 で受信した割り込み要求 1 を割り込み要求記憶部 40 に登録する。この例では、割り込み要求記憶部 40 には、割り込み要求と、当該割り込み要求のしきい値時間とが対応付けられて記憶される。次に、制御部 70 は、割り込み要求 1 の記憶時間が、対応するしきい値時間  $t_1$  を越えるときの時刻と、次にタイマー情報が示す時刻との比較結果に応じて、タイマー情報を設定する（ステップ S 7）。ここでは、割り込み要求 1 の記憶時間が、対応するしきい値時間  $t_1$  を越えるときの時刻の方が、次にタイマー情報が示す時刻よりも早いものとする。したがって、制御部 70 は、割り込み要求 1 の記憶時間が、対応するしきい値時間  $t_1$  を越えるときの時刻、つまりは、現在の時刻から時間長  $t_1$  を経過した時点での時刻を、次にタイマー情報が示す時刻として設定する。そして、決定処理が終了して制御部 70 の動作は停止する。

40

**【0043】**

その後、受信部 10 で割り込み要求 2 を受信したとき、制御部 70 は動作を開始して上述の決定処理を実行する。上記と同様に、処理装置 120 はアイドル状態とする。したがって、ステップ S 1 の結果は否定、ステップ S 3 の結果は肯定となり、処理はステップ S 4 に移行する。ここでは、割り込み要求記憶部 40 に割り込み要求 1 が記憶されているが、割り込み要求 1 の記憶時間は、当該割り込み要求 1 に対応するしきい値時間  $t_1$  を経過していないものとする。このため、許可条件は成立せずに、処理はステップ S 6 に移行する。なお、処理装置 120 がアクティブ状態の場合（ステップ 1 の結果が肯定の場合）、制御部 70 は、受信した割り込み要求 2 と、割り込み要求記憶部 40 に記憶された割り込

50

み要求 1 とを処理装置 120 へ送信するように送信部 60 を制御する（図 9 のステップ S2）。

【0044】

ステップ S6 において、制御部 70 は、受信部 10 で受信した割り込み要求 2 を割り込み要求記憶部 40 に登録する。次に、制御部 70 は、割り込み要求 2 の記憶時間が、対応するしきい値時間  $t_2$  を越えるときの時刻と、次にタイマー情報が示す時刻、つまりは、割り込み要求 1 の記憶時間がしきい値時間  $t_1$  を越えるときの時刻との比較結果に応じて、タイマー情報を設定する（ステップ S7）。ここでは、図 14 に示すように、割り込み要求 2 の記憶時間がしきい値時間  $t_2$  を越えるときの時刻  $T_x$  の方が、割り込み要求 1 の記憶時間がしきい値時間  $t_1$  を越えるときの時刻  $T_y$  よりも早いものとする。したがって、制御部 70 は、図 14 に示す時刻  $T_x$  を、次にタイマー情報が示す時刻として設定する。その後、時刻  $T_x$  に到達したときに、同時に許可条件が成立する。

10

【0045】

（変形例 3）

上述の第 2 実施形態では、バッテリー残量を用いて許可条件を設定しているが、これに限らず、例えば装置の電源が太陽電池などで構成されている場合は、太陽電池の発電電圧や発電電流などを用いて許可条件を設定することもできる。要するに、電源の供給能力がしきい値を超えることを許可条件として採用するものであればよい。

【0046】

（変形例 4）

上述の制御装置の各部は半導体集積回路で構成されているが、これに限らず、各部のうちの一部はソフトウェアにより実現されてもよい。例えば図 15 に示すように、制御装置 300 が備えるハードウェアには、CPU 310 と、受信部 10 と、割り込み要求記憶部 40 と、許可条件記憶部 50 と、送信部 60 とが含まれ、CPU 310 が制御プログラムを実行することにより、トリガー部 20、判定部 30、および、制御部 70 の機能を実現することもできる。

20

【0047】

（変形例 5）

上述の各実施形態では、タイマー情報管理部 80 は、制御装置の外部に設けられているが、これに限らず、タイマー情報管理部 80 が制御装置に搭載されていてもよい。

30

【符号の説明】

【0048】

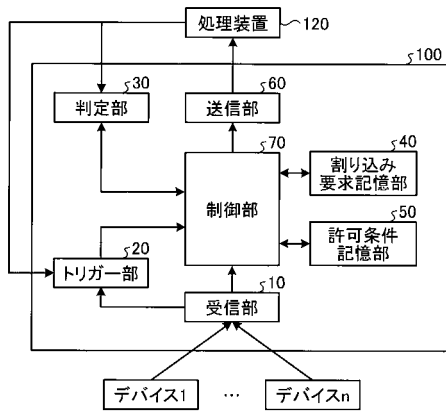
- 10 受信部
- 20 トリガー部
- 22 トリガー送信部
- 30 判定部
- 32 状態検出部
- 34 状態受信部
- 36 保持部
- 40 割り込み要求記憶部
- 50 許可条件記憶部
- 60 送信部
- 70 制御部
- 80 タイマー情報記憶部
- 90 供給能力検出部
- 92 バッテリー残量検出部
- 94 バッテリー残量受信部
- 96 保持部
- 100 制御装置
- 120 処理装置

40

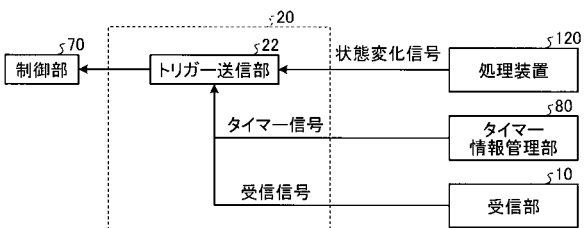
50

200 制御装置  
300 制御装置

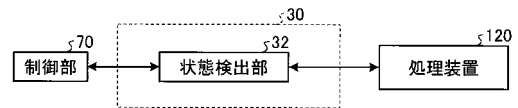
【図1】



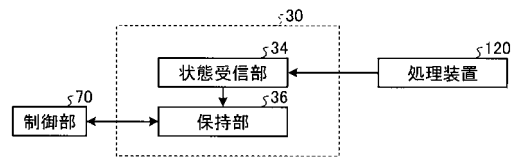
【図2】



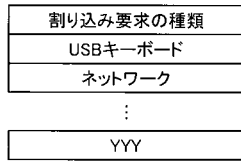
【図3】



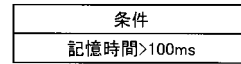
【図4】



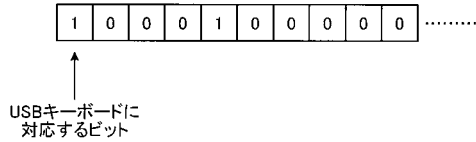
【 図 5 】



【 図 7 】



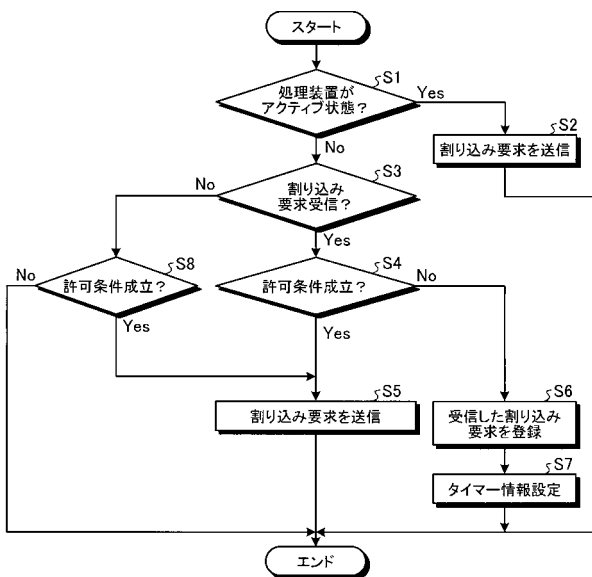
【 図 6 】



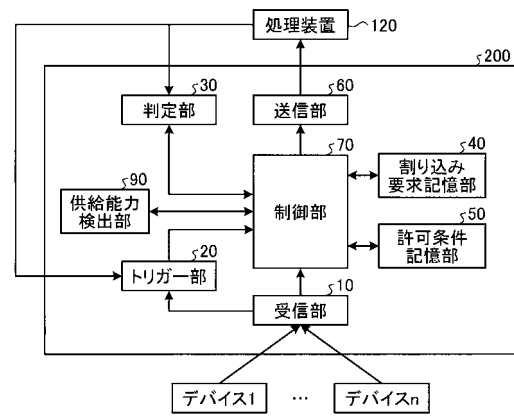
【 図 8 】



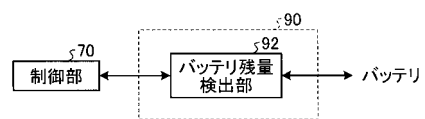
【 図 9 】



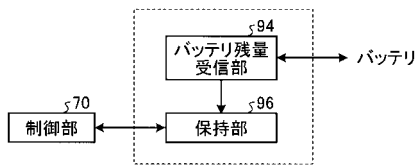
【 図 10 】



【 図 11 】



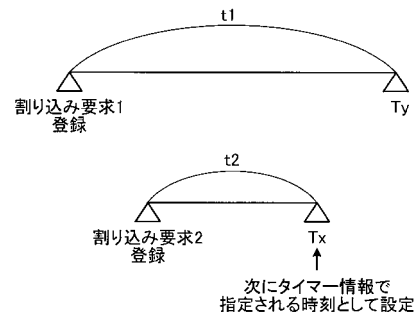
【 図 1 2 】



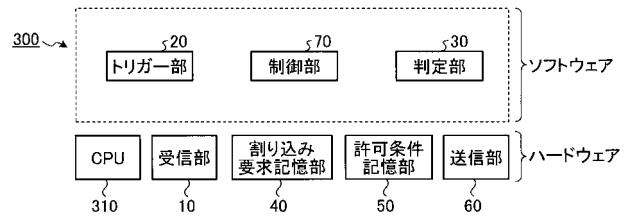
【 図 1 3 】

条件
電源種類=DC電源
バッテリー残量>50%
(バッテリー残量>20%)AND(記憶時間>100ms)
(バッテリー残量>5%)AND(記憶時間>200ms)AND(割り込み数>3)

【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

- (72)発明者 木村 哲郎  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 金井 達徳  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 外山 春彦  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 白井 智  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 樽家 昌也  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 春木 洋美  
東京都港区芝浦一丁目1番1号 株式会社東芝内