

[接上页]

(72)发明人 R·J·阿克萨米特

(51)Int.Cl.

H01L 21/768(2006.01)

(56)对比文件

Hideaki Komami ET AL.《Complementary patterning demonstration with e-beam direct writer and spacer DP process of 11nm node》.《 Proc. SPIE 8323, Alternative

Lithographic Technologies IV》.2012,
832313-1-10.

NAKATAKE S ET AL.《Regularity-Orientened Analog Placement with Diffusion Sharing and Well Island Generation》.《DESIGN AUTOMATION CONFERENCE (ASP-DAC), 2010 15TH ASIA AND SOUTH PACIFIC, IEEE, PISCATAWAY, NJ, USA》.2010, 305-311.

1. 一种集成电路,包括:

衬底;

包括扩散线的网格,所述扩散线中的至少三条扩散线包括在其间具有一致的间距的所述网格中;以及

包括两个相邻单元的功能单元的阵列,所述两个相邻单元至少部分地位于包括在其间具有一致的间距的所述网格中的所述至少三条扩散线上,每个单元具有边界,在所述两个相邻单元的边界之间没有扩散线,以使得所述相邻单元之一包括所述至少三条扩散线中的两条或更多条,并且所述相邻单元中的另一个包括所述至少三条扩散线中的一条或多条;

其中,所述阵列中的所述两个相邻单元的边界之间的距离小于50nm。

2. 根据权利要求1所述的集成电路,其中,所述扩散线中的所述至少三条扩散线包括硅(Si)和/或锗(Ge)。

3. 根据权利要求1所述的集成电路,其中,所述阵列中的所述两个相邻单元的边界之间的距离小于20nm。

4. 根据权利要求1所述的集成电路,其中,所述两个相邻单元包括门阵列逻辑单元和/或存储器位单元。

5. 根据权利要求1所述的集成电路,其中,所述网格还包括与所述扩散线垂直的栅极线,并且其中,所述两个相邻单元共用所述栅极线中的一条或多条。

6. 根据权利要求5所述的集成电路,其中,所述两个相邻单元共用所述栅极线中的两条或更多条,所述栅极线中的所述两条或更多条在其间具有一致的间距。

7. 根据权利要求1所述的集成电路,其中,所述功能单元的阵列比使用193nm光刻形成所述单元的边界能够形成的最密集的有效结构更密集百分之10与百分之50之间。

8. 一种现场可编程门阵列(FPGA)器件,包括根据权利要求1-7中任一项所述的集成电路。

9. 一种静态随机存取存储器(SRAM)器件,包括根据权利要求1-7中任一项所述的集成电路。

10. 一种计算系统,包括根据权利要求1-7中任一项所述的集成电路。

11. 一种形成集成电路的方法,所述方法包括:

提供衬底;

提供包括扩散线的网格,所述扩散线中的至少三条扩散线包括在其间具有一致的间距的所述网格中;以及

提供包括两个相邻单元的功能单元的阵列,所述两个相邻单元至少部分地位于包括在其间具有一致的间距的所述网格中的所述至少三条扩散线上,每个单元具有边界,在所述两个相邻单元的边界之间没有扩散线,以使得所述相邻单元之一包括所述至少三条扩散线中的两条或更多条,并且所述相邻单元中的另一个包括所述至少三条扩散线中的一条或多条;

其中,所述阵列中的所述两个相邻单元的边界之间的距离小于50nm。

12. 根据权利要求11所述的方法,其中,所述两个相邻单元包括门阵列逻辑单元和/或存储器位单元。

13. 根据权利要求11所述的方法,其中,使用电子束光刻提供所述功能单元的阵列。

14. 根据权利要求13所述的方法,其中,所述电子束光刻包括多个束。
15. 根据权利要求11所述的方法,其中,使用无掩模光刻工艺提供所述功能单元的阵列。
16. 根据权利要求11所述的方法,其中,使用极紫外光刻(EUVL)提供所述功能单元的阵列。
17. 根据权利要求11所述的方法,其中,使用纳米压印光刻提供所述功能单元的阵列。
18. 根据权利要求11所述的方法,其中,所述两个相邻单元的边界之间的距离小于20nm。
19. 根据权利要求11所述的方法,其中,所述两个相邻单元的边界之间的距离小于10nm。
20. 根据权利要求11所述的方法,其中,所述网格还包括与所述扩散线垂直的栅极线,并且其中,所述两个相邻单元共用所述栅极线中的一条或多条。
21. 根据权利要求11所述的方法,其中,所述功能单元的阵列比使用193nm光刻形成所述单元的边界能够形成的最密集的有效结构更密集百分之10与百分之50之间。
22. 根据权利要求11所述的方法,其中,所述两个相邻单元的边界具有低于4nm的线边缘粗糙度。

用于形成功能单元的紧凑阵列的技术

背景技术

[0001] 考虑到诸如伴随的光学光刻设计规则和由此施加的间距限制之类的因素,规则集成电路结构(例如现场可编程门阵列(FPGA)、静态随机存取存储器(SRAM)、以及其它存储器和逻辑器件)通常包括扩散线和栅极线的连续网格,逻辑单元或逻辑块随后可以由该扩散线和栅极线的连续网格构成。在这样的集成电路结构中的逻辑单元的数量已经增加到例如满足增加的性能需求。逻辑单元数量的增加导致了所需面积的增加,这会转化为较大的芯片尺寸需求和增加的成本。

附图说明

[0002] 图1例示了包括形成在扩散线和栅极线的网格上的三个逻辑单元的集成电路(IC)结构,逻辑单元的边界使用193nm光刻来形成。

[0003] 图2例示了包括形成在扩散线和栅极线的网格上的一组逻辑单元的IC结构,逻辑单元的边界使用193nm光刻来形成。

[0004] 图3A例示了根据本公开内容的实施例的包括形成在扩散线和栅极线的网格上的三个功能单元的示例性IC结构。

[0005] 图3B例示了被制造为形成图3A的三个功能单元的扩散线和栅极线的网格中的切口。

[0006] 图4例示了根据本公开内容的实施例的包括形成在扩散线和栅极线的网格上的功能单元阵列的示例性IC结构。

[0007] 图5例示了包括根据实施例配置的功能单元阵列的示例性现场可编程门阵列(FPGA)结构。

[0008] 图6例示了根据示例性实施例的利用使用本文中所公开的技术形成的集成电路结构或器件来实现的计算系统。

具体实施方式

[0009] 公开了用于使用下一代光刻(NGL)工艺(例如电子束直接写入(EBDW)和极紫外光刻(EUVL))在阵列中形成单元的边界来形成功能单元的紧凑阵列的技术。单元的紧凑阵列可以用于被配置有逻辑单元的现场可编程门阵列(FPGA)结构、被配置有位单元的静态随机存取存储器(SRAM)结构、或具有基于单元的结构的其它存储器或逻辑器件。技术可以用于例如针对功能单元阵列得到百分之10到50的面积减小,这是因为与常规的193nm光刻相比,NGL工艺允许单元边界的较高精度和较近的切口。此外,使用NGL工艺形成单元的边界还可以减少在其它情况下利用常规的193nm光刻会呈现的光刻引起的变化。鉴于本公开内容,许多配置和变化将显而易见。

[0010] 总体概述

[0011] 如先前描述的,用于集成电路(IC)结构(例如现场可编程门阵列(FPGA)、静态随机存取存储器(SRAM)、以及其它逻辑和存储器件)的逻辑单元的数量的增加导致需要的面积

增加,这会转化为较大的芯片尺寸需求和增加的成本。常规上,193nm光刻已经用于蚀刻/切割扩散和栅极线以在这种IC结构上形成逻辑单元边界。然而,193nm光刻具有某些限制,尤其是对于亚100nm分辨率应用。仅举几例,这种限制包括需要多种光刻工艺、需要多个掩模、需要额外的材料、缺乏精度、缺乏形成密集部件的能力、缺乏形成尖锐的角和边缘的能力、以及缺乏贯穿所形成的结构的一致性。例如,图1例示了包括衬底110以及形成在扩散线122和栅极线124的网格上的三个逻辑单元132、134、136的IC结构100。在另一个示例中,图2例示了包括衬底110以及形成在十四条扩散线122和十四条栅极线124的网格上的二十五个逻辑单元130的IC结构200。逻辑单元130、132、134、136(用虚线示出)的边界使用常规193nm光刻来形成。如在图1和图2中可以看到的,相邻的逻辑单元的边界之间的间距(例如,逻辑单元132与134的边界之间的间距S1和逻辑单元132与136的边界之间的间距S2)包括扩散线或栅极线,并且该间距受到常规193nm光刻的限制,尤其是对于亚100nm分辨率应用。更具体来说,常规光学光刻设计规则对栅极线(或者诸如多晶硅之类的牺牲栅极材料,视情况而定)可以在何处被切割以形成器件单元施加了限制,其中,S1和S2表示必须在单元之间保持的最小距离。

[0012] 因此,并根据本公开内容的一个或多个实施例,公开了用于使用下一代光刻(NGL)工艺(例如电子束直接写入(EBDW)和极紫外光刻(EUVL))在阵列中形成单元的边界来形成功能单元的紧凑阵列的技术。如鉴于本公开内容将显而易见的,可以使用其它NGL工艺来形成本文中描述的单元的紧凑阵列,例如,纳米压印光刻以及其它无掩模和减少掩模的工艺。技术可以用于形成逻辑单元和/或位单元的各种紧凑阵列,例如,FPGA、SRAM、以及其它存储器或逻辑或基于单元的器件的阵列。在一些实施例中,本文中描述的技术可以用于减少单元或者任何单元子块层级之间的间距(例如,与使用193nm光刻相比)并由此减少了整个单元阵列所需要的面积,尤其是其中逻辑单元阵列可能覆盖大于芯片面积的百分之50、65、80、或90的器件(例如FPGA)所需要的面积。

[0013] 在一些实施例中,使用本文中描述的技术(例如,使用EBDW或EUVL)形成功能单元的紧凑阵列可以得到具有改进的线边缘粗糙度(LER)(例如,低于4nm或低于2nm的LER)的功能单元边界。此外,本文中所描述的技术允许形成相对精确的抗蚀剂,甚至当形成具有30nm或更小(或甚至10nm或更小)的临界尺寸的抗蚀剂特征时。该增加的精度允许功能单元被形成为具有较高密度,这是因为功能单元的边界可以被形成为具有较高的精度,并因此可以避免或者以其它方式减少光刻引起的变化。本文中所描述的技术还可以允许针对功能单元的边界的增加的精确性和/或临界尺寸均匀性(CDU)。还可以使用本文中所描述的技术来更有效地(例如,与使用193nm光刻可以获得的边界相比)形成不规则形状的单元边界。此外,这些改进的结果可以利用一种光刻工艺并使用一个掩模或不使用掩模(取决于所使用的具体NGL工艺)来获得,这是优于193nm光刻的另一个优点,这是因为193nm光刻需要多种光刻工艺和多个掩模来例如达到亚100nm的分辨率。

[0014] 在分析之后(例如,使用扫描/透射电子显微镜(SEM/TEM)和/或沉积映射),与使用常规193nm光刻形成的结构相比,根据一个或多个实施例配置的结构或器件将有效地示出具有功能单元的紧凑阵列的IC结构。例如,使用如本文中先前描述的技术形成的结构可以包括其中两个相邻单元的边界之间的距离小于100nm、50nm、30nm、或10nm、或其它适当的距离的功能单元阵列,如鉴于本公开内容将显而易见的。此外,功能单元边界可以被形成为使

得在相邻单元的边界之间(即使在亚100nm的分辨率下)不呈现扩散线或栅极线。此外,这种紧凑结构可以使用一种光刻工艺以及一个掩模或不使用掩模来形成。此外,当形成功能单元阵列时(例如,如与使用常规193nm光刻来形成单元的边界相比),本文中所描述的技术可以用于获得最小百分之10、25、40、或50的面积上的减小,或者一些其它适当的最小面积减小。例如,面积上的减小可以使用总的阵列面积、端到端扩散距离、或者端到端栅极距离来测量。鉴于本公开内容,许多配置和变型将显而易见。

[0015] 架构和方法

[0016] 图3A例示了根据本公开内容的实施例的包括形成在扩散线122和栅极线124的网格上的三个功能单元132、134、136的示例性IC结构300。功能单元132、134、136可以是例如FPGA或其它逻辑器件的逻辑单元、或者SRAM或其它存储器件的位单元。鉴于本公开内容,可以使用扩散和栅极金属的网格、或其它适当的网格材料来提供的其它功能单元将显而易见。如可以看到的,扩散线122和栅极线124形成在衬底110上。衬底110可以是任何适当的衬底,例如半导体衬底或绝缘体衬底。例如,衬底300可以包括硅(Si)、锗(Ge)、硅锗(SiGe)、一种或多种III-V材料、玻璃、氧化物材料(例如,二氧化硅)、氮化物材料(例如,氮化硅)、和/或任何其它适当的半导体或绝缘体材料。在一些实施例中,衬底110可以被配置作为体衬底、绝缘体上半导体(XOI,其中X是诸如Si、Ge、或SiGe之类的半导体材料)、或多层结构。其它适当的衬底材料和/或配置将取决于给定的目标应用或最终用途,并且鉴于本公开内容将是显而易见的。

[0017] 在图3A中示出的示例性IC结构300中,扩散线122水平地延伸,并为了便于例示而用浅灰色示出。扩散线122可以使用任何适当的技术(包括各种图案化、蚀刻、和沉积工艺)来形成。例如,可以使用物理气相沉积(PVD)工艺(例如,溅射沉积)、化学气相沉积(CVD)工艺、原子层沉积(ALD)工艺、分子束外延(MBE)工艺、和/或任何其它适当的生长或沉积工艺来在衬底100中和/或上沉积扩散线122材料。取决于目标应用或最终用途,扩散线122材料可以包括Si、Ge、SiGe、和/或一种或多种III-V材料、或任何其它适当材料或材料的组合。此外,在一些实施例中,扩散线122可以是n型和/或p型掺杂的。注意,从一条扩散线到下一条,扩散线122可以不具有一致的材料。例如,扩散线122在掺杂类型上可以交替(例如,一条线具有n型掺杂并且相邻的线具有p型掺杂)。此外,注意,为了便于例示,扩散线122被示出为具有一致的宽度和间距;然而,本公开内容并不是要被如此限制。还要注意,扩散线122可以与衬底110的顶表面齐平(例如,用于在其上构建平面器件,例如平面晶体管),或者扩散线122可以从衬底110的顶表面突出(例如,用于在其上构建鳍式器件,例如鳍式晶体管),或者它们的一些组合。

[0018] 继续示例性IC结构300,栅极线124被示出为形成在扩散线122上,并且为了便于例示,栅极线124竖直延伸并用深灰色示出。栅极线124可以使用任何适当的技术形成,包括各种图案化、蚀刻、和沉积工艺。例如,栅极线124材料可以使用任何适当的工艺来沉积,所述工艺包括但不限于先前描述的沉积技术(例如,PVD、CVD、ALD、MBE)。取决于目标应用或最终用途,栅极线124材料可以包括一种或多种金属或金属合金、多晶硅、和/或任何其它适当的材料。注意,从一条栅极线到下一条,栅极线124可能不具有一致的材料。此外,注意,为了便于例示,栅极线124被示出为具有一致的宽度和间距;然而,本公开内容并不是要被如此限制。还要注意,为了便于例示,以类似网格的方式在扩散线122之上形成栅极线124;然而,本

公开内容并不是要被如此限制。鉴于本公开内容,用于扩散线122和栅极线124的许多变化和配置将显而易见。

[0019] 在图3A中示出的示例性实施例中,用虚线示出功能单元132、134、136的边界。功能单元可以包括任何适当的结构,例如各种逻辑元件或块、RAM块、等等,并且除非另外指示,否则本公开内容并不是要被限制于功能单元的任何特定结构。在该示例性实施例中,使用下一代光刻(NGL)工艺,例如使用电子束光刻或电子束直接写入(EBDW)、极紫外光刻(EUVL)、或者纳米压印光刻来形成功能单元的边界。通常,用于形成单元边界的技术可以包括形成抗蚀剂、使用NGL工艺来图案化抗蚀剂、并随后蚀刻以在功能单元之间分隔扩散线122和/或栅极线124。以此方式,可以获得功能单元的紧凑阵列,这是因为NGL工艺允许功能单元的边界被形成为具有更高精度,并且还允许相邻单元的边界被形成为较靠近彼此(例如,与193nm光刻相比),如本文中将更详细讨论的。

[0020] 用于帮助形成功能单元边界的抗蚀剂(未示出)可以包括任何适当的材料,包括但不限于有机光致抗蚀剂材料(例如,聚(甲基丙烯酸甲酯)、聚(二甲基戊二酰亚胺)、酚醛树脂、SU-8、或其它聚合物)、无机光致抗蚀剂材料(例如,硫族化物)、分子光致抗蚀剂材料(例如,三聚茚)、高分辨率抗蚀剂(例如,氢倍半硅氧烷(HSQ))、前述材料的混合物、和/或适于用作导电材料层上的抗蚀剂的任何其它材料。可以使用任何适当的工艺(包括但不限于旋涂)来沉积抗蚀剂材料。如鉴于本公开内容将显而易见的,可以在形成功能单元(例如,单元132、134和136)之前、在它们的形成已经开始之后、或者在它们的形成已经完成之后,在扩散线122和栅极线124的网格上沉积抗蚀剂。在一些实例中,可以基于用于图案化抗蚀剂的光刻工艺来选择抗蚀剂材料和厚度。例如,当使用电子束光刻或EBDW时,抗蚀剂可以是能够由电子束改变其溶解度的电子敏感膜。然而,在一些实例中,适当的光致抗蚀剂可以用于电子束曝光。其它适当的抗蚀剂材料和/或配置将取决于给定的目标应用或最终用途,并且鉴于本公开内容将是显而易见的。

[0021] 在沉积抗蚀剂之后,可以使用一种或多种光刻工艺来进行图案化。在一些实施例中,使用电子束光刻或EBDW、EUVL、纳米压印光刻、或一些其它适当的NGL工艺来图案化抗蚀剂。在一些实施例中,光刻工艺可能需要一个掩模或不需要掩模,并且还可能仅需要一种光刻工艺。例如,EBDW是无掩模光刻工艺,其中,一个或多个聚焦的电子束可以用于在单个光刻工艺中图案化抗蚀剂。在另一个示例中,EUVL使用极紫外波长(例如,13.5nm)和单个掩模来在单个光刻工艺中图案化抗蚀剂。在一些这样的实施例中,光刻工艺能够甚至使用一个掩模或不使用掩模来获得高精度抗蚀剂特征,例如,包括能够获得亚100nm、亚50nm、亚30nm、或者亚10nm分辨率。换句话说,用于形成IC结构300的光刻工艺能够获得具有亚100nm、亚50nm、亚30nm或者亚10nm临界尺寸的抗蚀剂特征,如本文中将更详细讨论的。

[0022] 在已经执行光刻工艺之后,可能需要随后的抗蚀剂处理来适当地图案化抗蚀剂。例如,这种处理可以包括使用适当的溶剂来去除在光刻处理或其它适当处理期间暴露的区域。在已经适当地图案化抗蚀剂之后,下层的扩散线122、栅极线124、和/或衬底110可以被蚀刻以转移图案并形成功能单元的边界。如鉴于本公开内容将显而易见的,可以通过简单地将扩散线122和/或栅极线124折断/割断/等来形成边界以根据期望分隔功能单元。可以使用任何适当的湿法或干法蚀刻,并且在一些实施例中,蚀刻剂和/或蚀刻工艺可以由抗蚀剂性质(例如,抗蚀剂的材料和/或厚度)和/或导电层的性质(例如,层的材料和/或厚度)来

决定。一旦转移了抗蚀剂图案,就可以使用任何适当的工艺(例如,抗蚀剂剥离或平坦化工艺)来去除抗蚀剂。

[0023] 如在图3A中可以看到的,功能单元132和134的边界之间的距离为间距S3,并且功能单元136的边界与功能单元132和134的边界之间的距离为间距S4。间距S3和S4可以分别与在图1中的IC结构100上示出的间距S1和S2相比较。回想使用常规193nm光刻来形成IC结构100上的单元132、134、136的边界,并因此,相邻单元的边界之间的最小可实现距离(例如,S1和S2)基于常规光刻工艺而被限制。使用NGL工艺(例如EBDW和EUVL),相同的单元132、134、136可以一起被移动得更靠近。例如,S3和S4可以小于100nm、50nm、30nm、或10nm、或者一些其它适当的间隙,如鉴于本公开内容将显而易见的。在该示例性实施例中,间距S3和S4是等同的;然而,实际情况不一定如此。例如,相邻单元之间的水平间距不需要等于相邻单元之间的竖直间距(尽管它们可以是等同的,如图3A中的情况)。此外,注意,在图1中示出的常规IC结构100中,在相邻单元的边界之间存在扩散线或栅极线。例如,栅极线位于间距S1中、在单元132和134的边界之间,并且扩散线位于间距S2中、在单元132和136的边界之间。然而,使用NGL工艺形成单元边界允许在单元的边界之间不存在扩散线或栅极线,甚至是在亚100nm应用中也是如此,如在图3A中可以看到的。此外,可以使用一种光刻工艺和一个掩模或不使用掩模来形成这种精度和紧凑阵列,如先前描述的。

[0024] 图3A示出了逻辑单元132、134、136的边界,但为了便于例示而未示出扩散线122和栅极线124中的实际切口。图3B示出了图3A中的IC结构300,其例示了扩散线122和栅极线124的网格中的切口140。如可以看到的,切口140分隔或以其它方式划分扩散线122和栅极线124,以使得它们不再发生物理和/或电接触。因此,切口140允许功能单元(例如,单元132、134、136)彼此电隔离。切口140可以使用本文中所描述的技术来制造,例如使用NGL工艺(例如,EBDW、EUVL、等等)来图案化抗蚀剂并允许切口140被蚀刻到扩散线122和栅极线124的网格中,由此形成图3A中示出的功能单元边界。

[0025] 图4例示了根据本公开内容的实施例的包括形成在扩散线122和栅极线124的网格上的功能单元130的阵列的示例性IC结构400。如可以看到的,IC结构400是方形的,其包括形成在衬底110上的十四条扩散线122和十四条栅极线124,与图2中示出的结构类似。在该示例性实施例中,先前关于衬底110、扩散线122、和栅极线124的讨论同样适用。回想图2中示出的IC结构200包括具有使用常规193nm光刻形成的边界的二十五个单元的阵列。图4中示出的IC结构400包括具有使用NGL工艺(例如,EBDW或EUVL)形成的边界的功能单元130。将IC结构200与图4中示出的IC结构相比,可以看到,图4中示出的IC结构400中的功能单元的阵列更加密集或紧凑。如还可以看到的,二十五个功能单元130(其是图2的常规IC结构200上的阵列中的单元的总量)安装在图4中的由IC结构400的右下角的括号线指示的方形区域内。该区域表示图4中示出的IC结构400的总面积的大约百分之51。因此,本文中所描述的技术可以用于将包含相同数量的功能单元(例如,在该示例性情况下为二十五个)的阵列安装到原始区域尺寸的仅百分之51的区域中,由此获得百分之49的面积减少。在一些实施例中,本文中各处描述的技术可以用于获得功能单元阵列的最小百分之10、25、40或50的面积减少,或一些其它适当的最小面积减少,如鉴于本公开内容将显而易见的。

[0026] 图5例示了包括根据实施例配置的逻辑单元138的阵列的示例性现场可编程门阵列(FPGA)结构500。如可以看到的,FPGA结构500包括使用本文中描述的技术(例如,使用NGL

工艺割断逻辑单元的边界)而形成的九个逻辑单元138的阵列。逻辑单元138可以被称为逻辑元件(LE)或组合逻辑块(CLB),并且逻辑单元138可以形成若干逻辑门的功能。如可以理解的,逻辑单元138是FPGA结构500的功能单元。使用可编程互连件150在逻辑单元138之间进行互连。例如互连件150可以被逻辑地组织成通道或其它单元。I/O引脚可以被称为I/O块160,并且它们通常可以被编程为输入或输出。例如,I/O块160还可以提供诸如低功率或高速连接之类的其它特征。存储器(未示出)也可以包括在FPGA结构500、以及其它典型的或适当的部件中,这取决于目标应用或最终用途。鉴于本公开内容,许多变型和配置将显而易见。

[0027] 示例性系统

[0028] 图6例示了根据示例性实施例的利用使用本文公开的技术形成的集成电路(IC)结构或器件来实现的计算系统1000。如可以看到的,计算系统1000容纳母板1002。母板1002可以包括若干部件,这些部件包括但不限于处理器1004和至少一个通信芯片1006,它们中的每一个可以物理和电气地耦合到母板1002,或者以其它方式集成在其中。如将意识到的,母板1002可以是例如任何印刷电路板,不管是主板、安装在主板上的子板、还是系统100的唯一的板、等等。

[0029] 取决于其应用,计算系统1000可以包括一个或多个其它部件,这些部件可以或不可以不物理和电气耦合到母板1002。这些其它部件可以包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM、STTM等)、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量存储设备(例如硬盘驱动器、压缩盘(CD)、数字多功能盘(DVD)等等)。包括在计算系统1000中的部件中的任何部件可以包括使用根据示例性实施例的公开的技术形成的一个或多个集成电路结构或器件。在一些实施例中,多个功能可以集成到一个或多个芯片中(例如,注意,通信芯片1006可以是处理器1004的部分或者以其它方式集成到处理器1004中)。

[0030] 通信芯片1006使得能够实现用于往返于计算系统1000传输数据的无线通信。术语“无线”及其派生词可以用于描述可以通过使用经调制的电磁辐射通过非固态介质来传送数据的电路、设备、系统、方法、技术、通信信道等。该术语并不暗示相关联的设备不包含任何导线,尽管在一些实施例中它们可能不包含。通信芯片1006可以实施多种无线标准或协议中的任何标准或协议,这些标准或协议包括但不限于Wi-Fi(IEEE 802.11族)、WiMAX(IEEE 802.16族)、IEEE 802.20、长期演进(LTE)、Ev-D0、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及其衍生物,以及被命名为3G、4G、5G及更高代的任何其它无线协议。计算系统1000可以包括多个通信芯片1006。例如,第一通信芯片1006可以专用于较短距离无线通信,例如Wi-Fi和蓝牙,并且第二通信芯片1006可以专用于较长距离无线通信,例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-D0以及其他。

[0031] 计算系统1000的处理器1004包括封装在处理器1004内的集成电路管芯。在一些实施例中,处理器的集成电路管芯包括利用使用所公开的技术(如本文中各处描述的)形成的一个或多个集成电路结构或器件实现的板上电路。术语“处理器”可以指代对来自寄存器和/或存储器的电子数据进行处理以将该电子数据转换成可以存储在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。

[0032] 通信芯片1006也可以包括封装在通信芯片1006内的集成电路管芯。根据一些这样的示例性实施例,通信芯片的集成电路管芯包括使用所公开的技术(如本文中各处描述的)形成的一个或多个集成电路结构或器件。如鉴于本公开内容将意识到的,注意,多标准无线能力可以直接集成到处理器1004中(例如,其中任何芯片1006的功能被集成到处理器1004中,而不是具有单独的通信芯片)。还要注意,处理器1004可以是具有这样的无线能力的芯片组。简言之,可以使用任何数量的处理器1004和/或通信芯片1006。类似地,任何一个芯片或芯片组可以具有集成到其中的多个功能。

[0033] 在一些实施例中,计算系统1000可以包括现场可编程门阵列(FPGA)、静态随机存取存储器(SRAM)、和/或其它逻辑或存储器件,包括使用本文中描述的技术形成的功能单元的紧凑阵列。基于目标应用或最终用途,功能单元可以是逻辑单元(例如,在FPGA的情况下)和/或位单元(例如,在SRAM的情况下)、或者任何其它适当的功能单元。

[0034] 在各种实施方式中,计算设备1000可以是膝上计算机、上网本、笔记本、智能电话、平板设备、个人数字助理(PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数码相机、便携式音乐播放器、或数字视频录像机、或者处理数据或采用使用公开的技术(如本文中各处描述的)形成的一个或多个集成电路结构或器件的任何其它电子设备。

[0035] 其它示例性实施例

[0036] 以下示例涉及其它实施例,根据这些实施例,许多置换和配置将显而易见。

[0037] 示例1是一种集成电路,包括:衬底;以及形成在衬底上的功能单元的阵列,每个单元具有边界;其中,阵列中的两个相邻单元的边界之间的距离小于50nm。

[0038] 示例2包括示例1的主题,其中,衬底包括硅(Si)和/或锗(Ge)。

[0039] 示例3包括示例1-2中任何示例的主题,其中,阵列中的两个相邻单元的边界之间的距离小于20nm。

[0040] 示例4包括示例1-3中任何示例的主题,其中,单元包括门阵列逻辑单元和/或存储器位单元。

[0041] 示例5包括示例1-4中任何示例的主题,其中,所述单元形成在扩散线和栅极线的网格上。

[0042] 示例6包括示例1-5中任何示例的主题,其中,在两个相邻单元的边界之间不存在栅极线或扩散线。

[0043] 示例7包括示例1-6中任何示例的主题,其中,单元的阵列比使用193nm光刻形成单元的边界能够形成的最密集的有效结构更密集百分之10与百分之50之间。

[0044] 示例8是一种现场可编程门阵列(FPGA)器件,其包括示例1-7中任何示例的主题。

[0045] 示例9是一种静态随机存取存储器(SRAM)器件,其包括示例1-7中任何示例的主题。

[0046] 示例10是一种计算系统,其包括示例1-7中任何示例的主题。

[0047] 示例11是一种用于形成集成电路的方法,该方法包括:提供衬底;形成多条扩散线;形成多条栅极线,其中,扩散线和栅极线以类似网格的结构形成;在类似网格的结构上形成抗蚀剂;使用光刻工艺对抗蚀剂进行图案化以形成功能单元边界,光刻工艺需要一个掩模或不需要掩模,并能够实现具有亚100nm临界尺寸的抗蚀剂特征,其中,单元被布置成

阵列；以及将所述图案蚀刻到类似网格的结构中。

[0048] 示例12包括示例11的主题，其中，单元包括门阵列逻辑单元和/或存储器位单元。

[0049] 示例13包括示例11–12中任何示例的主题，其中，光刻工艺是电子束光刻。

[0050] 示例14包括示例13的主题，其中，电子束光刻包括多个束。

[0051] 示例15包括示例11–14中任何示例的主题，其中，光刻工艺是无掩模的。

[0052] 示例16是示例11–12中任何示例的主题，其中，光刻工艺是极紫外光刻(EUVL)。

[0053] 示例17包括示例11–12中任何示例的主题，其中，光刻工艺是纳米压印光刻。

[0054] 示例18包括示例11–17中任何示例的主题，其中，光刻工艺能够实现具有亚30nm临界尺寸的抗蚀剂特征。

[0055] 示例19包括示例11–18中任何示例的主题，其中，光刻工艺能够实现具有亚10nm临界尺寸的抗蚀剂特征。

[0056] 示例20包括示例11–19中任何示例的主题，还包括：形成包括单元的阵列的现场可编程门阵列(FPGA)器件。

[0057] 示例21包括示例11–19中任何示例的主题，还包括：形成包括单元的阵列的静态随机存取存储器(SRAM)器件。

[0058] 示例22是一种用于形成功能单元的阵列的方法，该方法包括：提供衬底；在衬底上形成抗蚀剂；对抗蚀剂进行图案化以形成功能单元边界，其中，两个相邻单元的边界之间的距离小于50nm；以及将图案蚀刻到衬底中。

[0059] 示例23包括示例22的主题，其中，单元包括门阵列逻辑单元和/或存储器位单元。

[0060] 示例24包括示例22–23中任何示例的主题，其中，光刻工艺是电子束光刻。

[0061] 示例25包括示例24的主题，其中，电子束光刻包括多个束。

[0062] 示例26包括示例22–25中任何示例的主题，其中，光刻工艺是无掩模的。

[0063] 示例27包括示例22–23中任何示例的主题，其中，光刻工艺是极紫外光刻(EUVL)。

[0064] 示例28包括示例22–23中任何示例的主题，其中，光刻工艺是纳米压印光刻。

[0065] 示例29包括示例22–28中任何示例的主题，其中，光刻工艺能够实现具有亚30nm临界尺寸的抗蚀剂特征。

[0066] 示例30包括示例22–29中任何示例的主题，其中，光刻工艺能够实现具有亚10nm临界尺寸的抗蚀剂特征。

[0067] 示例31包括示例22–30中任何示例的主题，还包括：形成包括单元的阵列的现场可编程门阵列(FPGA)器件。

[0068] 示例32包括示例22–30中任何示例的主题，还包括：形成包括单元的阵列的静态随机存取存储器(SRAM)器件。

[0069] 为了例示和描述的目的，已经呈现了对示例性实施例的前述描述。其并非旨在是详尽的或者将本公开内容限制为所公开的精确形式。鉴于本公开内容，许多修改和变型是可能的。其旨在使本公开内容的范围并非由该具体实施方式来限定，而是由所附权利要求来限定。请求本申请的优先权的将来提交的申请可以以不同方式请求所公开的主题，并且通常可以包括如各处公开的或者本文以其它方式证明的一个或多个限制的任何集合。

100 →

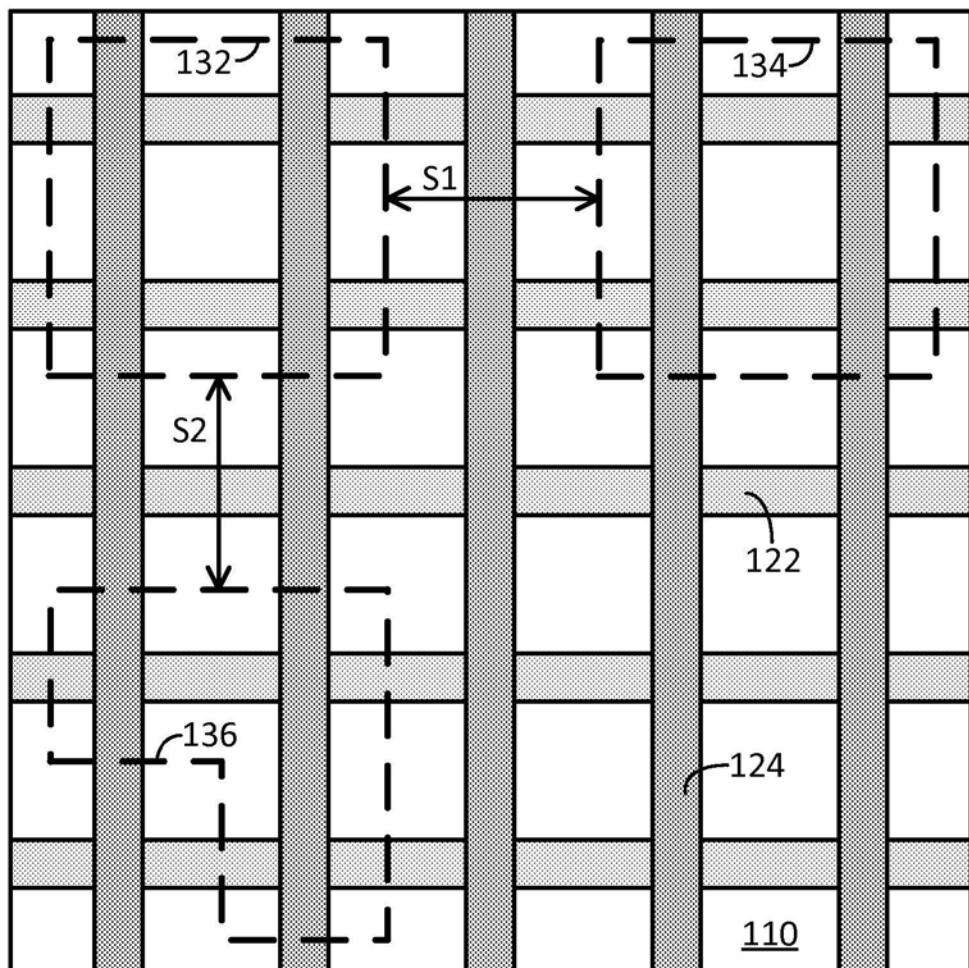


图1

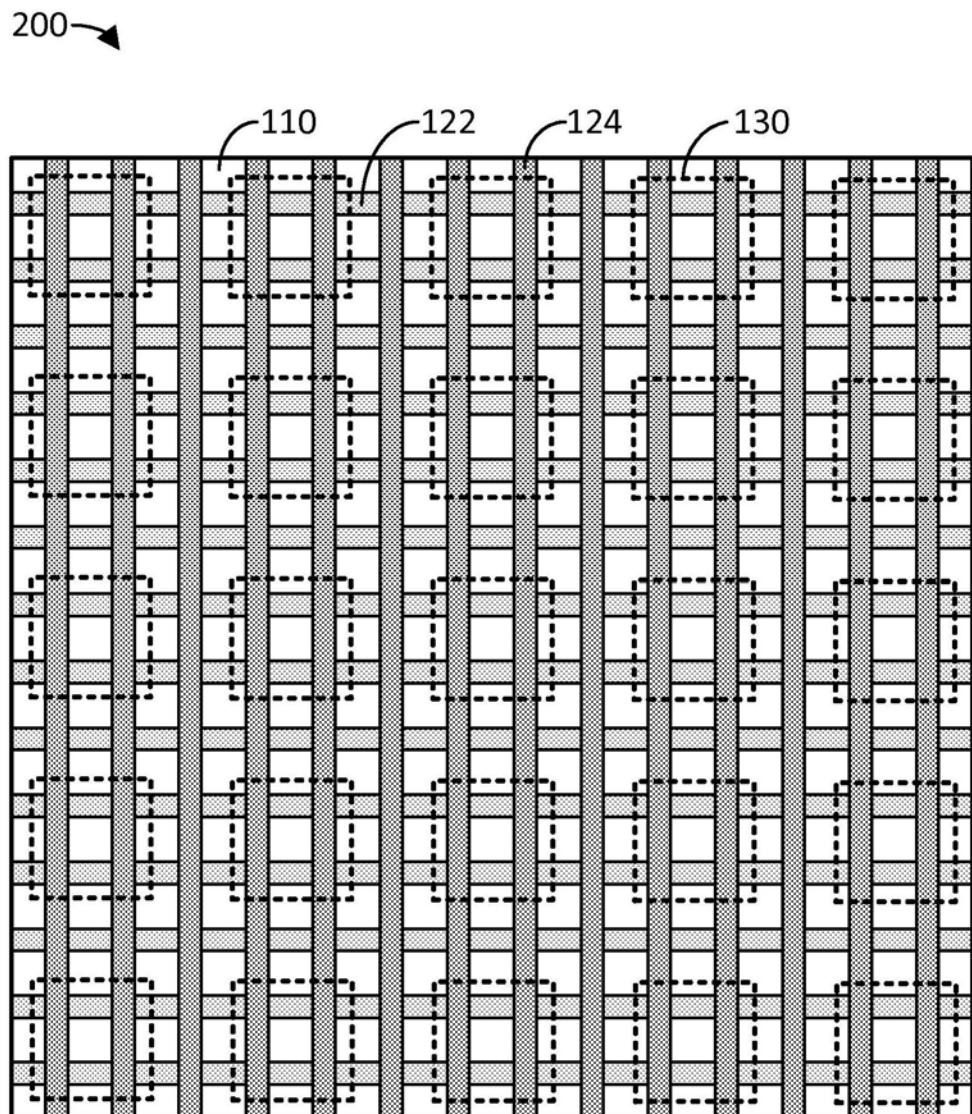


图2

300→

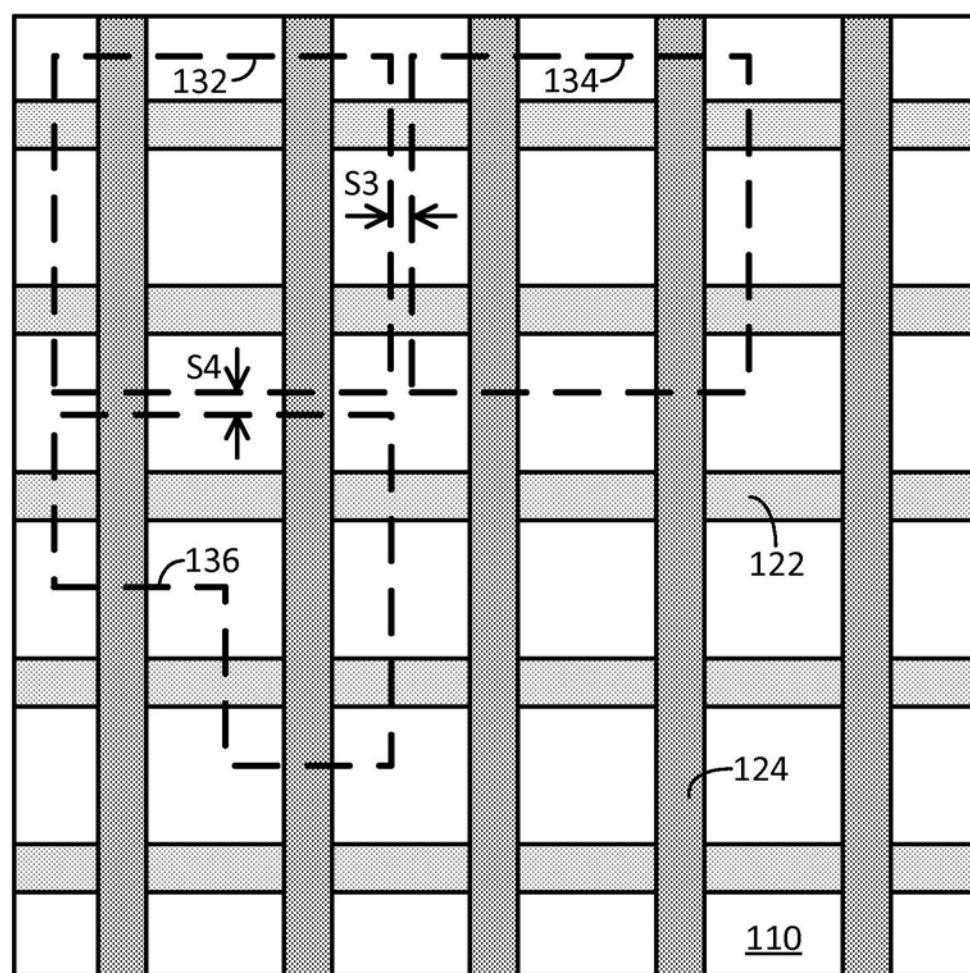


图3A

300→

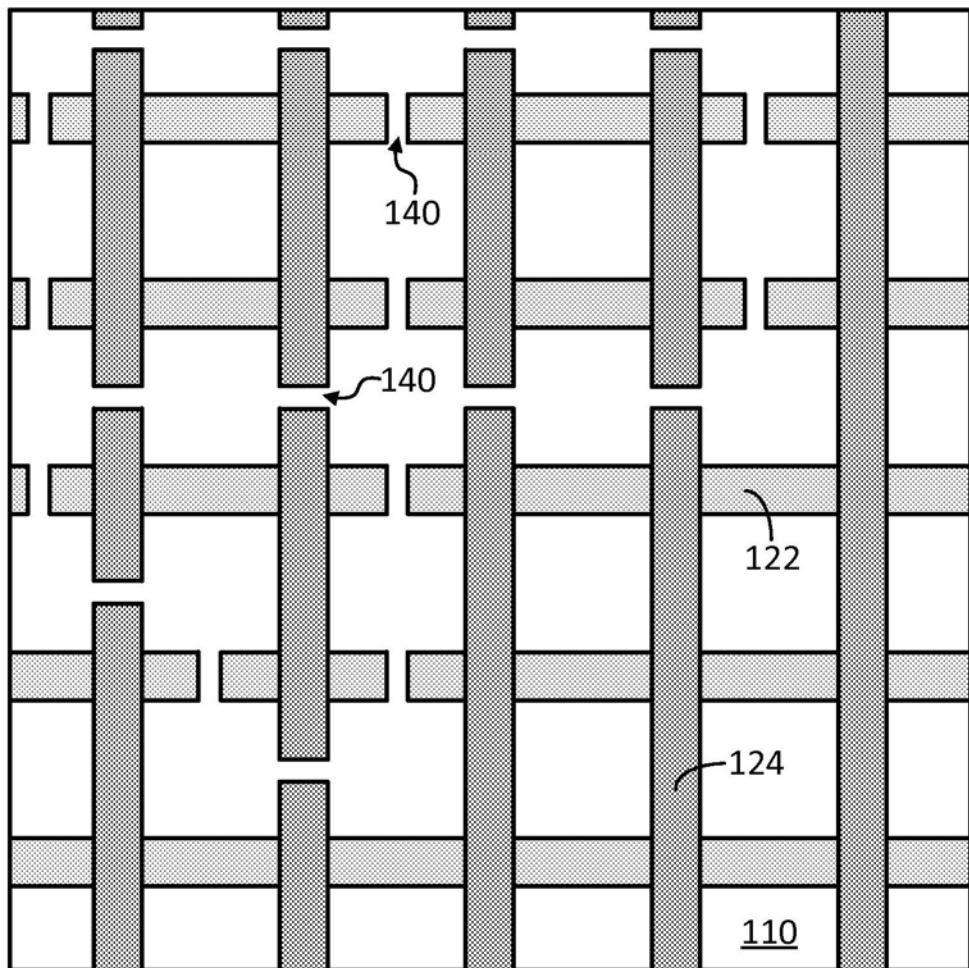


图3B

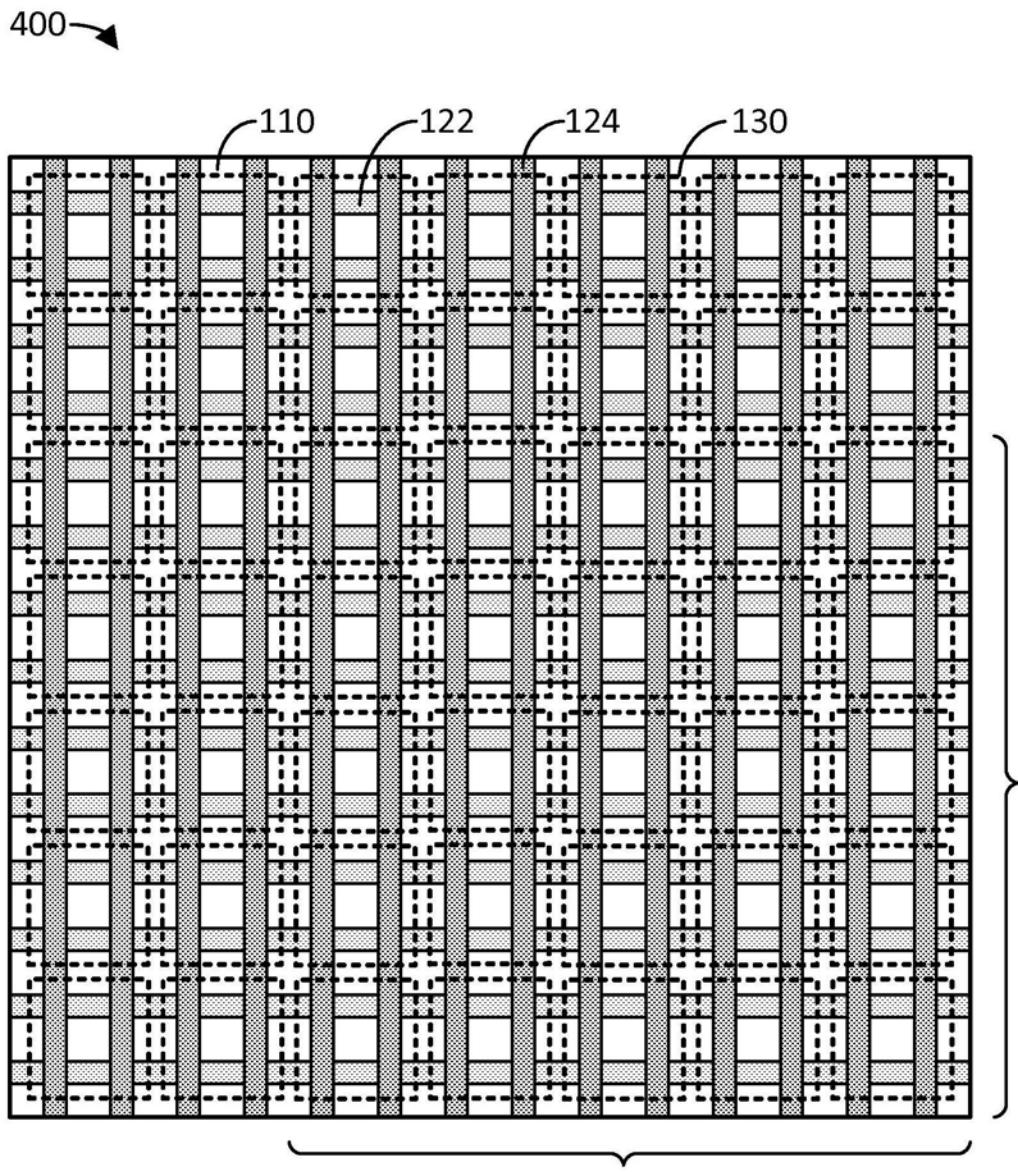


图4

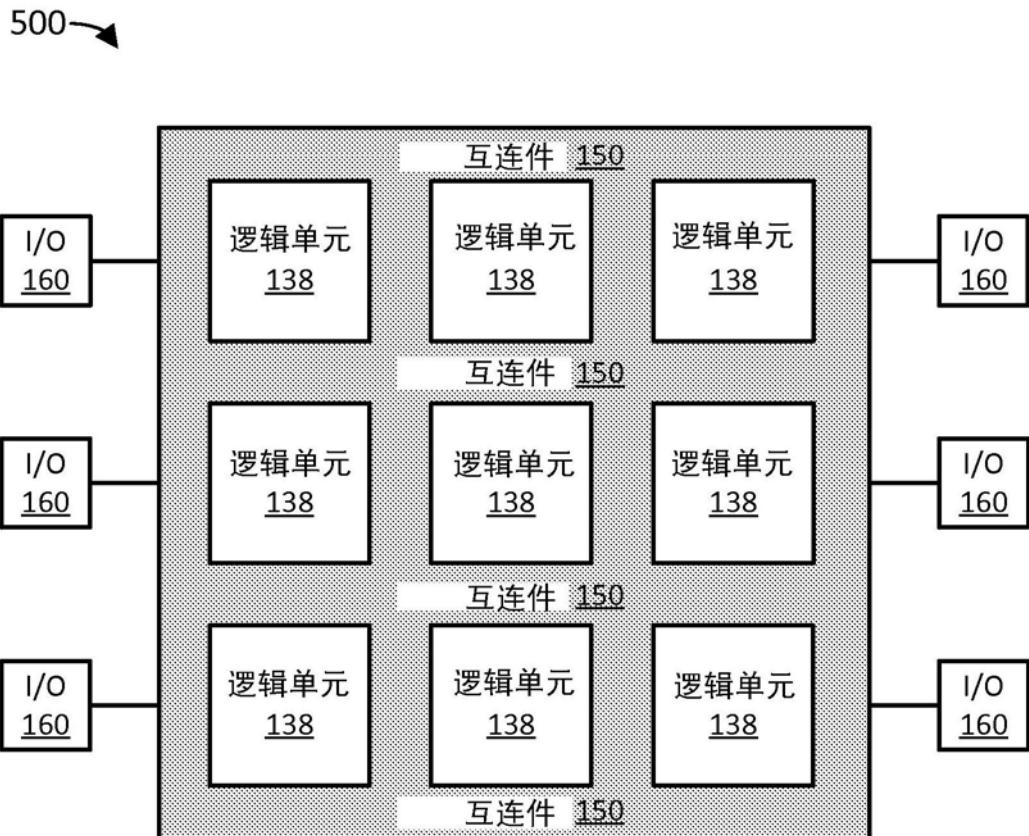


图5

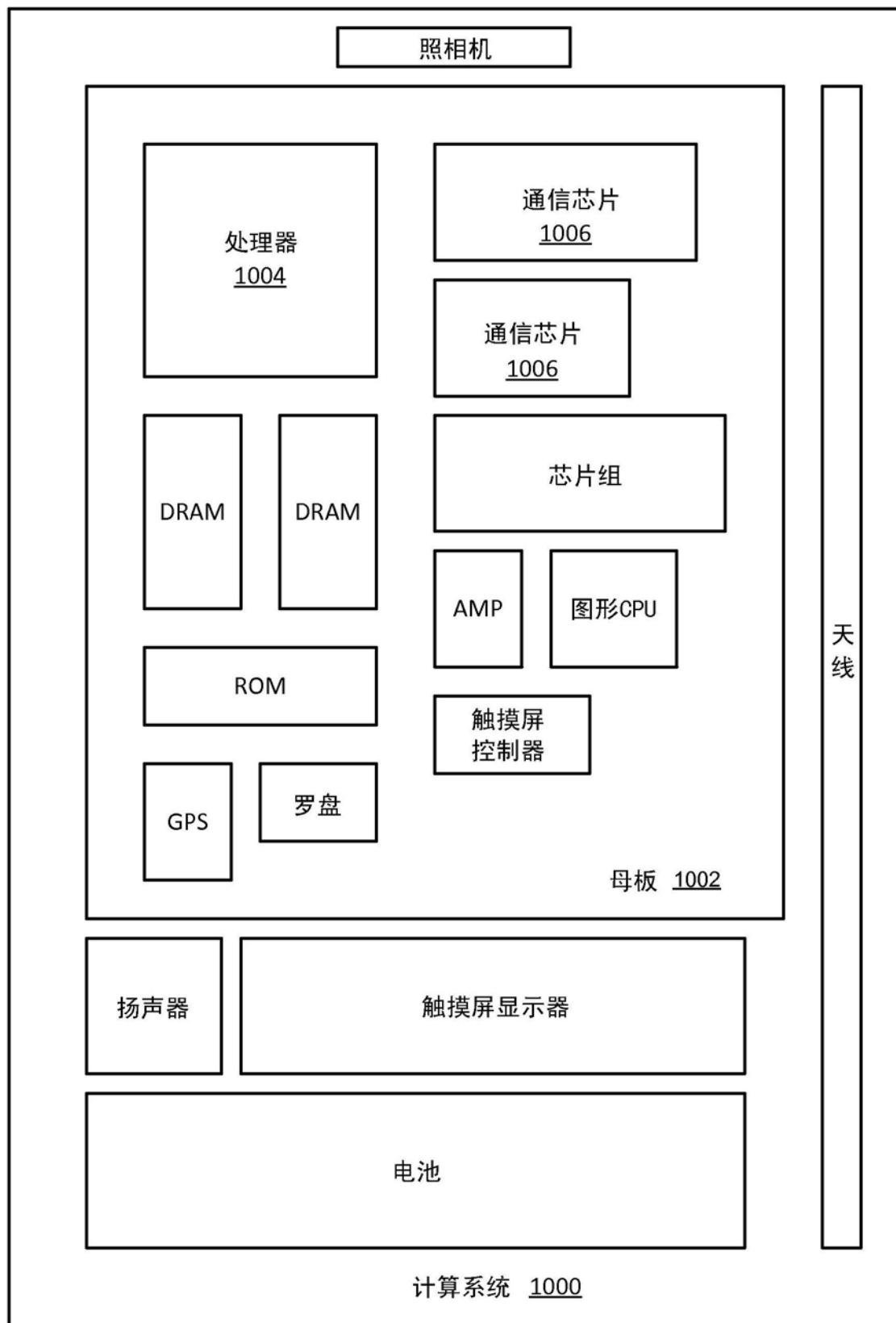


图6