



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05K 1/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월07일 10-0715410 2007년04월30일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0021585 2004년03월30일 2005년01월06일	(65) 공개번호 (43) 공개일자	10-2005-0004693 2005년01월12일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2003-00188523 2003년06월30일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 나루세도시미찌
일본군마깁오라궁오이즈미마찌센고꾸4-31-14

다까꾸사끼노부히사
일본군마깁오따시스에히로쵸550-10

고바야시하지메
일본사이따마깁구마가야시이시하라191-2

(74) 대리인 장수길
이중희
구영창

(56) 선행기술조사문헌 KR 1019950013337 A KR 1020020096985 A KR 1020010089209 A	KR 1020000076384 A KR 1020020096972 A
---	--

심사관 : 정병락

전체 청구항 수 : 총 4 항

(54) 혼성 집적 회로

(57) 요약

칩 부품을 도전 배선층의 패드에 경납땜했을 때에, 용해한 납재가 패드 사이를 단락시킨다. 양단에 단자 전극(39B)을 형성한 칩 부품(37B)과, 상기 단자 전극에 대응하여 복수의 패드(40)가 형성된 도전 배선층(35)과, 상기 패드를 제외하고 도전 배선층을 피복하는 오버코트 수지(38)로 이루어지고, 상기 칩 부품(37B)의 단자 전극(39B)을 패드(40)에 도전성 접착제(52)로 접착하고, 또한 상기 패드(40) 사이에 절연성 접착제(53)를 형성한다.

대표도

도 12

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

양단에 단자 전극을 형성한 칩 부품과, 상기 단자 전극에 대응하여 복수의 패드가 형성된 도전 배선층과, 상기 패드를 제외하고 상기 도전 배선층을 피복하는 오버코트 수지와, 상기 도전 배선층에 전기적으로 접속되고 하면으로 노출되도록 납재로 이루어지는 외부 전극이 형성된 혼성 집적 회로로서,

상기 칩 부품의 단자 전극에 주석이 포함되지 않은 도금을 실시하고, 상기 단자 전극과 패드를 접착하는 납재는, 상기 외부 전극을 형성하는 납재보다 고용점의 납재인 것을 특징으로 하는 혼성 집적 회로.

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

제4항에 있어서,

상기 단자 전극과 상기 패드를 접착하는 상기 납재는, 주석 5%와 납 95%의 조성으로 이루어지는 것을 특징으로 하는 혼성 집적 회로.

청구항 8.

제4항에 있어서,

상기 단자 전극과 상기 패드를 접착하는 상기 납재의 용점은 300℃인 것을 특징으로 하는 혼성 집적 회로.

청구항 9.

제4항에 있어서,

상기 단자 전극에는 금 도금 또는 구리 도금이 형성되어 있는 것을 특징으로 하는 혼성 집적 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩 부품의 단자 전극이, 도전 배선층에 형성된 패드에 부착되는 혼성 집적 회로에 관한 것이다.

최근 휴대용 컴퓨터 혹은 프린터 등의 전자 기기에 사용되는 칩 부품은 소형화, 박형화 및 경량화가 한층 더 요구되고 있다. 그를 위해서 칩 부품으로서, 기판에 반도체 소자를 부착하고, 그 기판을 절연 수지로 몰드한 패키지형 반도체 회로가 있다.

도 18은 종래의 패키지형 반도체 집적 회로이다. 패키지형 반도체 집적 회로는, 다이패드(1)에 LSI 등의 베어 칩(3)을 납재(2)를 개재하여 부착하고, 그 베어 칩(3)의 전극(도시하지 않음)과 리드 단자(5)를 금속 세선(6)으로 접속한다.

그리고 다이패드(1) 및 베어 칩(3) 주위를 절연성 수지층(9)으로 피복하고 있다. 상술한 패키지형 반도체 회로에서는 리드 단자(5)가 실장 기판(7)에 인쇄한 프린트 배선(8)에 납재(9A)에 의해 부착된다.

이 패키지형 반도체 집적 회로는, 리드 단자(5)가 절연성 수지층(9)에서 외부로 노출되어 있기 때문에, 납땜은 용이하지만, 전체 실장 사이즈가 커서, 소형화, 박형화 및 경량화에 난점이 있다.

도 19 및 도 20은 전술한 패키지형 반도체 집적 회로를 개량한 혼성 집적 회로의 평면도 및 단면도이다.

LSI 등의 베어 칩(10)은 도전 배선층(11) 상에 형성한 다이패드(11A)에 부착된다. 또한 칩 컨덴서(17)의 양단에 있는 전극(17A1, 17A2)은 도전 배선층(14A1)에 형성한 패드(15A1, 15A2)에 직접 경납땜된다.

다음으로 LSI 등의 베어 칩(10)의 전극(13A1)과 패드(15A1)에 형성된 본딩 패드(15B1)는, 금속 세선(16A1)에 의해 접속된다. 또한 LSI 등의 베어 칩(10)의 다른 전극(13A2, 13A3, ..., 13A7)은 도전 배선층(14A1)에 형성된 본딩 패드(15B2, 15B3, ..., 15B7)는, 금속 세선(16A2, 16A3, ..., 16A7, ...)에 의해 접속된다.

도 20의 (a)에 도시한 바와 같이, 도전 배선층(11, 14A1, ..., 14A7, ...) 상부는 분리홈(18A, 18B, ...)에 의해 전기적으로 분리되어 있지만, 하부는 아직 연속되어 있다.

도전 배선층(11, 14A1, ..., 14A7, ...)에 부착된 베어 칩(10) 및 금속 세선(16A1, ..., 16A7, ...)을 절연성 수지(20)로 전체를 피복한다. 그 후에, 도전 배선층(11, 14A1, ..., 14A7, ...) 하부의 연속하는 부분을 절연성 수지(20)와 함께 일점 쇄선으로 나타낸 바와 같이 절단하여, 도전 배선층(11)과 도전 배선층(14A1, ..., 14A7, ...)을 완전히 전기적으로 분리한다.

도 20의 (b)과 같이, 도전 배선층(11, 14A1, ..., 14A7, ...) 하면은 절연성 수지(20)로부터 노출되는 형태가 된다. 도전 배선층(11, 14A1, ..., 14A2, ...)의 노출 부분에서는 외부와의 전기적인 접속을 행하기 위해, 땀납 등의 납재를 형성하여 외부 전극(21A, ..., 21A7, ...)이 형성된다. 또한, 도전 배선층(11, 14A1, 14A2, ..., 14A7, ...)의 외부 전극을 구비하지 않는 부분은, 도전 배선층의 보호 등을 목적으로 레지스트(23)에 의해 피복되어 있다.

도 21은 혼성 집적 회로의 주요부 확대도이다. 칩 컨덴서(17)의 단자 전극(17A1, 17A2)은 도전 배선층(14A1, 14A2)에 형성된 패드(15A1, 15A2)에 납재(26)로 고착된다.

특허 문헌 1 : 일본 특개평 04-162691호 공보

발명이 이루고자 하는 기술적 과제

혼성 집적 회로를 형성하는 칩 컨텐서(17)의 단자 전극(17A1, 17A2)은 도전 배선층(14A1, 14A2)에 형성된 패드(15A1, 15A2)에 땀납 등의 납재(26)로 부착된다.

도 22에 도시한 바와 같이, 혼성 집적 회로의 외부 전극은, 인쇄 기판(24)의 인쇄 배선(25A1, 25A2, ...)에 부착되기 위해 가열된다. 가열되면, 그 열이 패드(15A1, 15A2)로 전달되어, 단자 전극(17A1, 17A2)과 패드(15A1, 15A2)를 부착한 납재(26)가 녹아서 패드(15A1, 15A2) 사이를 단락하게 된다.

또한 외부 전극을 형성하는 납재보다 고용점의 납재로 단자 전극(17A1, 17A2, ...)과 패드(15A1, 15A2)가 부착되는 것을 생각할 수 있다.

그러나 단자 전극(17A1, 17A2)으로 된 도금에는 주석이 포함되어 있다. 전술한 열이 단자 전극(17A1, 17A2)으로 전달되면, 도금에 포함되어 있는 주석이 녹아서, 납재(26)로 녹아들어 납재(26)의 용점을 낮춘다. 그 때문에 납재(26)로서 고용점 납재를 이용해도, 납재(26)가 녹아서 패드(15A1, 15A2) 사이를 단락하게 된다.

또한 단자 전극(17A1, 17A2)과 패드(15A1, 15A2)가, 도전성 접착제를 이용하여 부착하는 것을 생각할 수 있다. 단자 전극(17A1, 17A2, ...)과 패드(15A1, 15A2)를 도전성 접착제로 부착할 때, 도전 접착제가 너무 많으면 흘러나가서, 패드(15A1, 15A2) 사이를 단락하게 된다. 또한 외부 전극을 인쇄 기판(24)의 인쇄 배선(25A1, 25A2)에 부착하기 위해 가열하면, 도전성 접착제의 접착력이 열화하여, 단자 전극(17A1, 17A2)과 패드(15A1, 15A2)의 접촉이 불충분하게 된다.

발명의 구성

본 발명은 칩 부품의 단자 전극을 도전 배선층에 형성된 패드에 양호하게 부착할 수 있도록 하는 것으로, 양단에 단자 전극을 형성한 칩 부품과, 상기 단자 전극에 대응하여 복수의 패드가 형성된 도전 배선층과, 상기 패드를 제외하고 상기 도전 배선층을 피복하는 오버코트 수지와, 상기 도전 배선층에 전기적으로 접속되고 하면으로 노출되는 외부 전극이 구비된 혼성 집적 회로에서, 상기 칩 부품의 단자 전극이, 납재에 의해 부착되는 상기 패드 사이의 오버코트 수지에 공간부를 형성한 혼성 집적 회로를 제공한다.

본 발명은 양단에 단자 전극을 형성한 칩 부품과, 상기 단자 전극에 대응하여 복수의 패드가 구비된 도전 배선층과, 상기 패드를 제외하고 도전 배선층을 피복하는 오버코트 수지와, 상기 도전 배선층에 전기적으로 접속되고 하면으로 노출되도록 납재로 이루어지는 외부 전극이 구비된 혼성 집적 회로에서, 상기 칩 부품의 단자 전극이 납재에 의해 부착되는 패드 사이에 절연성 수지를 형성한 혼성 집적 회로를 제공한다.

본 발명은 상기 패드 사이의 절연성 수지로서 언더필 수지를 이용한 혼성 집적 회로를 제공한다.

본 발명은 양단에 단자 전극을 형성한 칩 부품과, 상기 단자 전극에 대응하여 복수의 패드가 형성된 도전 배선층과, 상기 패드를 제외하고 상기 도전 배선층을 피복하는 오버코트 수지와, 도전 배선층에 전기적 접속되고 하면으로 노출되도록 납재로 이루어지는 외부 전극이 구비된 혼성 집적 회로에서, 상기 칩 부품의 단자 전극에 주석이 포함되지 않는 도금을 실시하고, 상기 단자 전극과 패드를 접착하는 납재는, 상기 외부 전극을 형성하는 납재보다 고용점의 납재로 부착하는 혼성 집적 회로를 제공한다.

본 발명은 양단에 단자 전극을 형성한 칩 부품과, 상기 단자 전극에 대응하여 복수의 패드가 형성된 도전 배선층과, 상기 패드를 제외하고 도전 배선층을 피복하는 오버코트 수지로 이루어지고, 상기 패드 상에 도전성 접착제를 형성하고, 상기 패드 사이에 절연성 접착제를 형성하고, 상기 칩 부품 본체를 상기 절연성 접착제에 의해 오버코트 수지에 접착하고, 또한 상기 칩 부품의 단자 전극을 상기 패드에 상기 도전성 접착제로 접착하는 혼성 집적 회로를 제공한다.

<실시 형태>

본 실시 형태의 혼성 집적 회로를 도 1~도 17에 따라서 설명한다.

도 1 및 도 2는 본 실시 형태의 혼성 집적 회로의 평면도 및 단면도이다. 시트(31)는 절연 수지막(32)에 접착된 제1 도전막(33)과 제2 도전막(34)으로 이루어진다. 제1 도전막(33)과 제2 도전막(34)은 다층 접속 수단(42)으로 접속되어 있다. 제1 도전막(33)을 원하는 패턴으로 에칭하여 제1 도전 배선층(35)을 형성하고, 반도체 회로 소자(37A)와 칩 부품(37B)이 부착되어 있다.

반도체 회로 소자(37A)는 LSI 혹은 IC의 베어 칩 등이며, 칩 부품(37B)은 칩 컨텐서 또는 칩 저항 등의 회로 소자이다.

제1 도전 배선층(35) 및 반도체 회로 소자(37A)와 칩 부품(37B)은 밀봉 수지층(43)으로 피복되어 있다. 또한 제2 도전막(34)을 원하는 패턴으로 에칭하여 제2 도전 배선층(36)을 형성한다. 그리고, 제2 도전 배선층(36)의 원하는 부분에 납재로 이루어지는 외부 전극(44)을 형성한다.

반도체 회로 소자(37A)는 오버코트 수지(38) 상에 형성한 다이패드(38A)에 부착된다. 또한 칩 컨텐서(37B)의 양단에 있는 전극(39B)은 도전 배선층(35)에 형성한 패드(40) 상면에 경납땜된다. 또, 본 실시 형태에서는 패드(40) 표면에 도금막(52)이 형성되어 이루어진다.

다음으로 반도체 회로 소자(37A)의 전극(37A1)과 본딩 패드(39B1)는 금속 세선(41A1)에 의해 접속된다. 또한 반도체 회로 소자(37A)의 다른 전극(39A2, 39A3, ..., 39A7)과 본딩 패드(39B2, 39B3, ..., 39B7)는 금속 세선(41A2, 41A3, ..., 41A7)에 의해 접속된다.

상술한 혼성 집적 회로의 제조 방법을 도 3~도 10에 설명한다.

도 3에 도시한 바와 같이, 제1 도전막(33)과 제2 도전막(34)을 절연 수지층(32)으로 접착하여 시트(31)를 만든다.

다음으로, 도 4에 도시한 바와 같이, 시트(31)의 원하는 부분의 제1 도전막(33) 및 절연 수지막(32)에 관통 구멍(52)을 형성하여, 제2 도전막(34)을 선택적으로 노출한다.

도 5에 도시한 바와 같이, 관통 구멍(52)에 다층 접속 수단(42)을 형성하여, 제1 도전막(33)과 제2 도전막(34)을 전기적으로 접속한다.

또한 도 6 및 도 7에 도시한 바와 같이, 제1 도전막을 원하는 패턴으로 에칭하여 제1 도전 배선층(35), 패드(40)를 형성한다.

계속해서, 패드(40)를 노출하도록, 다른 부분을 오버코트 수지(38)로 피복한다.

도 7에 도시한 바와 같이, 패드(40) 상에는 본딩성을 고려하여 Au, Ag 등의 도금막(52)이 형성된다.

도 8에 도시한 바와 같이, 제1 도전 배선층(35) 위는 오버코트 수지(38)에 의해 전기적으로 절연되고, 다이패드(38A), 패드(40) 상에 반도체 회로 소자(37A), 칩 부품(57B)을 부착한다. 반도체 회로 소자(37A)의 각 전극 패드(39A)와 패드(40)는 금속 세선(41)에 의해 접속된다. 또한 칩 부품(37B)의 단자 전극(39B)은 패드(40) 상면에 부착된다.

도 9에 도시한 바와 같이, 제1 도전 배선층(35) 및 반도체 회로 소자(37A) 등을 밀봉 수지층(43)으로 피복한다.

도 10에 도시한 바와 같이, 제2 도전막을 원하는 패턴으로 에칭하여, 제2 도전 배선층(36)을 형성한다. 그 후에, 납재로 형성된 외부 전극(44)으로 되는 부분을 제외하고 오버코트 수지(38)로 피복하여, 혼성 집적 회로를 구성한다.

도 11 및 도 12는 본 실시 형태의 혼성 집적 회로의 특징을 도시하는 주요부 평면도 및 단면도이다. 상술한 칩 부품(37B)은 칩 컨텐서 혹은 칩 저항 등의 전기 부품으로, 양단에 도금된 단자 전극(39B)을 갖는다.

또한 제1 도전 배선층(35)에는 상술한 바와 같이, 단자 전극(39B)에 대응하여, 패드(40)가 형성되어 있다. 그리고, 패드(40) 사이에는 납재(46)를 밀어내는 공간부(47)가 형성되어 있다. 따라서, 공간부(47)의 주위는 오버코트 수지(38)로 둘러싸이게 된다. 공간부(47)는 폭 0.23cm, 길이 0.10cm로 하지만, 부착되는 칩 부품(37)에 따라 사이즈는 다르다.

도 12에 도시한 바와 같이, 밀봉 수지로 밀봉하기 이전에, 단자 전극(39B)을 패드(40)에 부착한다. 부착하기 위해서는, 미리 패드(40)에 땜납 등의 납재(46)를 도포하고 단자 전극(39B)을 실어 가열하면, 납재(46)가 용해하여 단자 전극(39B)은 패드(40)에 부착된다.

도 2에 도시한 혼성 집적 회로는, 사용자가 전자 기기 등에 사용되는 인쇄 배선 기판(50)에 내장하여 사용한다. 그것에는 혼성 집적 회로의 외부 전극(44)을 인쇄 배선 기판(50)의 인쇄 배선(51)에 실어 가열한다. 외부 전극(44)은 땀납 등의 납재로 형성되어 있기 때문에, 납재가 녹아서 혼성 집적 회로는 인쇄 배선(51)에 부착된다.

상술한 바와 같이 부착하기 위해 가열할 때, 열은 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달한다. 그리고, 단자 전극(39B)과 패드(40) 사이를 부착한 납재(46)가 녹아서, 도 22에 도시한 바와 같이 패드(40) 사이를 단락할 우려가 있다. 그러나 본 실시 형태에서는 패드(40) 사이에는 오버코트 수지(38)로 둘러싸인 공간부(47)가 형성되어 있기 때문에, 흘러나간 납재(46)는 공간부(47)로 유입되어 패드(40) 사이를 단락하는 것을 방지한다.

도 13은 본 실시 형태의 혼성 집적 회로의 다른 실시예를 설명하는 평면도이다.

제1 도전 배선층(35)에, 패드(40)가 구비되어 있는 것은, 도 11 및 도 12와 마찬가지로이다. 그러나 패드(40) 사이에 형성되고, 납재(46)를 밀어내는 공간부(47)는 패드(40)에 부착되는 칩 부품(37B)의 측면보다 외측으로 연장되는 연장부(48)가 형성되어 있다. 또한, 상술한 바와 마찬가지로 공간부(47) 주위는 제1 도전 배선층(35) 표면에 도포된 오버코트 수지(33)로 포위되어 있다.

공간부(47)는 상술한 바와 마찬가지로 길이는 0.16cm이지만, 패드(40)보다 0.15cm 돌출된 연장부(48)를 갖는다. 또한 공간부(47)의 길이는 0.10cm이지만, 상술한 바와 마찬가지로 패드(40)보다 0.15cm 돌출되는 연장부(48)를 형성한다. 이 공간부(47)의 길이 및 연장부(48)의 길이는 부착하는 칩 부품에 따라 다르다.

혼성 집적 회로의 외부 전극(44)을 인쇄 배선 기판(50)에 형성한 인쇄 배선(51)에 접합한 후 가열한다. 가열함으로써, 납재로 형성된 외부 전극(44)이 용해하여 혼성 집적 회로는 패드(40)에 부착된다.

상술한 바와 같이, 열은 제2 도전 배선층(36) 및 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달된다. 그리고, 단자 전극(39B)과 패드(40)를 부착한 납재(46)가 녹아서, 패드(40) 사이를 단락할 우려가 있다. 그러나, 본 실시 형태에서는 패드(40) 사이에는 오버코트 수지(38)로 둘러싸인 공간부(47)가 형성되어 있기 때문에, 흘러나간 납재(46)는 공간부(47)에 흐른다.

공간부(47)로 유입된 납재(46)는 칩 부품(37B)의 측면보다 외측에 위치하는 연장부(48)로부터 플럭스와 함께 세정되어 제거된다. 따라서 흐른 납재(46)가 패드(40) 사이를 단락하지 않는다. 또한 플럭스를 제거함으로써 칩 부품(37B)은 강고하게 패드(40)에 부착된다.

도 14는 본 실시 형태의 혼성 집적 회로의 다른 실시예를 도시하는 단면도이다. 도 12와 다른 부분은, 공간부를 형성하지 않고, 패드(40) 사이에 언더필 수지(55)를 구비한 것이다.

도 2에 도시한 바와 같이, 혼성 집적 회로의 외부 전극(44)을 인쇄 배선 기판(50)에 구비된 인쇄 배선(51)에 접합한 후 가열한다. 가열함으로써 납재로 형성된 외부 전극(44)이 용해하여 혼성 집적 회로는 인쇄 배선(51)에 부착된다.

상술한 바와 같이, 열은 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달된다. 그리고, 단자 전극(39B)과 패드(40)를 부착한 납재(46)가 녹아서, 패드(40) 사이를 단락할 우려가 있다. 그러나 본 실시 형태에서는 패드(40) 사이에는 언더필 수지(55)가 형성되어 있기 때문에, 흘러나간 납재(46A)는 언더필 수지(55)로 저지되어, 패드(40) 사이를 단락시키지 않는다.

도 15는 본 발명의 혼성 집적 회로의 다른 실시예를 도시하는 단면도이다. 단자 전극(39B)을 패드(40)에 부착하는 납재(46A)에, 외부 전극(44)을 형성하는 납재보다 고용점의 납재를 이용한다. 실제로는, 예를 들면 Sn이 5%, Pb가 95%인 조성으로 이루어지는, 용점이 300℃인 고용점 납재를 이용한다. 한편, 외부 전극(44)을 형성하는 납재는 Sn이 3%, Ag이 0.5%, Pb가 96.5%인 조성으로 이루어지는, 용점이 238℃인 납재이다.

도 2에 도시한, 혼성 집적 회로의 외부 전극(44)을 인쇄 배선 기판(50)에 형성한 인쇄 배선(51)에 접합하기 위해 가열한다. 238℃ 이상으로 가열하면, 외부 전극(44)을 형성하는 납재가 용해하여, 혼성 집적 회로는 인쇄 배선(51)에 부착된다. 또한, 열은 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달된다. 그러나, 단자 전극(39B)과 패드(40)를 가열하면, 납재(46A)가 녹아, 패드(40)를 단락할 우려가 있다. 그러나, 패드(40)와 칩 부품(39B)을 부착하는 고용점 납재(46B)는 용점에 이르지 않아 용해하지 않는다.

그런데, 외부 전극(44)을 인쇄 배선 기판(50)의 인쇄 배선(51)에 부착하기 위해 가열한 열은, 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달된다. 또한, 그 열은 단자 전극(39B)으로 전달되어, 단자 전극(39B)에 도금되어 있는 Sn을 용해한다. 그 용해된 Sn이 고용점 납재(46A)로 녹아들면, 고용점 납재(46A)의 용점을 낮춘다. 따라서 고용점 납재(46A)의 용점이 내려가 녹을 우려가 있다.

본 실시 형태에서는 칩 부품(37)의 단자 전극(39B)을 Sn이 포함되지 않은 금 도금 또는 구리 도금으로 형성한다. 그러면, 외부 전극(44)을 인쇄 배선 기판(50)의 인쇄 배선(51)에 부착하기 위해 가열한 열은 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)에 전달되지만, 단자 전극(39B)의 도금에는 Sn이 포함되어 있지 않다. 그것으로, 고용점 납재(46A)의 용점을 저하시키지 않는다.

도 16 및 도 17은 본 실시 형태의 혼성 집적 회로의 다른 실시예를 도시하는 단면도이다.

본 실시예에서는 칩 부품(37B)의 단자 전극(39B)을 패드(40)에 도전성 접착제(56), 예를 들면 Ag 페이스트를 이용하여 접착한다. 그러나 도전성 접착제(56)는 양이 많으면 비어져 나와서 패드(40) 사이를 단락시킨다. 또한 외부 전극(44)을 인쇄 배선(51)에 부착하기 위해 가열한 열이, 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달되면, 도전성 접착제(56, 56)는 열에 의해 그 접착력이 저하된다.

따라서 본 실시 형태에서는 도전성 접착제(56) 사이에 절연성 접착제(57)를 배치한다. 그리고, 그 절연성 접착제(57)는 도전성 접착제(56)보다 그 상면이 높도록 배치된다. 따라서 칩 부품(37B)의 단자 전극(39B)을 패드(40)에 접착하기 위해, 칩 부품(37B)을 두면, 우선 절연성 접착제(57)가 칩 부품(37B) 본체에 접촉한다.

또한, 칩 부품(37B)을 밑으로 누르면 도전성 접착제(56)가 단자 전극(39B)에 접촉하고, 단자 전극(39B)과 패드(40)가 접착한다. 이 때, 도전성 접착제(56)가 눌러 퍼지지만, 절연성 접착제(57)가 이미 칩 부품(37B)에 접촉되어 있기 때문에, 도전성 접착제(56)가 패드(40) 사이를 단락시키지 않는다.

또한 외부 전극(44)을 인쇄 배선(51)에 부착하기 위해 가열한 열이, 제2 도전 배선층(36)으로부터 제1 도전 배선층(35)을 거쳐서 패드(40)로 전달된다. 그러나, 칩 부품(37B)은 절연성 접착제(57)에 의해, 오버코트 수지(38)와 접착하고 있기 때문에, 도전성 접착제(56)의 접착력이 열화해도 영향을 끼치지 않는다.

발명의 효과

본 발명의 혼성 집적 회로는 도전 배선층에 형성된 패드 사이에 수지로 둘러싼 공간부를 형성한다. 그리고, 혼성 집적 회로의 외부 전극을 인쇄 기판에 부착하기 위한 열이 패드로 전달된다. 이 때, 칩 부품의 단자 전극과 패드를 고착한 납재가 녹아서 흘러나와도, 공간부로 유입되어, 납재가 패드 사이를 단락하게 되는 것을 방지할 수 있다.

또한, 본 발명의 혼성 집적 회로는 도전 배선층에 형성된 패드 사이에 절연성 수지를 형성한다. 그리고, 상술한 바와 마찬가지로 혼성 집적 회로의 외부 전극을 인쇄 배선에 부착하기 위해 가열한 열이 패드로 전달된다. 이 때, 칩 부품의 단자 전극과 패드를 고착한 납재가 녹아서 흘러나와도, 절연성 수지로 저지되어 납재가 패드를 단락하게 되는 것을 방지할 수 있다.

또한 본 발명의 혼성 집적 회로는 외부 전극을 인쇄 배선에 고착하는 납재보다 고용점의 납재를 이용하여, 칩 부품의 단자 전극과 패드를 고착한다. 그리고, 칩 부품의 단자 전극에 주석을 포함하지 않은 도금을 이용했기 때문에, 열이 단자 전극으로 전달되어, 도금이 녹아도 고용점 납재의 용점을 내리지 않는다.

또한 본 발명의 혼성 집적 회로는 칩 부품의 단자 전극을 패드에 도전성 접착제를 이용하여 부착한다. 그리고, 그 패드 사이에는 절연성 접착제가 형성되어 있기 때문에, 도전 접착제가 너무 많이 흘러 나가도 절연성 접착제로 저지되어, 패드 사이를 단락하게 되는 것을 저지할 수 있다. 또한, 외부 전극을 인쇄 기판의 인쇄 배선에 부착하기 위한 열에 의해 도전성 접착제의 접착력이 열화한 경우에도, 절연성 접착제의 접착력에 의해 칩 부품 자체의 접착력은 유지된다.

도면의 간단한 설명

도 1은 본 발명의 혼성 집적 회로의 평면도.

도 2는 본 발명의 혼성 집적 회로의 단면도.

도 3은 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 4는 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 5는 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 6은 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 7은 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 8은 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 9는 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 10은 본 발명의 혼성 집적 회로의 제조 방법을 설명하는 단면도.

도 11은 본 발명의 혼성 집적 회로의 주요부를 도시하는 평면도.

도 12는 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 13은 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 14는 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 15는 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 16은 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 17은 본 발명의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 18은 종래의 혼성 집적 회로를 도시하는 단면도.

도 19는 종래의 혼성 집적 회로의 평면도.

도 20은 종래의 혼성 집적 회로의 단면도로, 도 20의 (a)는 제조 과정을 도시하는 단면도, 도 20의 (b)는 완성된 단면도.

도 21은 종래의 혼성 집적 회로의 주요부를 도시하는 단면도.

도 22는 종래의 혼성 집적 회로의 주요부를 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

35 : 제1 도전 배선층

36 : 제2 도전 배선층

37A : 반도체 회로 소자

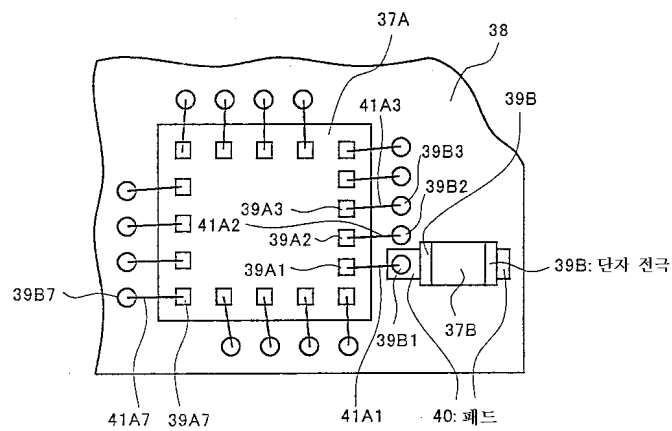
37B : 칩 부품

38 : 오버코트 수지

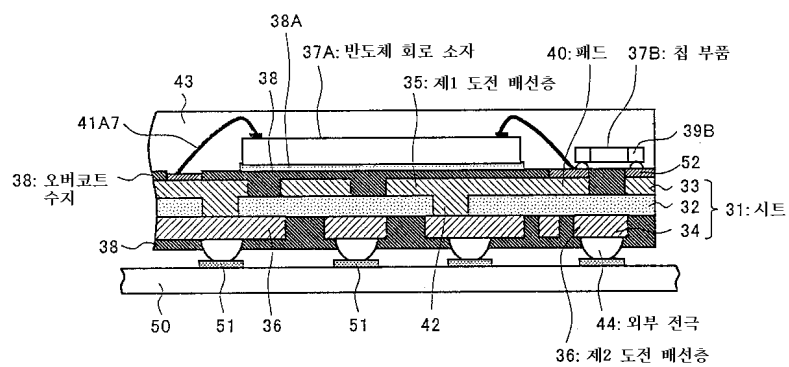
- 40 : 패드
- 43 : 밀봉 수지
- 44 : 외부 전극
- 46 : 납재
- 46A : 고용점 납재
- 47 : 공간부
- 50 : 인쇄 기판
- 55 : 언더필 수지
- 56 : 도전성 접착제
- 57 : 절연성 접착제

도면

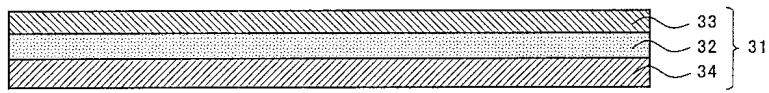
도면1



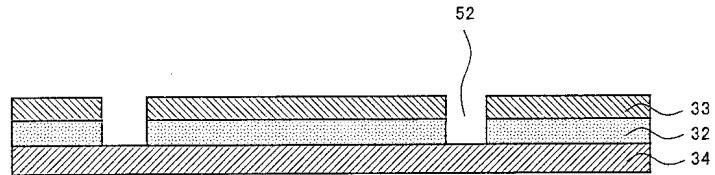
도면2



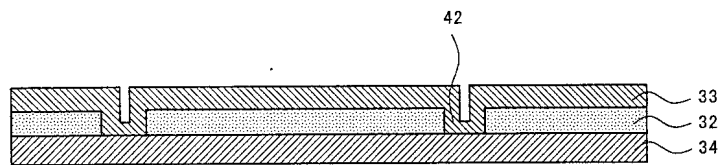
도면3



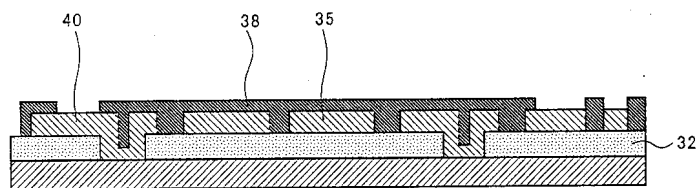
도면4



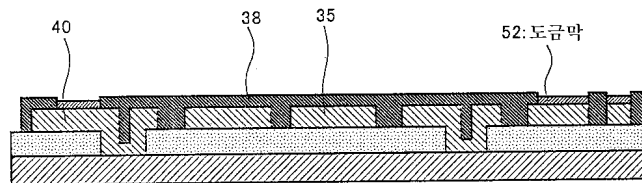
도면5



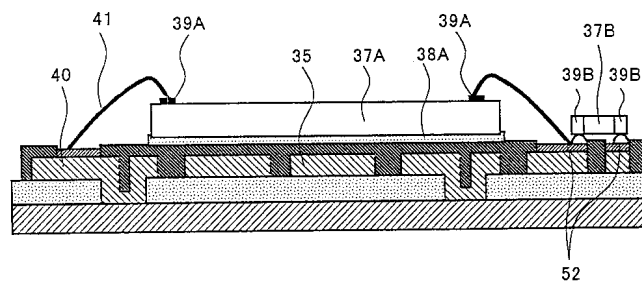
도면6



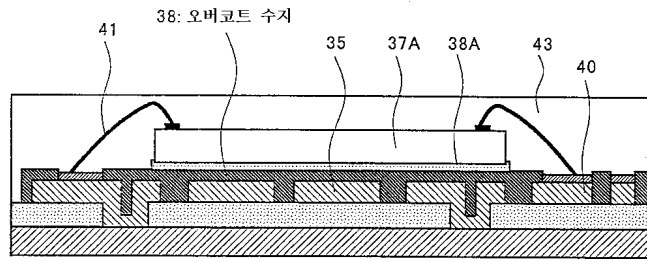
도면7



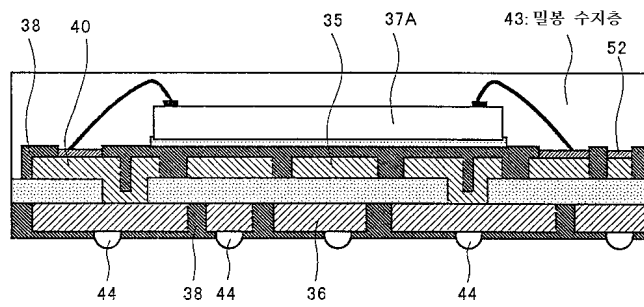
도면8



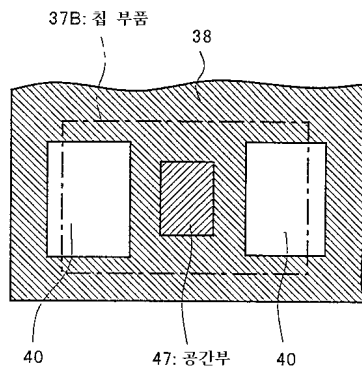
도면9



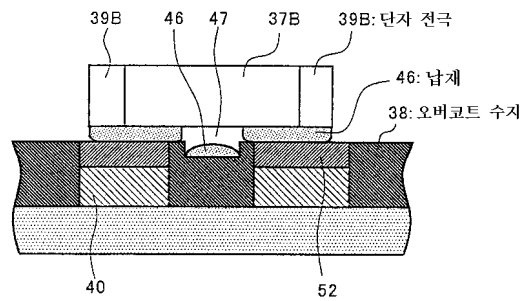
도면10



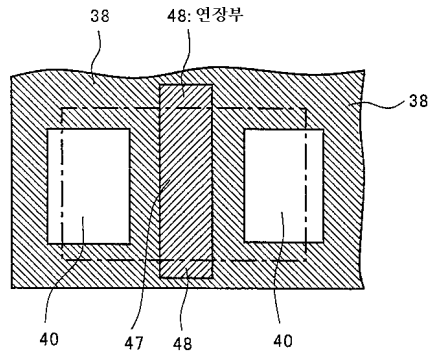
도면11



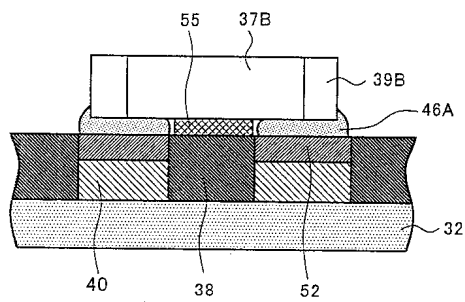
도면12



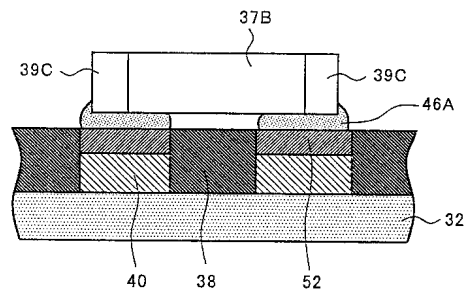
도면13



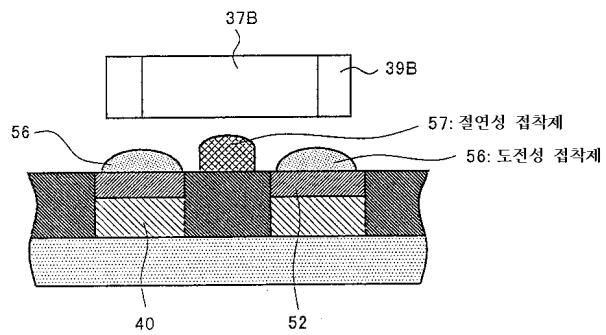
도면14



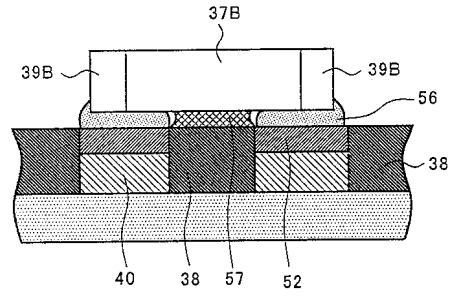
도면15



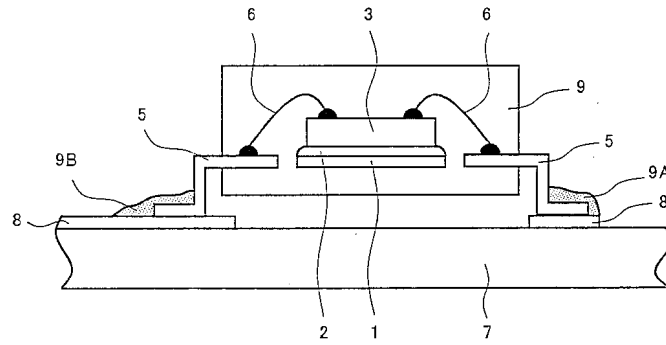
도면16



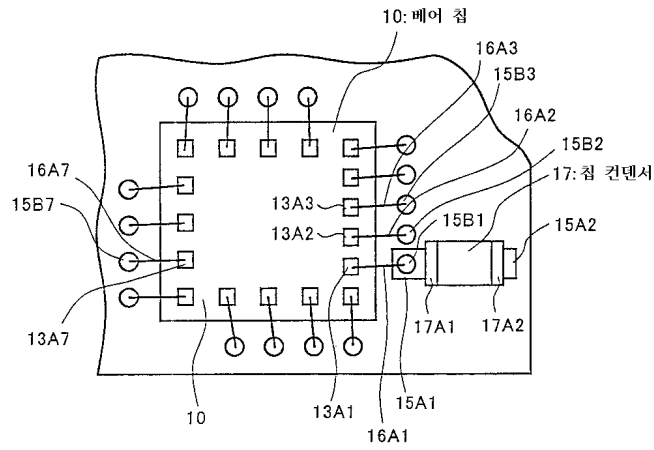
도면17



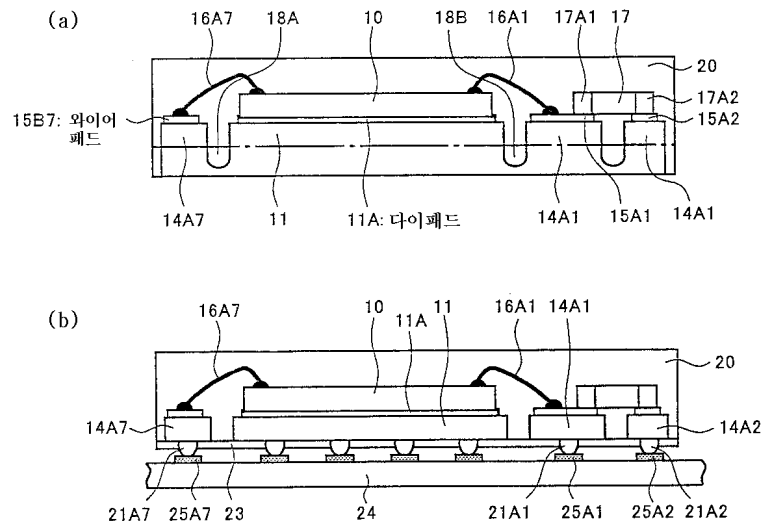
도면18



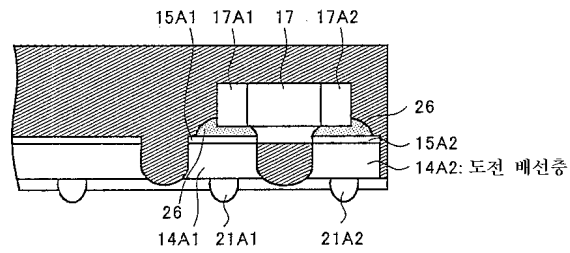
도면19



도면20



도면21



도면22

