(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월18일
(11) 등록번호 10-2266069
(24) 등록일자 2021년06월11일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) *H04L 25/03* (2006.01)
H04L 25/49 (2006.01)
(52) CPC특허분류
H04L 25/026 (2013.01)
H04L 25/028 (2013.01)
(21) 출원번호 10-2020-0084682
(22) 출원일자 2020년07월09일
심사청구일자 2020년07월09일
(56) 선행기술조사문헌
KR1020170040304 A*
KR1020180087472 A*
KR1020200016399 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221 도곡렉슬아파트
심진철
서울특별시 성북구 보문로30가길 41-1
(뒷면에 계속)
(74) 대리인
이기성

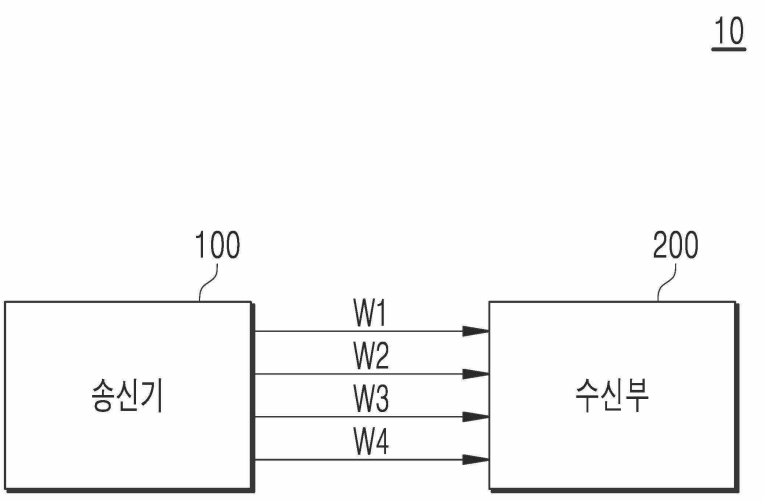
전체 청구항 수 : 총 19 항 심사관 : 황철규

(54) 발명의 명칭 **PAM-4 기반의 유선 트랜시버**

(57) 요 약

본 출원의 일 실시예에 따른 PAM-4 기반의 유선 트랜시버는 변조 신호를 송신하는 송신부 및 상기 변조 신호로부터 기설정된 디코딩 테이블을 통해 결정되는 복수의 결정 값들에 기초하여, 디지털 출력 신호를 생성하는 수신부를 포함하고, 상기 송신부와 상기 수신부는 상기 복수의 와이어들을 통해 서로 연결된다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/0292 (2013.01)
H04L 25/03006 (2013.01)
H04L 25/49 (2013.01)
(72) 발명자
박현수
서울특별시 동대문구 한빛로 50-2
최종혁
경기도 수원시 영통구 삼성로 11
래미안영통마크원2단지

명 세 서

청구범위

청구항 1

변조 신호를 송신하는 송신부; 및

상기 변조 신호로부터 기설정된 디코딩 테이블을 통해 결정되는 복수의 결정 값들에 기초하여, 디지털 출력 신호를 생성하는 수신부를 포함하고,

상기 송신부와 상기 수신부는 상기 복수의 와이어들을 통해 서로 연결되고,

상기 수신부는 상기 송신부로부터 상기 복수의 와이어들을 통해 상기 변조 신호를 수신하는 아날로그 전단부를 포함하며,

상기 아날로그 전단부는 상기 송신부로부터 각 와이어를 통해 상기 변조 신호를 수신받는 선형 등화기; 및

상기 선형 등화기를 통해 선형 등화된 상기 변조 신호에 기초하여, 메인 전류원을 통해 상기 변조 신호를 증폭시키는 가변 이득 증폭기를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 2

제1항에 있어서,

상기 변조 신호는 단위 시간 마다 서로 다른 전압 레벨을 가지는 제1 내지 제4 변조 비트를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 3

제1항에 있어서,

상기 제1 내지 제4 변조 비트는 상기 복수의 와이어들 각각에 일대일 대응되는, PAM-4 기반의 유선 트랜시버.

청구항 4

제1항에 있어서,

상기 기설정된 디코딩 테이블은, 상기 변조 신호에 대한 경우의 수가 맵핑된 변조 비트 테이블, 상기 복수의 결정 값들에 대한 경우의 수가 맵핑된 결정값 테이블 및 상기 디지털 출력 신호에 대한 경우의 수가 맵핑된 출력 비트 테이블을 포함하고,

상기 변조 비트 테이블, 상기 결정값 테이블 및 상기 출력 비트 테이블은 컬럼 라인 별로 서로 대응되는, PAM-4 기반의 유선 트랜시버.

청구항 5

제1항에 있어서,

상기 수신부는

상기 변조 신호를 비교하고, 상기 비교 결과에 기초하여 상기 변조 신호를 등화하는 판정 궤환 등화부; 및

상기 기설정된 디코딩 테이블을 이용하여, 상기 복수의 결정 값들 중 적어도 일부 값들을 상기 디지털 출력 신호로 디코딩하는 디코딩부를 더 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 6

삭제

청구항 7

제5항에 있어서,

상기 선형 등화기와 상기 가변 이득 증폭기의 입출력단 개수는 상기 와이어의 개수와 동일한, PAM-4 기반의 유선 트랜시버.

청구항 8

제5항에 있어서,

상기 가변 이득 증폭기는 상기 변조 신호 중 제1 변조 비트를 증폭하기 위한 제1 메인 트랜지스터;

상기 변조 신호 중 제2 변조 비트를 증폭하기 위한 제2 메인 트랜지스터;

상기 변조 신호 중 제3 변조 비트를 증폭하기 위한 제3 메인 트랜지스터; 및

상기 변조 신호 중 제4 변조 비트를 증폭하기 위한 제4 메인 트랜지스터를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 9

제8항에 있어서,

상기 판정 궤환 등화부는, 상기 가변 이득 증폭기로부터 증폭되는 상기 변조 신호를 입력받아 상기 복수의 결정 값들을 판정하는 결정 장치; 및

상기 복수의 결정 값들 중 적어도 셋 이상의 결정 값들에 기초하여, 탭 전류원을 통해 상기 변조 신호를 등화하는 판정 궤환 등화기를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 10

제9항에 있어서,

상기 판정 궤환 등화기는 상기 제1 메인 트랜지스터와 상기 탭 전류원을 스위칭 연결하는 제1 브런치 회로;

상기 제2 메인 트랜지스터와 상기 탭 전류원을 스위칭 연결하는 제2 브런치 회로;

상기 제3 메인 트랜지스터와 상기 탭 전류원을 스위칭 연결하는 제3 브런치 회로; 및

상기 제4 메인 트랜지스터와 상기 탭 전류원을 스위칭 연결하는 제4 브런치 회로를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 11

제10항에 있어서,

상기 제1 내지 제4 브런치 회로 각각은 상기 탭 전류원에 병렬로 연결되는 적어도 셋 이상의 탭 트랜지스터를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 12

제5항에 있어서,

상기 디코딩부는 상기 복수의 결정 값들 중 나머지 결정 값들에 기초하여, 상기 적어도 일부 값들을 상기 디지털 출력 신호들로 디코딩하는 제1 내지 제4 디코더를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 13

제12항에 있어서,

상기 제1 내지 제4 디코더 각각은 상기 나머지 결정 값들에 따라 스위칭 온되는 제1 내지 제3 스위치; 및

스위칭 오프되는 제4 내지 제6 스위치를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 14

송신 신호에 따라 인코딩된 변조 신호의 각 출력 전압을 조절하는 송신부; 및

상기 변조 신호의 각 출력 전압에 기초하여, 상기 변조 신호로부터 결정되는 복수의 결정 값들 중 적어도 일부를 디지털 출력 신호로 디코딩하는 수신부를 포함하고,

상기 송신부는 상기 변조 신호의 각 출력 전압을 복수의 와이어들을 통해 상기 수신부로 출력하고,

상기 수신부는 상기 송신부로부터 상기 복수의 와이어들을 통해 상기 변조 신호를 수신하는 아날로그 전단부를 포함하며,

상기 아날로그 전단부는 상기 송신부로부터 각 와이어를 통해 상기 변조 신호를 수신받는 선형 등화기; 및

상기 선형 등화기를 통해 선형 등화된 상기 변조 신호에 기초하여, 메인 전류원을 통해 상기 변조 신호를 증폭시키는 가변 이득 증폭기를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 15

제14항에 있어서,

상기 송신부는 기설정된 인코딩 맵핑 테이블에 기초하여, 상기 송신 신호를 상기 변조 신호로 인코딩하는 인코딩부; 및

기설정된 인코딩 로직 테이블에 기초하여, 상기 변조 신호에 대응되는 각 출력 전압을 생성하는 드라이버부를 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 16

제15항에 있어서,

기설정된 인코딩 맵핑 테이블은 상기 송신 신호와 변조 신호가 기설정된 경우의 수에 따라 컬럼 라인 별로 맵핑된 테이블인, PAM-4 기반의 유선 트랜시버.

청구항 17

제15항에 있어서,

상기 기설정된 인코딩 로직 테이블은 상기 변조 신호의 각 신호 별로 기설정된 출력 전압을 조절하기 위한 로직 값들을 포함하는 테이블로서, 상기 로직 값들을 연산하기 위한 연산식들을 포함하는, PAM-4 기반의 유선 트랜시버.

청구항 18

제15항에 있어서,

상기 드라이버부는 와이어 마다 개별적으로 연결되는 송신 드라이버를 복수개 포함하고,

상기 송신 드라이버는,

제1 전류원이 일측에 연결되는 제1 트랜지스터;

제2 전류원이 일측에 연결되는 제2 트랜지스터; 및

제3 전류원이 일측에 연결되는 제3 트랜지스터를 포함하고,

상기 제1 내지 제3 트랜지스터는 하나의 와이어 라인에 대해 타측으로 서로 병렬로 연결되고,

상기 제1 내지 제3 전류원은 서로 다른 크기의 전류를 제공하는, PAM-4 기반의 유선 트랜시버.

청구항 19

제18항에 있어서,

상기 송신 드라이버는 상기 기설정된 인코딩 로직 테이블에 따라, 상기 제1 내지 제3 송신 트랜지스터에 대한 스위칭 온오프 동작을 통해, 상기 제1 내지 제3 전류원 중 어느 하나를 상기 복수의 와이어들 중 어느 하나에 연결하는, PAM-4 기반의 유선 트랜시버.

청구항 20

제13항에 있어서,

상기 송신부와 상기 수신부는 상기 복수의 결정 값들을 결정하기 위한 적어도 하나의 문턱 전압을 설정하는 동작을 스킵하는, PAM-4 기반의 유선 트랜시버.

발명의 설명

기 술 분 야

[0001] 본 출원은 PAM-4 기반의 유선 트랜시버에 관한 것으로, 특히, 4개의 비트를 4개의 와이어를 통해 송수신하는 4 레벨-펄스진폭변조 신호법을 적용한 유선 트랜시버에 관한 것이다.

배 경 기 술

[0002] 데이터 통신을 위해서 일반적으로 NRZ(PAM-2) 신호법을 사용한다. 여기서, NRZ(PAM-2) 신호법은 두 가지 데이터 변조 레벨을 가지며, 송수신기의 구조를 간단하게 할 수 있다.

[0003] 그러나, NRZ(PAM-2) 신호법은 1 unit interval(UI) 동안 1bit 데이터만 전송 할 수 있기 때문에, 클락 주파수를 높이는 것으로는 한계가 있고, 고속 데이터 전송 시 채널의 영향을 많이 받아 고속 송수신기 구현에 어려운 문제를 가진다.

[0004] 최근, NRZ(PAM-2) 신호법의 단점을 보완하기 위해, 네 개의 데이터 변조 레벨을 가지고 1UI에 2bit를 보낼 수 있는 PAM-4 신호법이 사용되고 있다.

[0005] 이러한 PAM-4 신호법은 NRZ(PAM-2) 신호법에 비해 데이터 변조 레벨 간의 간격이 1/3배로 작기 때문에, 데이터 변조 레벨 간의 간격이 일정하지 않을 때, 가장 작은 간격으로 인하여 신호대잡음 비율이 떨어지고, 전압 마진이 낮은 문제를 가진다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은 개의 레벨 펄스 진폭 변조 신호 법을 적용한 PAM-4 기반의 유선 트랜시버를 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 출원의 일 실시예에 따른 PAM-4 기반의 유선 트랜시버는 변조 신호를 송신하는 송신부 및 상기 변조 신호로부터 기설정된 디코딩 테이블을 통해 결정되는 복수의 결정 값들에 기초하여, 디지털 출력 신호를 생성하는 수신부를 포함하고, 상기 송신부와 상기 수신부는 상기 복수의 와이어들을 통해 서로 연결된다.

[0008] 본 출원의 다른 실시예에 따른 PAM-4 기반의 유선 트랜시버는 송신 신호에 따라 인코딩된 변조 신호의 각 출력 전압을 조절하는 송신부 및 상기 변조 신호의 각 출력 전압에 기초하여, 상기 변조 신호로부터 결정되는 복수의 결정 값들 중 적어도 일부를 디지털 출력 신호로 디코딩하는 수신부를 포함하고, 상기 송신부는 상기 변조 신호의 각 출력 전압을 복수의 와이어들을 통해 상기 수신부로 출력한다.

발명의 효과

[0009] 본 출원의 실시예에 따른 PAM-4 기반의 유선 트랜시버는 고속의 송수신 속도를 제공하는 동시에, 종래의 싱글단 타입의 NRZ 트랜시버 및 기존 차동 PAM-4 트랜시버와 같은 핀 효율성을 가지며, 종래의 PAM-4 신호법에 비해 2배의 높은 전압 마진을 확보하여 신호대잡음 비율을 증가시킬 수 있고, 채널 감쇄로 인해 발생할 수 있는 부호간 간섭을 제거할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 출원의 일 실시예에 따른 PAM-4 기반의 유선 트랜시버에 대한 블록도이다.

도 2는 도 1의 변조 신호에 대한 실시 예를 나타내는 도이다.

도 3은 도 1의 수신부에 기설정된 디코딩 테이블을 설명하기 위한 도이다.

도 4는 도 1의 수신부에 대한 블록도이다.

도 5는 도 4의 수신부를 구체적으로 보여주는 도이다.

도 6은 도 5의 아날로그 전단부를 구체적으로 나타내는 도이다.

도 7은 도 5의 판정 궤환 등화부를 구체적으로 나타내는 도이다.

도 8은 도 5의 디코딩부를 구체적으로 나타내는 도이다.

도 9는 본 출원의 다른 실시예에 따른 PAM-4 기반의 유선 트랜시버에 대한 블록도이다.

도 10은 도 9의 송신부를 구체적으로 보여주는 도이다

도 11은 도 10의 인코딩부에 기설정된 인코딩 맵핑 테이블을 설명하기 위한 도이다.

도 12는 도 10의 드라이버부에 기설정된 인코딩 로직 테이블을 설명하기 위한 도이다.

도 13은 도 10의 드라이버부를 구체적으로 보여주는 도이다.

도 14는 도 13의 드라이버부의 동작 예이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0012] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0013] 도 1은 본 출원의 일 실시예에 따른 PAM-4 기반의 유선 트랜시버(10)에 대한 블록도이고, 도 2는 도 1의 변조 신호($A_MB_MC_MD_M$)에 대한 실시 예를 나타내는 도이고, 도 3은 도 1의 수신부(200)에 기설정된 디코딩 테이블(300)을 나타내는 도이다.

[0014] 도 1을 참조하면, PAM-4 기반의 유선 트랜시버(10)는 송신부(100)와 수신부(200)를 포함할 수 있다.

[0015] 먼저, 송신부(100)는 변조 신호($A_MB_MC_MD_M$)를 복수의 와이어들(W_1~W_4)을 통해 송신할 수 있다. 여기서, 복수의 와이어들(W_1~W_4)은 송신부(100)와 수신부(200)를 서로 연결하는 배선일 수 있다.

[0016] 실시예에 따른 변조 신호($A_MB_MC_MD_M$)는 단위 시간(1 Unit Interval, 1 UI)마다 서로 다른 전압 레벨을 가지는 제1 내지 제4 변조 비트를 포함할 수 있다.

[0017] 예를 들면, 도 2에 도시된 바와 같이, 1 UI 구간에서, 제1 변조 비트는 하이 전압 레벨이고, 제2 변조 비트는 하이 전압 레벨보다 작은 제1 중간 전압 레벨이며, 제3 변조 비트는 제1 중간 전압 레벨보다 작은 제2 중간 전압 레벨이고, 제4 변조 비트는 제2 중간 전압 레벨보다 작은 로우 전압 레벨일 수 있다.

[0018] 여기서, 제1 내지 제4 변조 비트는 복수의 와이어들(W_1~W_4)에 일대일 대응될 수 있다. 예를 들면, 제1 변조 비트는 복수의 와이어들(W_1~W_4) 중 제1 와이어(W_1)를 통해 송신되고, 제2 변조 비트는 복수의 와이어들(W_1~W_4) 중 제1 와이어(W_2)를 통해 송신될 수 있다.

[0019] 본 출원의 실시예에 따른 수신부(200)는 변조 신호($A_MB_MC_MD_M$)로부터 기설정된 디코딩 테이블을 통해 결정되는 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D) 중 적어도 일부(A-B, A-D, B-C, C-D)에 기초하여, 디지털 출력 신호(ABCD)를 생성함으로써, 기존 싱글단 타입의 NRZ 트랜시버 및 기존 차동 PAM-4 트랜시버와 같은 핀 효율성을 가지며, 기존 PAM-4 신호법에 비해 2배의 높은 전압 마진을 확보하며, 채널 감쇄로 인해 발생할 수 있는 부호 간 간섭을 제거할 수 있다.

[0020] 여기서, 디지털 출력 신호(ABCD)는 단위 시간(1UI)마다 4 비트의 정보를 가진 신호일 수 있다.

[0021] 이때, 기설정된 디코딩 테이블(300)은 도 3에 도시된 바와 같이, 변조 신호($A_MB_MC_MD_M$)에 대한 경우의 수가 맵핑된 변조 비트 테이블(310), 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D)에 대한 경우의 수가 맵핑된 결정 값 테이블(320) 및 디지털 출력 신호(ABCD)에 대한 경우의 수가 맵핑된 출력 비트 테이블(330)을 포함할 수 있다.

[0022] 예를 들면, 변조 신호($A_MB_MC_MD_M$)가 '(3201)'인 경우, 수신부(200)는 '(3201)'로부터 결정되는 복수의 결정 값들인 '(110111)' 중 적어도 일부인 '(1101)'에 기초하여, 수신부(200)는 디지털 출력 신호(ABCD)인 '(1011)'를 출력할 수 있다.

[0023] 이하, 도 4 내지 도 8을 참조하여 수신부(200)에 대해 보다 구체적으로 설명될 것이다.

[0024] 도 4는 도 1의 수신부(200)에 대한 블록도이다.

[0025] 도 1 내지 도 4를 참조하면, 수신부(200)는 아날로그 전단부(210), 판정 궤환 등화부(220) 및 디코딩부(230)를 포함할 수 있다.

[0026] 먼저, 아날로그 전단부(210)는 송신부(100)로부터 복수의 와이어들(W_1~W_4)을 통해 변조 신호($A_MB_MC_MD_M$)를 수신할 수 있다.

[0027] 다음으로, 판정 궤환 등화부(220)는 변조 신호($A_MB_MC_MD_M$)를 서로 비교하고, 상기 비교 결과에 기초하여 변조 신호($A_MB_MC_MD_M$)를 등화할 수 있다.

[0028] 다음으로, 디코딩부(230)는 상기 등화된 변조 신호($A_MB_MC_MD_M$)로부터 기설정된 디코딩 테이블을 통해 결정된 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D) 중 적어도 일부(A-B, A-D, B-C, C-D)에 기초하여, 디지털 출력 신호(ABCD)를 생성할 수 있다.

[0029] 도 5는 도 4의 수신부(200)를 구체적으로 보여주는 도이고, 도 6은 도 5의 아날로그 전단부(210)를 구체적으로 나타내는 도이다.

[0030] 도 4 내지 도 6을 참조하면, 아날로그 전단부(210)는 선형 등화기(211)와 가변 이득 증폭기(213)를 포함할 수 있다.

[0031] 먼저, 선형 등화기(211)는 송신부(100)로부터 복수의 와이어들(W_1~W_4)을 통해 수신받은 변조 신호($A_MB_MC_MD_M$)를 선형적으로 등화할 수 있다.

[0032] 다음으로, 가변 이득 증폭기(213)는 제1 내지 제4 메인 트랜지스터(T_{M1}~T_{M4})를 포함할 수 있다.

[0033] 구체적으로, 제1 메인 트랜지스터(T_{M1})는 메인 전류원(I_{MAIN})을 통해 변조 신호($A_MB_MC_MD_M$) 중 제1 변조 비트(A_M)를 제1 비교 입력(D_A)으로 증폭시킬 수 있다. 또한, 제2 메인 트랜지스터(T_{M2})는 메인 전류원(I_{MAIN})을 통해 변조 신호($A_MB_MC_MD_M$) 중 제2 변조 비트(B_M)를 제2 비교 입력(D_B)으로 증폭시킬 수 있다. 제3 메인 트랜지스터(T_{M3})는 메인 전류원(I_{MAIN})을 통해 변조 신호($A_MB_MC_MD_M$) 중 제3 변조 비트(C_M)를 제3 비교 입력(D_C)으로 증폭시킬 수 있다. 또한, 제4 메인 트랜지스터(T_{M4})는 메인 전류원(I_{MAIN})을 통해 변조 신호($A_MB_MC_MD_M$) 중 제4 변조 비트(D_M)를 제4 비교 입력(D_D)으로 증폭시킬 수 있다.

[0034] 즉, 가변 이득 증폭기(213)는 선형 등화기(211)를 통해 선형적으로 등화된 변조 신호(예컨대, DA. DB, DC, DD)에 기초하여, 메인 전류원(I_{MAIN})을 통해 변조 신호($A_MB_MC_MD_M$)를 증폭시킬 수 있다. 이때, 가변 이득 증폭기(213)

와 선형 등화기(211)의 입출력단의 개수는 복수의 와이어들(W_1~W_4)의 개수와 동일할 수 있다.

[0035] 도 7은 도 5의 판정 궤환 등화부(230)를 구체적으로 나타내는 도이다.

[0036] 도 4, 도 5 및 도 7을 참조하면, 판정 궤환 등화부(230)는 결정 장치(231)와 판정 궤환 등화기(233)를 포함할 수 있다.

[0037] 먼저, 결정 장치(231)는 복수의 비교기들(231_1~231_6)을 이용하여 가변 이득 증폭기(2130)를 통해 증폭된 변조 신호 예컨대, 제1 내지 제4 비교 입력($D_AD_BD_CD_D$)을 한쌍씩 비교하고, 상기 비교 결과에 기초하여 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D)을 출력할 수 있다.

[0038] 다음으로, 판정 궤환 등화기(233)는 결정 장치(231)로부터 피드백받는 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D) 중 적어도 셋 이상의 결정 값들에 기초하여, 제1 내지 제4 브런치 회로(233_1~233_4)에 병렬로 연결된 탭 전류원(I_{TAP})을 통해 변조 신호(예컨대, 가변 이득 증폭기(213)를 통해 증폭된 신호인 $D_AD_BD_CD_D$)를 등화할 수 있다.

[0039] 구체적으로, 제1 브런치 회로(233_1)는 제1 메인 트랜지스터(T_{M1})와 탭 전류원(I_{TAP})을 스위칭 연결할 수 있다. 또한, 제2 브런치 회로(233_2)는 제2 메인 트랜지스터(T_{M2})와 탭 전류원(I_{TAP})을 스위칭 연결할 수 있다. 또한, 제3 브런치 회로(233_3)는 제3 메인 트랜지스터(T_{M3})와 탭 전류원(I_{TAP})을 스위칭 연결할 수 있다. 또한, 제4 브런치 회로(233_4)는 제4 메인 트랜지스터(T_{M4})와 탭 전류원(I_{TAP})을 스위칭 연결할 수 있다.

[0040] 이때, 제1 내지 제4 브런치 회로(233_1~233_4) 각각은 탭 전류원(I_{TAP})에 병렬로 연결되는 적어도 셋 이상의 탭 트랜지스터들을 포함할 수 있다.

[0041] 도 8은 도 5의 디코딩부(230)를 구체적으로 나타내는 도이다.

[0042] 도 4, 도 5 및 도 8을 참조하면, 디코딩부(230)는 제1 내지 제4 디코더(231~234)를 포함할 수 있다.

[0043] 실시예에 따른 제1 내지 제4 디코더(231~234)는 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D) 중 적어도 일부(A-B, A-D, B-C, C-D)에 기초하여, 디지털 출력 신호(ABCD)를 디코딩할 수 있다.

[0044] 구체적으로, 제1 디코더(231)는 적어도 일부(A-B, A-D, B-C, C-D)의 어느 한쌍의 결정 값(A-D, A-B) 중 나머지 결정 값(A-C, B-D)에 따라 선택되는 제1 결정 값(예컨대, A-D)을 디지털 출력 신호(ABCD)의 제1 출력 신호(A)로 출력할 수 있다.

[0045] 또한, 제2 디코더(232)는 적어도 일부(A-B, A-D, B-C, C-D)의 나머지 한쌍의 결정 값(C-D, B-C) 중 나머지 결정 값(A-C, B-D)에 따라 선택되는 제2 결정 값(예컨대, C-D)을 디지털 출력 신호(ABCD)의 제2 출력 신호(B)로 출력할 수 있다.

[0046] 또한, 제3 디코더(233)는 적어도 일부(A-B, A-D, B-C, C-D)의 나머지 한쌍의 결정 값(C-D, B-C) 중 나머지 결정 값(A-C, B-D)에 따라 선택되는 제3 결정 값(예컨대, B-C)을 디지털 출력 신호(ABCD)의 제3 출력 신호(C)로 출력할 수 있다.

[0047] 또한, 제4 디코더(234)는 적어도 일부(A-B, A-D, B-C, C-D)의 어느 한쌍의 결정 값(A-D, A-B) 중 나머지 결정 값(A-C, B-D)에 따라 선택되는 제4 결정 값(예컨대, A-B)을 디지털 출력 신호(ABCD)의 제4 출력 신호(D)로 출력할 수 있다.

[0048] 이러한 제1 내지 제4 디코더(231~234) 각각은 나머지 결정 값(A-C, B-D)에 따라 스위칭 온되는 제1 내지 제3 스위치(SW1~SW3)와 스위칭 오프되는 제4 내지 제6 스위치(SW4~SW6)로 구성될 수 있다.

[0049] 도 9는 본 출원의 다른 실시예에 따른 PAM-4 기반의 유선 트랜시버(11)에 대한 블록도이고, 도 10은 도 9의 송신부(100)를 구체적으로 보여주는 도이며, 도 11은 도 10의 인코딩부(110)에 기설정된 인코딩 맵핑 테이블(410)을 설명하기 위한 도이고, 도 12는 도 10의 드라이버부(120)에 기설정된 인코딩 로직 테이블(420)을 설명하기 위한 도이다.

[0050] 도 9와 도 10을 참조하면, PAM-4 기반의 유선 트랜시버(11)는 송신부(100)와 수신부(200)를 포함할 수 있다. 이하, 도 1 내지 도 8을 참조하여 설명된 동일한 부재번호의 송신부(100)와 수신부(200)에 대한 중복된 설명은 생략될 것이다.

[0051] 먼저, 송신부(100)는 송신 신호(ABCD)에 따라 인코딩된 변조 신호($A_MB_MC_MD_M$)에 기초하여, 변조 신호($A_MB_MC_MD_M$)의 각 출력 전압(V1, V2, V3, V4)을 조절 할 수 있다.

[0052] 또한, 송신부(100)는 변조 신호($A_MB_MC_MD_M$)의 각 출력 전압(V1, V2, V3, V4)을 복수의 와이어들(W_1~W_4)을 통해 수신부(200)로 출력할 수 있다.

[0053] 다음으로, 수신부(200)는 변조 신호($A_MB_MC_MD_M$)의 각 출력 전압(V1, V2, V3, V4)에 기초하여, 변조 신호($A_TB_TC_TD_T$)로부터 결정되는 복수의 결정 값들(A-B, A-C, A-D, B-C, B-D, C-D) 중 적어도 일부(A-B, A-D, B-C, C-D)를 디지털 출력 신호(ABCD)로 출력할 수 있다.

[0054] 구체적으로, 송신부(100)는 인코딩부(110)와 드라이버부(120)를 포함할 수 있다.

[0055] 먼저, 인코딩부(110)는 기설정된 인코딩 맵핑 테이블을 이용하여, 송신 신호(ABCD)를 변조 신호($A_MB_MC_MD_M$)로 인코딩할 수 있다.

[0056] 도 11에 도시된 바와 같이, 기설정된 인코딩 맵핑 테이블(410)은 송신 신호(ABCD)와 변조 신호($A_MB_MC_MD_M$)가 기설정된 경우의 수에 따라 컬럼 라인 별로 맵핑된 테이블일 수 있다. 예를 들면, 송신 신호(ABCD) '(1010)'는 변조 신호($A_MB_MC_MD_M$) '(2301)'에 맵핑될 수 있다.

[0057] 다음으로, 드라이버부(120)는 기설정된 인코딩 로직 테이블(420)에 기초하여, 변조 신호($A_MB_MC_MD_M$)에 대응되는 각 출력 전압(V1, V2, V3, V4)을 생성하고, 복수의 와이어들(W_1~W_4)을 통해 이를 출력할 수 있다.

[0058] 도 12에 도시된 바와 같이, 기설정된 인코딩 로직 테이블(420)은 변조 신호($A_MB_MC_MD_M$)의 각 신호 별로 기설정된 출력 전압(V1, V2, V3, V4)을 조절하기 위한 로직 값들(ENC_X, ENC_Y, ENC_Z)을 포함하는 테이블일 수 있다. 여기서, 기설정된 인코딩 로직 테이블(420)은 로직 값들(ENC_X, ENC_Y, ENC_Z)을 연산하기 위한 연산식들을 더 포함할 수 있다.

[0059] 도 13은 도 10의 드라이버부(120)를 구체적으로 보여주는 도이고, 도 14는 도 13의 드라이버부(130)의 동작 예이다.

[0060] 먼저, 도 13을 참조하면, 드라이버부(120)는 와이어 별로 개별적으로 수신부(200)에 연결되는 복수의 송신 드라이버들(121~124)을 포함할 수 있다.

[0061] 복수의 송신 드라이버들(121~124) 각각은 제1 내지 제3 송신 트랜지스터(T_{TX1}, T_{TX2}, T_{TX3})를 포함할 수 있다.

[0062] 구체적으로, 제1 송신 트랜지스터(T_{TX1})는 일측에 제1 전류원(I)이 연결되고, 제2 송신 트랜지스터(T_{TX2})는 일측에 제2 전류원(2I)이 연결되며, 제3 트랜지스터(T_{TX3})는 일측에 제3 전류원(3I)이 연결될 수 있다. 또한, 제1 내지 제3 트랜지스터(T_{TX1}, T_{TX2}, T_{TX3})는 하나의 와이어 라인에 대해 타측으로 서로 병렬 연결될 수 있다.

[0063] 여기서, 제1 내지 제3 전류원(I~3I)은 서로 다른 크기의 전류를 제공할 수 있다.

[0064] 실시예에 따른 복수의 송신 드라이버들(121~124)은 기설정된 인코딩 로직 테이블에 따라, 제1 내지 제3 송신 트랜지스터(T_{TX1}, T_{TX2}, T_{TX3})에 대한 스위칭 온오프 동작을 수행할 수 있다. 이때, 복수의 송신 드라이버들(121~124)은 제1 내지 제3 전류원(I~3I) 중 어느 하나를 복수의 와이어들(W1~W4) 중 어느 하나의 와이어에 스위칭 연결할 수 있다.

[0065] 예를 들면, 도 14(a)에 도시된 바와 같이, 송신 신호(ABCD)가 '(1010)'인 CASE 1의 경우, 먼저, 인코딩부(110)는 기설정된 인코딩 맵핑 테이블(410)에 따라 송신 신호 '(1010)'을 변조 신호 '(2301)'로 인코딩할 수 있다. 이때, 복수의 송신 드라이버들(121~124) 중 제1 송신 드라이버(121)는 제1 전류원(I)을 제1 와이어(W1)에 연결하고, 제2 송신 드라이버(122)는 스위칭 오프되며, 제3 송신 드라이버(123)는 제3 전류원(3I)을 제3 와이어(W3)에 연결하고, 제4 드라이버(124)는 제2 전류원(2I)을 제4 와이어(W4)에 연결할 수 있다.

[0066] 또한, 도 14(b)에 도시된 바와 같이, 송신 신호(ABCD)가 '(0101)'인 CASE 2의 경우, 인코딩부(110)는 기설정된 인코딩 맵핑 테이블에 따라 송신 신호 '(0101)'을 변조 신호 '(1032)'로 인코딩할 수 있다. 이때, 복수의 송신 드라이버들(121~124) 중 제1 송신 드라이버(121)는 제2 전류원(2I)을 제1 와이어(W1)에 연결하고, 제2 송신 드

라이버(121)는 제3 전류원(3I)을 제2 와이어(W2)에 연결하며, 제3 송신 드라이버(123)는 스위칭 오프되고, 제4 드라이버(124)는 제1 전류원(I)을 제4 와이어(W4)에 연결할 수 있다.

[0067] 즉, 복수의 송신 드라이버들(121~124)은 제1 내지 제3 전류원(I~3I)을 통해 변조 신호($A_MB_MC_MD_M$)에 대응되는 각 출력 전압(V1, V2, V3, V4)을 복수의 와이어들(W1~W4)을 통해 수신부(200)로 전송할 수 있다.

[0068] 도 15는 도 1의 PAM-4 기반의 유선 트랜시버(10)와 종래의 트랜시버들과의 기술적 효과 차이를 나타내는 도이다.

[0069] 도 15에 도시된 바와 같이, 종래의 싱글단 PAM-4 트랜시버(3)는 하나의 와이어 마다 2비트의 데이터를 송수신함으로써, 핀 효율성이 싱글단 NRZ 트랜시버(1) 대비 200%일 수 있다. 그러나, 종래의 싱글단 PAM-4 트랜시버(3)는 복수의 결정 값들을 결정하기 위한 적어도 하나의 문턱 전압은 3개가 필요함으로써, 종래의 싱글 PAM-4 트랜시버(3)는 싱글단 NRZ 트랜시버(1) 대비 약 6배 감소된 약 0.16 비율의 전압 마진을 가질 수 있다.

[0070] 실시예에 따른 PAM-4 기반의 유선 트랜시버(10)는 4개의 와이어마다 4비트를 송수신함으로써, 핀 효율성이 싱글단 NRZ 트랜시버(1) 대비 100%로 동일할 수 있다. 또한, PAM-4 기반의 유선 트랜시버(10)는 복수의 결정 값들을 결정하기 위한 적어도 하나의 문턱 전압을 이용하지 않으므로, 적어도 하나의 문턱 전압을 설정하는 동작을 스킵할 수 있어, 종래의 싱글단 PAM-4 트랜시버(3) 대비 4배 및 종래의 차동 PAM-4 트랜시버(4) 대비 2배 증가된 약 0.66 비율의 전압마진을 가질 수 있다.

[0071] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

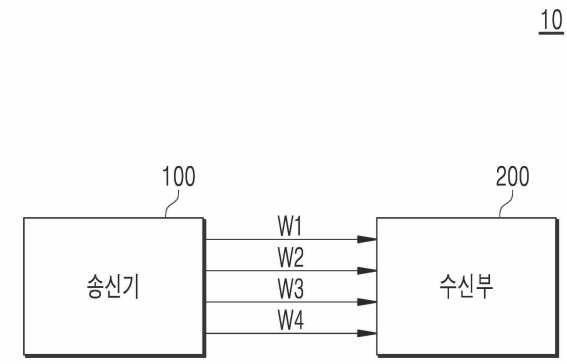
[0072] 10: PAM-4 기반의 유선 트랜시버

100: 송신부

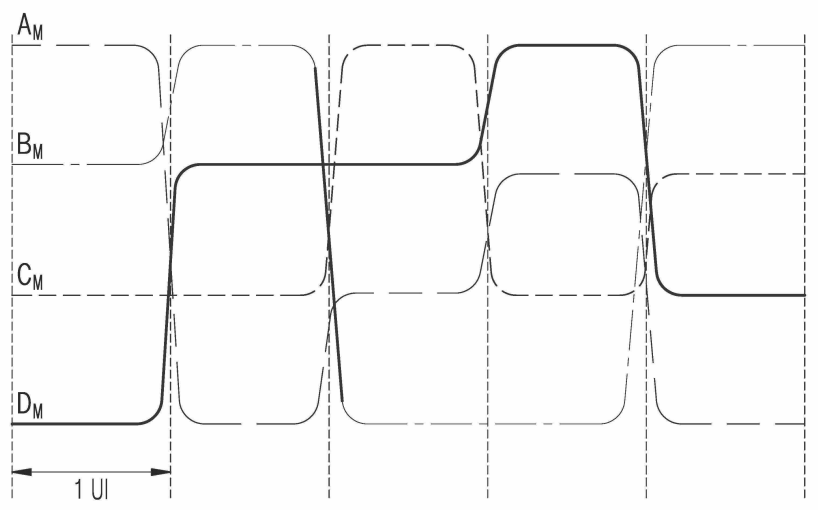
200: 수신부

도면

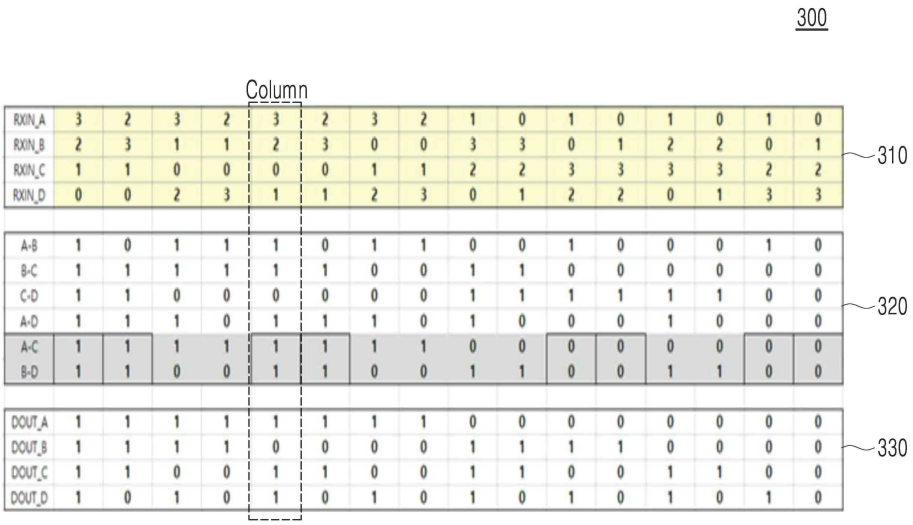
도면1



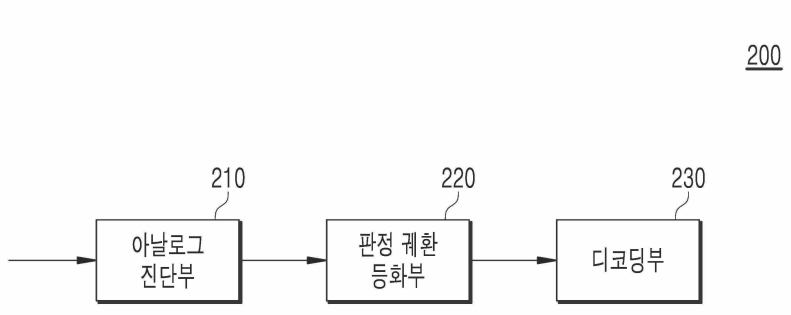
도면2


A_M
B_M
C_M
D_M
1 UI

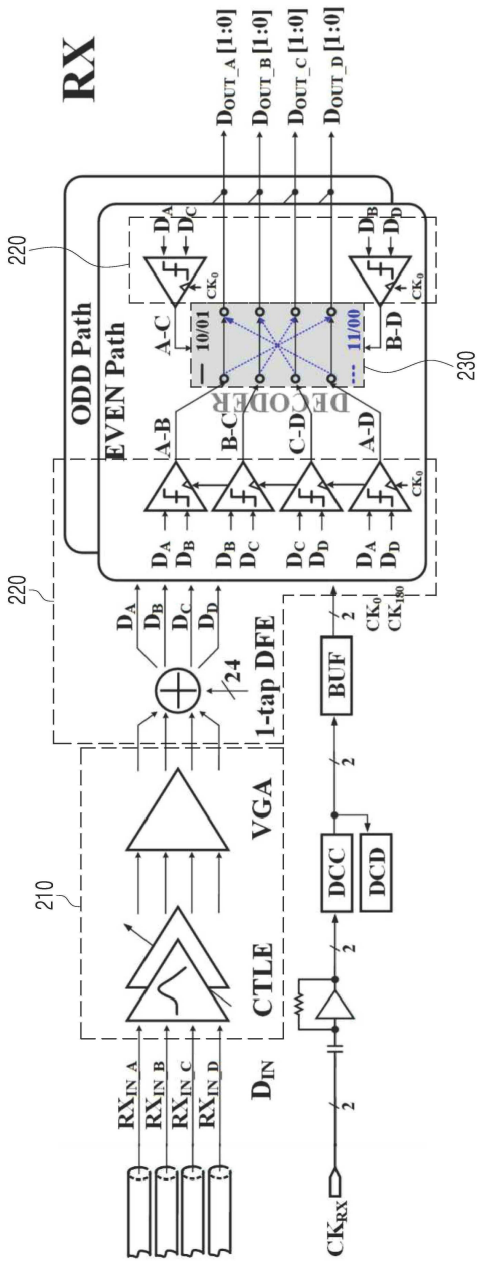
도면3


300
Column
RXIN_A 3 2 3 2 3 2 3 2 1 0 1 0 1 0 1 0
RXIN_B 2 3 1 1 2 3 0 0 3 3 0 1 2 2 0 1
RXIN_C 1 1 0 0 0 0 1 1 2 2 3 3 3 3 2 2
RXIN_D 0 0 2 3 1 1 2 3 0 1 2 2 0 1 3 3
310
A-B 1 0 1 1 1 0 1 1 0 0 1 0 0 0 1 0
B-C 1 1 1 1 1 1 0 0 1 1 0 0 0 0 0 0
C-D 1 1 0 0 0 0 0 0 1 1 1 1 1 1 0 0
A-D 1 1 1 0 1 1 1 0 1 0 0 0 1 0 0 0
A-C 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0
B-D 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0
320
DOUT_A 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 0
DOUT_B 1 1 1 1 0 0 0 0 1 1 1 1 0 0 0 0
DOUT_C 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0
DOUT_D 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0
330

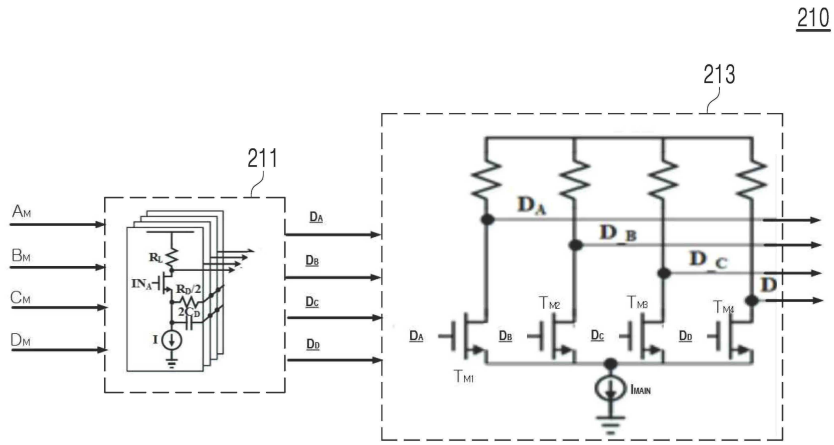
도면4


200
210
220
230
아날로그 진단부
판정 궤환 등화부
디코딩부

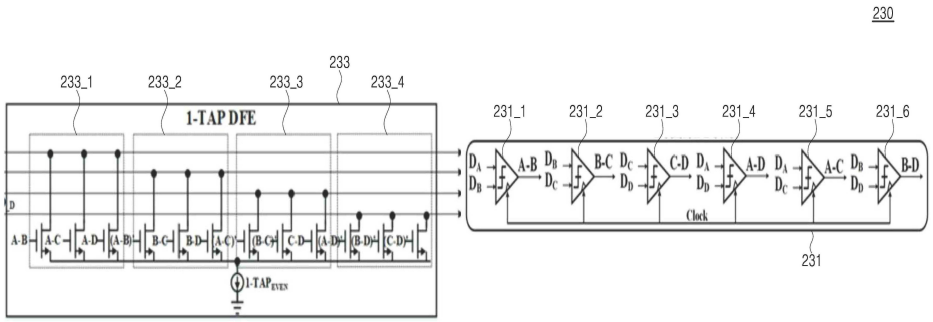
도면5


RX
DOUT_A [1:0]
DOUT_B [1:0]
DOUT_C [1:0]
DOUT_D [1:0]
220
ODD Path
EVEN Path
A-C
B-D
10/01
11/00
230
DECODER
A-B
B-C
C-D
A-D
CK0
220
24
1-tap DFE
BUF
CK0
CK180
VGA
210
CTLE
DCC
DCD
DIN
RXIN_A
RXIN_B
RXIN_C
RXIN_D
CKRX

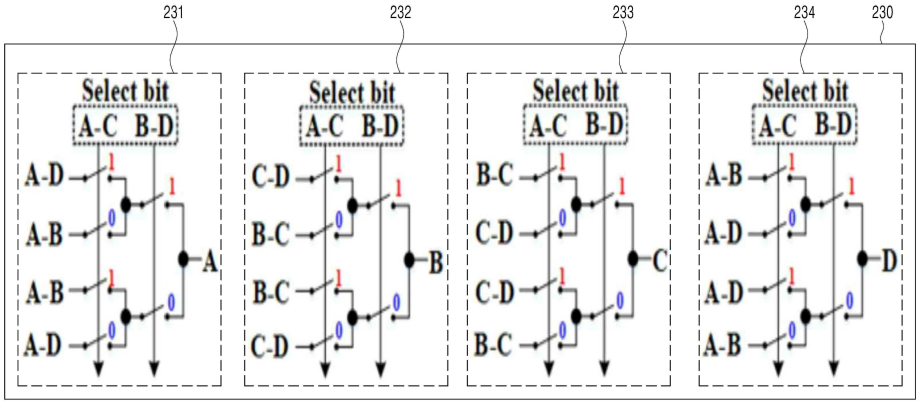
도면6


210
213
211
AM
BM
CM
DM
DA
DB
DC
DD
IMAIN

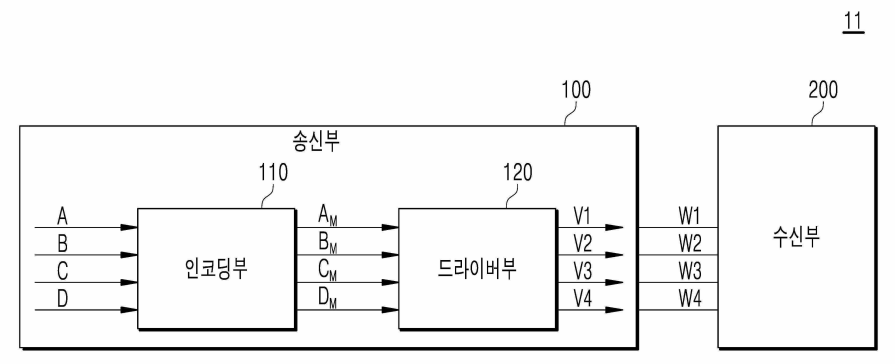
도면7


230
233
233_1
233_2
233_3
233_4
1-TAP DFE
231_1
231_2
231_3
231_4
231_5
231_6
Clock
231

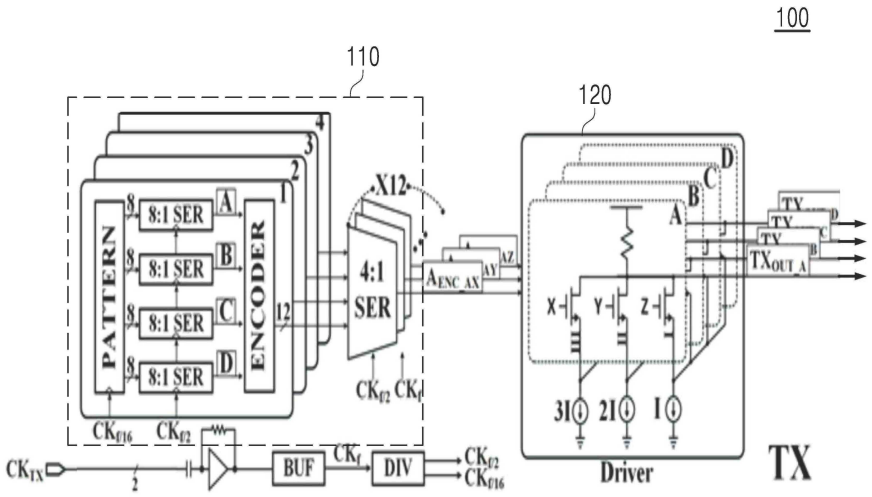
도면8


231
232
233
234
230
Select bit
A-C B-D
A-D
A-B
A-B
A-D
A
C-D
B-C
B-C
C-D
B
B-C
C-D
C-D
B-C
C
A-B
A-D
A-D
A-B
D

도면9



도면10



도면11

410

A	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
B	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
C	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
D	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
ENC_A_T	3	2	3	2	3	2	3	2	1	0	1	0	1	0	1	0
ENC_B_T	2	3	1	1	2	3	0	0	3	3	0	1	2	2	0	1
ENC_C_T	1	1	0	0	0	0	1	1	2	2	3	3	3	3	2	2
ENC_D_T	0	0	2	3	1	1	2	3	0	1	2	2	0	1	3	3

도면12

420

ENC_A_T	3	2	3	2	3	2	3	2	1	0	1	0	1	0	1	0
ENC_B_T	2	3	1	1	2	3	0	0	3	3	0	1	2	2	0	1
ENC_C_T	1	1	0	0	0	0	1	1	2	2	3	3	3	3	2	2
ENC_D_T	0	0	2	3	1	1	2	3	0	1	2	2	0	1	3	3

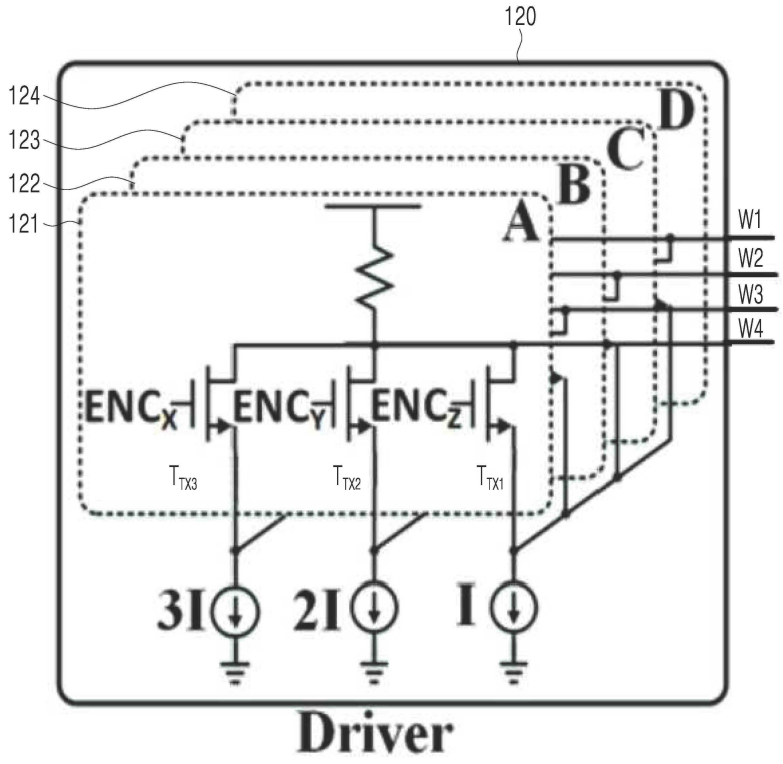
ENC_A_T	3	2	3	2	3	2	3	2	1	0	1	0	1	0	1	0	LOGIC
ENC_X	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	(A'+0) (D'+0) 1
ENC_Y	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	(A'+0) (D+0) 1
ENC_Z	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	(A+0) (D'+0) 1

ENC_B_T	2	3	1	1	2	3	0	0	3	3	0	1	2	2	0	1	LOGIC
ENC_X	0	0	0	0	0	0	1	1	0	0	1	0	0	0	1	0	(C'+0) (A' + B') (A + D)
ENC_Y	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	1	(C'+0) (A' + B) (A + D')
ENC_Z	1	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	(C+0) (A + B') (A' + D)

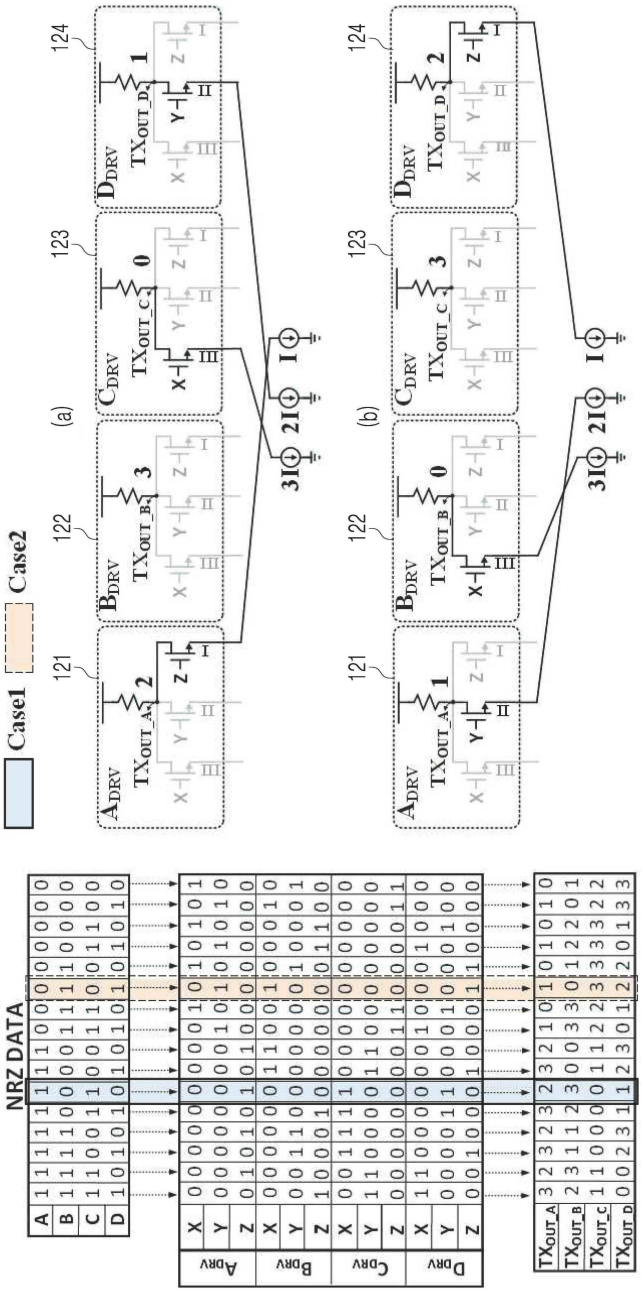
ENC_C_T	1	1	0	0	0	0	1	1	2	2	3	3	3	3	2	2	LOGIC
ENC_X	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	(A+0) (B' + C') (B + C)
ENC_Y	1	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	(A+0) (B' + C) (B + C')
ENC_Z	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	(A'+0) (B' + C) (B + C')

ENC_D_T	0	0	2	3	1	1	2	3	0	1	2	2	0	1	3	3	LOGIC
ENC_X	1	1	0	0	0	0	0	0	1	0	0	0	1	0	0	0	(C+0) (A' + B) (A + D)
ENC_Y	0	0	0	0	1	1	0	0	0	1	0	0	0	1	0	0	(C+0) (A' + B') (A + D')
ENC_Z	0	0	1	0	0	0	1	0	0	0	1	1	0	0	0	0	(C'+0) (A + B) (A' + D)

도면13



도면14



도면15

	1	2	3	4	5
핀 효율성	싱글 NRZ	차동 NRZ	싱글 PAM-4	차동 PAM-4	제안한 송수신기
	1bit-1wire	1bit-2wire	2bit-1wire	2bit-2wire	4bit-4wire
	100%	50%	200%	100%	100%
문턱 전압 필요개수	1	0	3	2~3	0
판정 전압마진	1	2	0.166666667	0.333333333	0.666666667