

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 12/08

(45) 공고일자 1992년06월04일
(11) 공고번호 특 1992-0004400

| | | | |
|------------|-----------------------------------------------------------|-----------|----------------|
| (21) 출원번호 | 특 1989-0013884 | (65) 공개번호 | 특 1990-0005299 |
| (22) 출원일자 | 1989년09월27일 | (43) 공개일자 | 1990년04월13일 |
| (30) 우선권주장 | 63-247089 1988년09월30일 일본(JP) | | |
| (71) 출원인 | 가부시기이사 하다찌세이사꾸쇼 미다 가쓰시게 일본국 도오교도 지요다구 간다 스루가다이 4죠메 6반지 | | |

(72) 발명자
오쓰끼 도루
일본국 하다노시 시부사와 739-1
(74) 대리인
김서일, 박종길

심사관 : 김성수 (책자공보 제2796호)

(54) 가상계산기시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

가상계산기시스템

[도면의 간단한 설명]

제 1 도는 본원 발명의 일실시예의 가상계산기의 전체구성도.

제 2 도는 실명령프로세서와 가상계산기 명령프로세서와의 대응 관계를 나타내는 도면.

제 3a 도는 가상계산기와 실명령프로세서와의 대응관계를 나타내는 테이블도.

제 3b 도는 본원 발명에 의한 제 1 도의 구성에 대응하는 등록표의 구성도.

제 4 도는 제 1 도의 실명령프로세서(IP)와 시스템콘트롤러(SC)의 상세 구성도.

제 5 도는 다른 명령프로세서와 멀티프로세서를 조합하여 가상계산기를 구성하는 명령프로세서의 상세 구성도.

[발명의 상세한 설명]

본원 발명은 정보처리장치에 관한 것이며, 특히 복수의 오퍼레이팅시스템을 1대의 정보처리장치상에 서 동기에 동작시키는데 적합한 가상(假想) 계산기시스템에 관한 것이다.

종래, 정보처리장치에 있어서 복수의 실명령(實命令) 프로세서(IP)를 복수의 가상계산기에 분할하고 할당하여 동작시키는 이른바 멀티프로세서구성의 가상계산기 시스템이 제안되어 있다. 이와 같은 가상계산기시스템을 서포트하는 기술에 대해서는 예를들면 1984년 1월 발간 IBM시스템 370(IBM System/370 Extended Architecture Interpretive Execution SA22 - 7095)에 기술되어 있다.

종래, 정보처리장치에 있어서는 멀티프로세서구성의 계산기시스템이 가동하기 위해서, 하나의 명령프로세서에서의 명령실행의 결과 주기억의 내용이 재기입된 경우, 그 내용의 코피의 버퍼기억엔트리의 무효화신호가 각 명령프로세서에 송출되고, 각 명령프로세서에서 버퍼기억엔트리의 무효화가 행해지고 있었다. 이 정보처리장치를 전제로하여 명령프로세서, 주기억등을 각 가상계산기에 분할할당하여 동작하는 멀티프로세서 구성의 가상계산기시스템을 구성한 경우, 상기 버퍼기억엔트리의 무효화신호는 가상계산기에 할당된 모든 명령프로세서에 송출되므로, 명령 실행에 직접관계가 없는 다른 가상계산기에 할당된 명령프로세서에서 불 필요한 버퍼기억엔트리의 무효화가 행해질 가능성이 있다. 특히, 버퍼기억엔트리의 어드레스가 주기억장치의 대응 어드레스의 전체비트(bit)가 아니고 일부에서 결정되는 정보처리장치에 있어서는 상이한 주기억어드레스에 대하여 동일한 버퍼기억엔트리어드레스가 부여되는 수가 있으며, 그 결과 과잉무효화가 행해지게 되어 시스템전체의 처리효율을 낮추게 된다. 또, TLB(어드레스변환버퍼) 엔트리의 무효화를 행하는 명령이 실행되었을 때에는 TLB 엔트리의 무효화신호가 역시 모든 명령프로세서에 송출되므로, 다른 가상계산기 시스템에 할당된 명

령프로세서에서 TLB엔트리의 과잉의 무효화가 야기될 가능성이 있다. TLB 엔트리의 어드레스에 관해 서도 엔트리어드레스가 가상기억어드레스의 일부의 비트에서 결정되는 경우에는 버퍼기억의 경우와 같이 과잉의 무효화가 행해지게 되어 시스템전체의 처리효율을 낮추게 된다.

본원 발명의 목적은 높은 처리능력의 달성을 가능하게 하는 멀티프로세서구성의 가상계산기 시스템을 제공하는데 있다.

상기 목적을 달성하기 위해, 본원 발명은 복수의 실명령프로세서와 실주기억(實主記憶)을 포함하며, 이것들을 복수의 가상계산기에 분할 할당하여 동작함에 있어서, 가상계산기시스템의 명령프로세서는 같은 수의 실명령프로세서에 할당하고, 가상계산기의 주기억은 실주기억의 연속된 기억영역에 할당하여 동작하는 정보 처리장치에 있어서, 각각의 가상계산기의 명령프로세서와 그것에 대응하는 실명령프로세서를 등록한 등록표를 구비한 것을 특징으로 한다.

등록표에는 가상계산기와 실명령프로세서와의 대응관계를 등록한다. 예를들면 실명령프로세서가 4대 있고, 이중 2대의 실명령 프로세서가 어느 1대의 가상계산기의 명령프로세서로서 등록되어 있으면, 가상계산기시스템이 동작할때에 상기 등록표가 참조되고, 멀티프로세서를 구성하는 2대의 명령프로세서만을 명령처리 동작의 범위내를 한정하여 동작한다. 또, 이로 인해 다른 가상계산기에 할당하는 다른 실명령프로세서의 동작에 전혀 영향을 주지 않도록 한다.

이하, 본원 발명의 일실시예에 대하여 도면에 따라 설명한다.

제 2 도에 본원 발명에서 전제로 하고 있는 복수의 실명령프로세서(IP)와 실주기억을 복수의 가상계산기에 분할할당하여 동작할때의 가상계산기의 명령프로세서와 실명령프로세서의 대응을 도시한다. 즉, 1대의 가상계산기의 명령프로세서가 1대 즉 유니프로세서구성인 경우에는 대응하여 할당하는 실명령프로세서는 1대이다. 또, 1대의 가상계산기의 명령프로세서가 2대 즉 다이어딕(dyadic)프로세서구성인 경우에는 대응하여 할당하는 실명령프로세서는 2대로 된다. 이하, 1대의 가상계산기의 명령프로세서 대수의 증가에 따라서 실명령프로세서수도 증가한다. 1대의 가상계산기에 할당되는 명령프로세서수의 최대는 처리장치에 장착되어 있는 실명령프로세서수이다.

제 1 도는 본원 발명의 일실시예의 가상계산기의 전체구성도를 나타낸 것이며, 입출력제어부는 생략하였다.

다음에, 작용범위를 한정하는 동작으로서 버퍼기억(BS)의 무효화와 어드레스변환버퍼(TLB)의 무효화에 대해 설명한다.

제 1 도에 있어서, 가상계산기 0을 구성하는 거스로서는 실명령프로세서(IP₀)(1), 그것에 내장된 버퍼기억(BS)(5)과 어드레스 변환버퍼(TLB)(9), 주기억(15)의 영역을 분할할당한 MS₀ 가 있다. 가상계산기 I을 구성하는 것으로서 실명령프로세서(IP₁)(2)와 실명령프로세서(IP₂)(3), 그 각각에 내장된 버퍼기억(BS)(6)과 (BS)(7), 어드레스변환버퍼(TLB)(10)과 (TLB)(11), 주기억(15)의 연속영역 MS₁ 이 있다. 가상계산기 II를 구성하는 것으로서는 실명령프로세서(IP₃)(4), 그것에 내장된 버퍼기억(BS)(8)과 어드레스변환버퍼(TLB)(12), 주기억(15)의 연속영역 MS₂ 가 있다. MS 액세스에 대응하는 전체의 동작은 시스템콘트롤러(SC)(13)가 통괄하고, 이 시스템콘트롤러(SC)(13)에 등록표(14)가 장비되어 있다. 각각 가상계산기의 주기억 MS₀, MS₁, MS₂는 가상계산기 0 I 및 II에 배타적으로 할당되므로, 각각 가상계산기내의 버퍼기억(BS), 어드레스변환버퍼(TLB)에 격납되는 주기억의 코피 및 어드레스변화쌍은 각각 독립관계를 유지한다.

제 3a 도 및 제 3b 도에 제 1 도의 명령프로세서의 구성에 대응하는 등록표를 도시한다. 제 3a 도는 가상계산기 0-II와 그것에 대응하는 실명령프로세서 IP₀-IP₃의 관계를 나타내는 도면이다. 제 3b 도는 그것에 대응하는 등록표(14)의 내용이다. 여기서, 행번호에 의해서 어떤 명령프로세서(IP)의 번호를 표시하고, 그 행중에서 "1"인 열번호가 멀티프로세서구성(도시의 예에서는 다이어딕 프로세서구성)을 취하는 경우의 상대측 명령프로세서(IP)의 번호를 표시한다. 제 3b 도에서는 멀령프로세서(IP₁)(2)과 멀티프로세서(다이어딕프로세서)가상계산기를 구성하는 것은 명령프로세서(IP₂)(3), 또 반대로 말하면 명령프로세서(IP₂)(3)와 멀티프로세서를 구성하는 것이 명령프로세서(IP₁)(2)이다. IP₀, IP₃은 유니프로세서 가상계산기 0이라는 것을 표시하고 있다.

지금, 예를들어 명령프로세서(IP₁)(2)에서 주기억(15)내의 영역 MS₁의 내용을 재기입하는 명령이 실행되었다고 하면, 그 실행 결과 재기입될 내용이 명령프로세서(IP₂)(3)의 버퍼기억(BS)(7)에 격납되어 있을 경우, 이 버퍼기억(BS)(7)의 엔트리를 무효화하지 않으면 안된다. 명령프로세서(IP₁)(2)에 의한 명령실행시에 버퍼기억(BS)(6)의 엔트리를 재기입하는 동시에 MS₁에의 스토어요구를 시스템콘트롤러(SC)(13)에 대하여 발생한다. 시스템콘트롤러(SC)(13)는 주기억(15)에 대해 MS₁의 갱신요구와 스토어데이터를 송출하는 동시에 등록표(14)를 참조하여, 가상계산기 I를 구성하는 다른 한쪽의 실명령프로세서(IP₂)(3)를 검색하고, 명령프로세서(IP₂)(3)에 버퍼기억(BS)(7)의 엔트리무효화지령을 송출한다. 명령프로세서(IP₂)(3)는 BS엔트리무효화지령을 받아 버퍼기억(BS)(7)중의 격납내용을 무효화한다. 시스템콘트롤러(SC)(13)이 등록표(14)를 참조했을때 등록표(14)의 가상계산기 I의 엔트리에는 명령프로세서(IP₀)(1) 및 (IP₃)(4)는 등록되어 있지 않으므로, 명령프로세서(IP₀)(1) 및 (IP₃)(4)에는 버퍼기억무효화지령을 송출하지 않는다. 이 때문에 명령프로세서(IP₀)(1) 및 (IP₃)(4)는 필요없는 버퍼기억(BS)(5), (8)의 무효화를 행하지 않아도 된다.

또, 명령프로세서(IP₂)(3)에서 어드레스변환버퍼(TLB)(11)의 엔트리를 무효화하는 명령이 실행되었을 경우, 시스템콘트롤러(SC)(13)는 등록표(14)를 참조하여 명령프로세서(IP₁)(2)에 TLB무효화 신호

가 송출되고, 명령프로세서(IP₁)(2)의 어드레스변환버퍼(TLB)(10)의 엔트리가 무효화된다.

이와 같이, 각각의 가상계산기의 명령프로세서와 그것에 대응한 실명령프로세서와의 대응을 등록한 등록표(14)를 구비함으로써, 가상계산기가 멀티프로세서구성을 취하는 경우의 동작의 작용범위를 필연적으로 한정할 수 있게 된다.

제 4 도는 제 1 도의 실명령프로세서(IP₁)(2) 및 시스템콘트롤러(SC)(13)의 구성중 본원 발명에 관계되는 부분의 상세구성이며, 제 5 도는 명령프로세서(IP₁)(2)과 멀티프로세서 가상계산기 1을 조합한 명령프로세서(IP₂)(3)의 상세구성이다.

제 4 도에 있어서, 명령프로세서(IP₁)에서 스토어동작이 실행되면, 이 명령프로세서(IP₁)(2)내에서는 스토어어드레스레지스터(36)중의 어드레스를 사용해서 버퍼기억(BS₁)(6)의 엔트리어드레스를 구하기 위해 버퍼기억(BS₁)(6)의 디렉토리(directory)인 버퍼어드레스어레이(BAA₁)(6a)를 연상적(炼想的)으로 색인한다. 즉, 스토어어드레스중의 블록어드레스부와 월령어드레스부를 검색키로 하여 스토어어드레스가 BAA₁(6a)에 등록되어 있는지 즉 BS₁(6)중에 주기억(MS)(15)의 기억블록의 코피가 격납되어 있는지를 검색한다. 코피가 격납되어 있으면 비교부(37), 열어드레스생성부(38)를 통해서 생성되는 열어드레스부와 레지스터(36)의 스토어어드레스중의 행어드레스부에 의해 버퍼기억(BS₁)(6)내의 엔트리어드레스를 구성하고, 이것이 지시하는 엔트리에 스토어데이터레지스터(137)의 스토어데이터가 격납되고, 다시 MS₁내의 데이터를 갱신하기 위해 시스템콘트롤러(SC)(13)를 통해서 주기억(MS)(15)에 갱신요구와 스토어데이터를 송출한다. 코피가 버퍼기억(BS₁)(6)에 없는 경우에는 시스템콘트롤러(SC)(13)를 통해서 갱신데이터를 주기억(MS)(15)에 송출하고, 주기억(MS)(15)의 기억블록의 내용을 갱신하는 동시에, 갱신된 기억블록의 코피를 버퍼기억(BS₁)(6)에 격납한다. 또한, 제 4 도에 있어서, (35)는 스토어데이터레지스터, (22)~(25)는 비교회로, (26)~(29)는 OR회로이다. 제 5 도에 있어서, (43)은 어드레스 레지스터, (7a)가 버퍼어드레스어레이, (7)이 버퍼기억(BS₂)(7)이다.

이 처리과정에 있어서, 시스템콘트롤러(SC)(13)은 다음과 같이 동작한다. 시스템콘트롤러(SC)(13)는 각명령프로세서(IP₀, IP₁, IP₂, IP₃)에 있는 각 버퍼어드레스 어레이(BAA₀, BAA₁, BAA₂, BAA₃)의 완전한 코피인 어드레스어레이(FAA₀, FAA₁, FAA₂, FAA₃)(18)~(21)를 가지고 있다. 스토어동작이 지령되면 스토어어드레스레지스터(34)중의 어드레스를 사용하여 명령프로세서에 있어서 BAA를 검색하는 것과 동일방식에 의해 버퍼어드레스어레이(FAA₀~FAA₃)(18)~(21)을 연상적으로 검색하여, 갱신중의 기억블록의 코피를 가진 다른 명령프로세서가 발견되면, 그 명령프로세서에 그 명령프로세서의 버퍼기억의 해당 엔트리의 무효화를 지령한다.

제 4 도, 제 5 도에서는 명령프로세서(IP₁)(2)와 멀티프로세서 가상계산기를 조합한 명령프로세서(IP₂)(3)의 버퍼기억(BS₂)(7)중에 명령프로세서(IP₂)(3)에 갱신하려고 하는 기억블록의 코피가 격납되어 있다는 것을 표시하고 있다. 즉, 시스템콘트롤러(SC)(13)는 어드레스어레이(FAA₀~FAA₃)을 연상적으로 검색한 결과, 버퍼어드레스어레이(BAA₂)가 갱신하려고 하는 기억블록을 가지고 있다는 것을 판명했을 때, 비교회로(24)의 출력을 OR회로(28)에서 OR한 결과가 "1"이 된다. 이 OR회로(28)의 출력은 등록표(14)에 입력된다. 시스템콘트롤러(SC)(13)는 등록표(14)를 검사하여 명령프로세서(IP₁)(2)로부터의 스토어요구(40)(행번호 IP₁에 대응)와 OR회로(28)의 출력(열번호 IP₂에 대응)의 교차점의 값이 "1"이므로 명령프로세서(IP₂)(3)에의 무효화지령이 활성화된다. 또한, 시스템콘트롤러(13)가 어드레스어레이(FAA₀~FAA₃)을 연상적으로 검색할 때에 OR회로(27)의 출력도 "1"이 된다. 그러나, 등록표(14)에 있어서의 명령프로세서(IP₁)(2)로부터의 스토어요구(40)와 OR회로(28)의 출력의 교차점이 "0"이므로, 명령프로세서(IP₁)에 무효화지령을 잘못보내는 일이 없다.

동시에, 명령프로세서(IP₂)(3)의 BAA엔트리어드레스(40)도 확정된다. 제 5 도에 도시한 바와 같이 무효화지령은 선(32)를 통해서, 또 BAA 엔트리어드레스(40)는 어드레스레지스터(43)를 통해서 명령프로세서(IP₂)에 송출되고, 버퍼어드레스어레이(BAA₂)(7a)중의 엔트리의 무효비트(1)가 세트되고, 버퍼기억(BS₂)(7)의 해당 엔트리의 무효화가 완료된다.

본 실시예에서는 등록표(14)를 시스템콘트롤러(SC)(13)에 포함한 구성으로 하였으나, 본원 발명은 이에 한정되는 것은 아니며, 명령프로세서(IP)에 분산해서 가져도, 또 시스템콘트롤러(SC)(13)에 놓은 등록표(14)의 일부의 코피를 명령프로세서내에 가져도 된다.

본원 발명에 의하면, 가상계산기의 기능을 하드웨어에 의해 실현하여 높은 처리능력을 달성할 때에 필수인 멀티프로세서구성에 있어서의 동작의 작용범위를 한정할 수 있고, 시스템전체의 효율이 향상되는 효과가 있다.

(57) 청구의 범위

청구항 1

복수의 가상계산기에 할당되는 복수의 실명령프로세서와, 복수의 기억영역으로 분할되고, 이 복수의 가상계산기에 각각 할당되는 주기억과, 각 가상계산기와 그것에 할당된 실명령프로세서의 대응관계를 등록한 등록표와, 어느 실명령프로세서에 의한 특정의 명령의 실행에 응답해서, 상기 등록표를 참조하여 그 명령프로세서가 속하는 가상계산기내의 별도의 실명령프로세서에 대해서만 무효화신호를 송출하는 제어수단을 포함하는 것을 특징으로 하는 가상계산기 시스템.

청구항 2

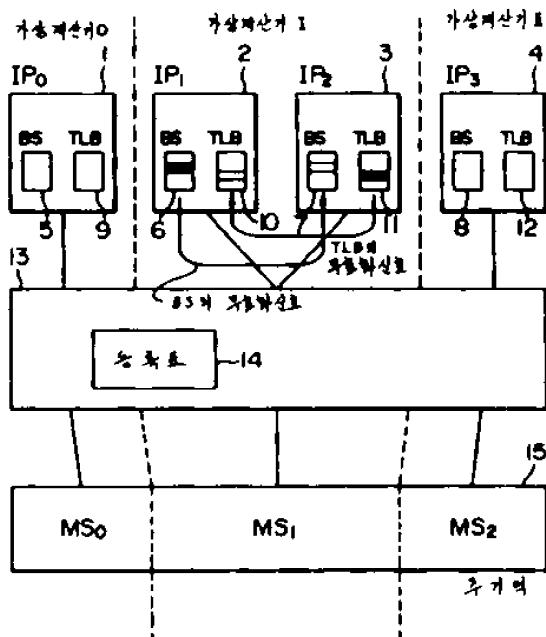
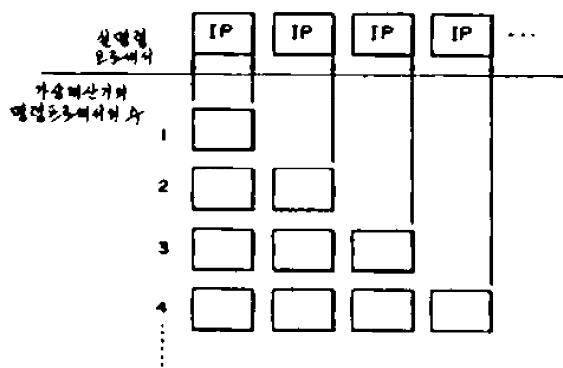
제 1 항에 있어서, 상기 특정의 명령은 상기 주기억의 내용을 갱신하는 명령이며, 상기 무효화신호는 상기 별도의 실명령프로세서의 버퍼기억의 해당엔트리를 무효화하는 신호인 것을 특징으로 하는 가상계산기 시스템.

청구항 3

제 1 항에 있어서, 상기 특정의 명령은 그 명령을 실행하는 실명령프로세서의 어드레스변환버퍼의 해당엔트리를 무효화하는 명령이며, 상기 무효화신호는 상기 별도의 실명령프로세서의 어드레스 변환버퍼의 해당 엔트리를 무효화하는 신호인 것을 특징으로 하는 가상계산기 시스템.

청구항 4

제 2 항에 있어서, 상기 제어수단은 상기 등록표를 포함하며, 상기 제어수단은 또한 상기 실명령프로세서의 버퍼어드레스어레이의 완전한 코피인 어드레스 어레이와, 상기 실명령프로세서에 의해 실행되는 스토어명령의 주기억 어드레스를 격납하는 어드레스레지스터와, 상기 어드레스레지스터의 내용에 의거하여 상기 어드레스어레이를 검색하고, 이 어드레스레지스터와 동일 어드레스를 포함하는 어드레스 어레이에 대응하는 명령프로세서를 검출하는 수단과, 상기 등록표에 의하여 검출된 명령프로세서가 이 스토어명령을 실행하는 명령프로세서와 동일한 가상계산기내에 속하는지 여부를 체크하고, 상기 검출된 명령프로세서가 상기 동일한 가상계산기내에 속할때만 상기 무효화신호를 상기 검출된 명령프로세서에 송출하는 수단을 포함하는 것을 특징으로 하는 가상계산기시스템.

도면**도면1****도면2**

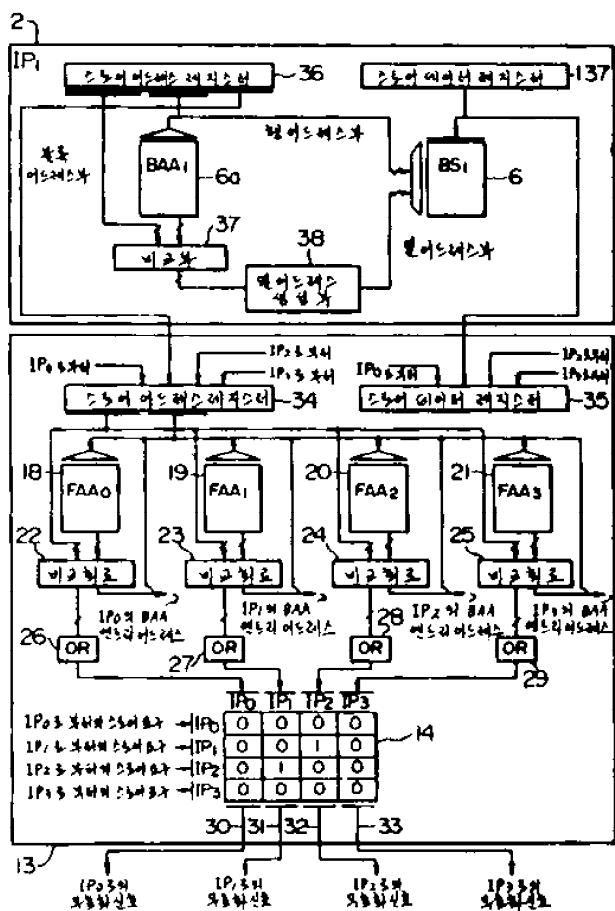
도면3A

| 가 쿨 제 산 기 | 1P, 2P 가 쿨 제 산 기 | 체 냉 철 열 풍 층 세 이 |
|-----------|------------------------------------------|-----------------------------------|
| O | 체 냉 철 열 풍 층 세 이 (1 IP) | IP ₀ |
| I | 체 냉 철 열 풍 층 세 이 (2 IP ₁) | IP ₁ , IP ₂ |
| II | 체 냉 철 열 풍 층 세 이 (1 IP) | IP ₃ |

도면3B

| 제약 | IP ₀ | IP ₁ | IP ₂ | IP ₃ |
|-----------------|-----------------|-----------------|-----------------|-----------------|
| 제약 | IP ₀ | IP ₁ | IP ₂ | IP ₃ |
| IP ₀ | 0 | 0 | 0 | 0 |
| IP ₁ | 0 | 0 | 1 | 0 |
| IP ₂ | 0 | 1 | 0 | 0 |
| IP ₃ | 0 | 0 | 0 | 0 |

도면4



도면5

