



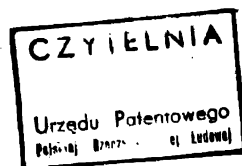
Patent dodatkowy
do patentu _____

Zgłoszono: 14.03.80 (P. 222741)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 06.10.80

Opis patentowy opublikowano: 31.12.1984



Int. Cl⁸ H02H 7/20
G05F 1/58

Twórcy wynalazku: Edward Krumplewski, Tadeusz Barczyszyn, Wacław Mendak

Uprawniony z patentu: Zakłady Aparatury Elektrycznej „Mera-Refa”,
Świebodzice (Polska)

Układ nadprądowego zabezpieczenia zasilacza

1

Przedmiotem wynalazku jest układ nadprądowego zabezpieczenia zasilacza półprzewodnikowego.

Znany jest układ nadprądowego zabezpieczenia zasilacza z ograniczaniem prądu zwarcia, w którym sygnał z rezystora wzorcowego pobudza nadprądowy układ progowy, który powoduje bezzwłoczne przyblokowanie regulatora szeregowego przy określonej wartości prądu wyjściowego. Znany jest również układ nadprądowego zabezpieczenia zasilacza z redukcją prądu zwarcia, w którym sygnał z rezystora wzorcowego powoduje rozstrojenie mostka rezystancyjnego włączonego pomiędzy wejście i wyjście regulatora szeregowego i przy określonej wartości prądu wyjściowego następuje bezzwłoczne zablokowanie regulatora szeregowego przy czym wartość prądu wyjściowego maleje znacznie poniżej wartości znamionowej.

Wadą znanego układu z ograniczaniem prądu zwarcia jest jego nieprzydatność do zastosowań w zasilaczach większej mocy, ze względu na przekroczenie dopuszczalnej mocy wydzielanej na regulatorze szeregowym przy zwarciu wyjścia zasilacza. Natomiast wadą znanego układu z redukcją prądu zwarcia jest bezzwłoczna redukcja prądu zwarcia, co w przypadku zastosowania rozgałęzionego obciążenia zasilacza rozdzielonego bezpiecznikami uniemożliwia przepalenie bezpiecznika i odcięcie gałęzi obciążenia, w której nastąpiło zwarcie, od wyjścia zasilacza i tym samym powoduje pozba-

2

wienie napięcia zasilającego wszystkich gałęzi obciążenia.

Istotą rozwiązania według wynalazku jest układ, w którym wyjście podstawowe nadprądowego układu progowego jest połączone z wejściem wzmacniacza redukującego, w którego obwód dodatkiego sprzężenia zwrotnego włączony jest człon czasowy. Wyjście dodatkowe nadprądowego układu progowego jest połączone z końcówkami dwójników uzupełniających i odniesienia oraz z wejściem wzmacniacza błędu i wyjściem wzmacniacza redukującego.

Druga końcówka dwójnika odniesienia jest połączona z masą układu zasilacza, do której przyłączona jest również masa wzmacniacza błędu. Wejście układu zasilacza jest połączone poprzez rezystor wzorcowy z wejściem regulatora szeregowego, przy czym równolegle do rezystora wzorcowego przyłączone jest wejście nadprądowego układu progowego. Wyjście regulatora szeregowego jest połączone z drugą końcówką dwójnika uzupełniającego i z wyjściem układu zasilacza. Wyjście wzmacniacza błędu jest połączone z wejściem sterującym regulatora szeregowego.

Zaletą rozwiązania według wynalazku jest bezzwłoczne ograniczanie prądu zwarcia oraz redukcja prądu zwarcia po określonej zwłoce czasowej, przez co możliwe jest uzyskanie wzrostu niezawodności zasilacza w przypadku stosowania go do za-

3

silania rozgałęzionych obciążeń rozdzielonych bezpiecznikami.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku w schemacie blokowym.

Wyjście podstawowe nadprądowego układu progowego **I** jest połączone z wejściem wzmacniacza redukującego **P**, w którego obwód dodatniego sprzężenia zwrotnego włączony jest człon czasowy **T**. Wyjście dodatkowe nadprądowego układu progowego **I** jest połączone z końcówkami dwójników uzupełniających **Dk** i odniesienia **Do** oraz z wejściem wzmacniacza błędów **W** i wyjściem wzmacniacza redukującego **P**. Druga końcówka dwójnika odniesienia **Do** jest połączona z masą układu zasilacza **2**, do której przyłączona jest również masa wzmacniacza błędów **W**. Wejście układu zasilacza **1** jest połączone poprzez rezystor wzorcowy **R** z wejściem regulatora szeregowego **RS**, przy czym równolegle do rezystora wzorcowego **R** przyłączone jest wejście nadprądowego układu progowego **I**. Wyjście regulatora szeregowego **RS** jest połączone z drugą końcówką dwójnika uzupełniającego **Dk** i wyjściem układu zasilacza **3**, do którego przyłączony jest układ bezpieczników rozdzielczych **B1, B2, ..., Bn**. Wyjście wzmacniacza błędów **W** jest połączone z wejściem sterującym regulatora szeregowego **Rs**.

W przypadku przekroczenia znamionowej wartości prądu na wyjściu układu zasilacza **3**, sygnał z rezystora wzorcowego **R** powoduje pobudzenie nadprądowego układu progowego **I**, który poprzez wyjście dodatkowe pobudza wzmacniacz błędów **W** i powoduje przyblokowanie regulatora prądu w ten sposób, że następuje bezzwłoczne ograniczenie wartości prądu na wyjściu układu zasilacza **3**. Równocześnie zostaje pobudzony człon czasowy **T** w obwodzie dodatniego sprzężenia zwrotnego wzmacniacza redukującego **P**. Jeżeli w okresie czasu odmierzanego przez człon czasowy **T** wartość

4

prądu nie zmaleje poniżej wartości znamionowej, na skutek zaniku przeciążenia, ustąpienia zwarcia lub przepalenia bezpiecznika rozdzielczego **B1, B2, ..., Bn**, to następuje przerzutnikowe działanie wzmacniacza redukującego **P** i pełne zablokowanie regulatora szeregowego **RS**.

Rozwiązanie znajduje zastosowanie w zasilaczach półprzewodnikowych dużej mocy przeznaczonych do zasilania zabezpieczeń elektroenergetycznych.

Zastrzeżenie patentowe

Układ nadprądowego zabezpieczenia zasilacza, wyposażony w nadprądowy układ progowy współpracujący z rezystorem wzorcowym, **znamienny tym**, że wyjście podstawowe nadprądowego układu progowego (**I**) jest połączone z wejściem wzmacniacza redukującego (**P**), w którego obwód dodatniego sprzężenia zwrotnego włączony jest człon czasowy (**T**), jednocześnie wyjście dodatkowe nadprądowego układu progowego (**I**) jest połączone z końcówkami dwójników uzupełniających (**Dk**) i odniesienia (**Do**) oraz z wejściem wzmacniacza błędów (**W**) i wyjściem wzmacniacza redukującego (**P**), przy czym druga końcówka dwójnika odniesienia (**Do**) jest połączona z masą układu zasilacza (**2**), do której przyłączona jest również masa wzmacniacza błędów (**W**), natomiast wejście układu zasilacza (**1**) jest połączone poprzez rezystor wzorcowy (**R**) z wejściem regulatora szeregowego (**RS**), równocześnie równolegle do rezystora wzorcowego (**R**) przyłączone jest wejście nadprądowego układu progowego (**I**), przy czym wyjście regulatora szeregowego (**RS**) jest połączone z drugą końcówką dwójnika uzupełniającego (**Dk**) i z wyjściem układu zasilacza (**3**), natomiast wyjście wzmacniacza błędów (**W**) jest połączone z wejściem sterującym regulatora szeregowego (**RS**).

