



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0083098
(43) 공개일자 2023년06월09일

(51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) H10N 70/00 (2023.01)
(52) CPC특허분류
H10B 63/845 (2023.02)
H10N 70/826 (2023.02)
(21) 출원번호 10-2021-0171195
(22) 출원일자 2021년12월02일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
오철
경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전자)
김태근
서울특별시 성북구 안암로 145, 공학관 409호(안암동5가)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

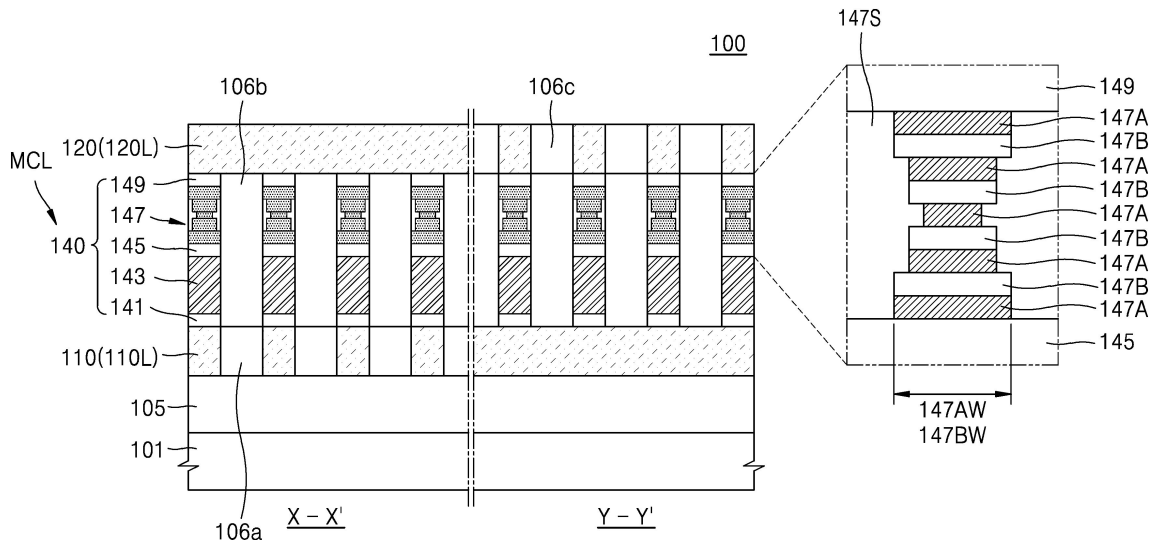
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 가변 저항 메모리 소자

(57) 요약

본 발명의 기술적 사상에 따른 가변 저항 메모리 소자는, 기판 상에서 제1 수평 방향으로 연장되는 제1 도전 라인, 제1 도전 라인 상에서 제1 수평 방향에 수직인 제2 수평 방향으로 연장되는 제2 도전 라인, 및 제1 도전 라인과 제2 도전 라인이 교차하는 부분에 형성되며, 선택 소자층, 중간 전극층, 및 가변 저항층을 가지는 메모리 셀을 포함하고, 가변 저항층은 중심부가 오목한 계단형 구조이다.

대표도



(52) CPC특허분류

H10N 70/8828 (2023.02)

(72) 발명자

박정희

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전자)

김태형

서울특별시 성북구 안암로 145, 공학관 409호(안암동5가)

유민지

서울특별시 성북구 안암로 145, 공학관 409호(안암동5가)

명세서

청구범위

청구항 1

기관 상에서 제1 수평 방향으로 연장되는 제1 도전 라인;

상기 제1 도전 라인 상에서 상기 제1 수평 방향에 수직한 제2 수평 방향으로 연장되는 제2 도전 라인; 및

상기 제1 도전 라인과 상기 제2 도전 라인이 교차하는 부분에 형성되며, 선택 소자층, 중간 전극층, 및 가변 저항층을 가지는 메모리 셀;을 포함하고,

상기 가변 저항층은 중심부가 오목한 계단형 구조인,

가변 저항 메모리 소자.

청구항 2

제1항에 있어서,

상기 가변 저항층은,

복수의 상변화 물질층 및 복수의 확산 장벽층이 교대로 적층되고,

최상부층 및 최하부층에는 상기 상변화 물질층이 배치되는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 3

제2항에 있어서,

측단면에서 보았을 때,

상기 복수의 상변화 물질층 및 상기 복수의 확산 장벽층의 너비는 중심 방향으로 갈수록 점차 줄어드는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 4

제3항에 있어서,

상기 가변 저항층의 상부에 상부 전극층이 배치되고,

상기 상부 전극층 및 상기 중간 전극층으로부터 상기 가변 저항층에 인가되는 전압은,

상기 복수의 상변화 물질층 각각이 차지하는 면적에 따라, 상기 복수의 상변화 물질층 각각에 서로 다른 전압으로 분배되는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 5

제4항에 있어서,

상기 복수의 상변화 물질층 중 최상부층 및 최하부층에 배치되는 상변화 물질층에 분배되는 제1 전압은, 상기 복수의 상변화 물질층 중 나머지층에 배치되는 상변화 물질층에 분배되는 제2 전압보다 큰 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 6

제5항에 있어서,

상기 제1 및 제2 전압의 차이에 따라,

상기 메모리 셀은 멀티-레벨 셀(multi-level cell)로 동작하는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 7

제2항에 있어서,

상기 복수의 상변화 물질층은 Sb_2Te_3 및 Bi_2Te_3 중에서 선택된 하나이고,

상기 복수의 확산 장벽층은 TiTe_2 , NiTe_2 , MoTe_2 , 및 ZrTe_2 중에서 선택된 하나인 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 8

제1항에 있어서,

상기 가변 저항층의 측벽을 둘러싸는 스페이서를 포함하고,

상기 스페이서는 상기 가변 저항층의 오목한 계단형 구조를 채우도록 볼록한 계단형의 내측벽을 가지는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 9

제8항에 있어서,

상기 가변 저항층은 컨파인드 헤테로(confined hetero) 구조를 가지는 것을 특징으로 하는 가변 저항 메모리 소자.

청구항 10

제1항에 있어서,

상기 선택 소자층은 오보닉 문턱 스위칭 소자로 형성되는 것을 특징으로 하는 가변 저항 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술분야는 가변 저항 메모리 소자에 관한 것으로서, 보다 상세하게는, 크로스 포인트 어레이(cross point array) 구조를 가지는 가변 저항 메모리 소자에 관한 것이다.

배경 기술

[0002] 최근 전자 제품의 고속화 및 저전력화에 따라, 전자 제품에 내장되는 반도체 장치의 빠른 읽기/쓰기 동작 및 낮은 동작 전압이 요구되고 있다. 이러한 요구에 따라, 비결정질 상태에서 전압을 인가하면 전자 구조가 변하여 부도체에서 전도체로 전기적 특성이 변하고, 전압을 제거하면 다시 원래의 부도체 상태로 돌아오는 특성을 이용하는 가변 저항 메모리 소자에 대해 연구가 이루어지고 있다. 특히, 고집적화된 가변 저항 메모리 소자는 고속 읽기 및 고속 쓰기 동작이 가능하며, 비휘발성을 가지므로 차세대 메모리 소자로 부상하고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 서로 다른 면적을 가지는 복수의 상변화 물질층에서의 전압 분배를 활용하여, 멀티-레벨 셀(multi-level cell, MLC)을 구현할 수 있는 가변 저항 메모리 소자를 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자는, 기판 상에서 제1 수평 방향으로 연장되는 제1 도전 라인; 상기 제1 도전 라인 상에서 상기 제1 수평 방향에 수직인 제2 수평 방향으로 연장되는 제2 도전 라인; 및

상기 제1 도전 라인과 상기 제2 도전 라인이 교차하는 부분에 형성되며, 선택 소자층, 중간 전극층, 및 가변 저항층을 가지는 메모리 셀;을 포함하고, 상기 가변 저항층은 중심부가 오목한 계단형 구조이다.

[0006] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자는, 기판 상에서 제1 수평 방향으로 연장되는 제1 도전 라인; 상기 제1 도전 라인 상에서 상기 제1 수평 방향에 수직인 제2 수평 방향으로 연장되는 제2 도전 라인; 및 상기 제1 도전 라인과 상기 제2 도전 라인이 교차하는 부분에 형성되며, 복수의 상변화 물질층 및 복수의 확산 장벽층이 교대로 적층되는 가변 저항층을 가지는 메모리 셀;을 포함하고, 상기 복수의 상변화 물질층 각각이 차지하는 면적은 중심부로 갈수록 점차 줄어든다.

[0007] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자는, 기판 상에서 제1 수평 방향으로 연장되는 복수의 제1 도전 라인; 상기 복수의 제1 도전 라인 상에서 상기 제1 수평 방향에 수직인 제2 수평 방향으로 연장되는 복수의 제2 도전 라인; 상기 복수의 제2 도전 라인 상에서 상기 제1 수평 방향으로 연장되는 복수의 제3 도전 라인; 상기 복수의 제1 도전 라인과 상기 복수의 제2 도전 라인이 교차하는 부분들에 배치된 복수의 제1 메모리 셀; 및 상기 복수의 제2 도전 라인과 상기 복수의 제3 도전 라인이 교차하는 부분들에 배치된 복수의 제2 메모리 셀;을 포함하고, 상기 복수의 제1 및 제2 메모리 셀 각각은 상방 또는 하방으로 적층된 선택 소자층, 중간 전극층, 및 가변 저항층을 가지며, 상기 가변 저항층은, 복수의 상변화 물질층 및 복수의 확산 장벽층이 교대로 적층되고 중심부가 오목한 계단형 구조이다.

발명의 효과

[0008] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자는, 서로 다른 면적을 가지는 복수의 상변화 물질층에서의 전압 분배를 활용하여, 낮은 전력으로 멀티-레벨 셀을 구현할 수 있는 효과가 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자에 대한 등가 회로도이다.
 도 2는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이다.
 도 3은 도 2의 X-X' 및 Y-Y' 부분을 절단하여 나타내는 단면도이다.
 도 4는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자의 가변 저항층에 대해 셋 및 리셋 프로 그래밍을 나타내는 그래프이다.
 도 5는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이다.
 도 6은 도 5의 2X-2X' 및 2Y-2Y' 부분을 절단하여 나타내는 단면도이다.
 도 7은 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이다.
 도 8은 도 7의 3X-3X' 및 3Y-3Y' 부분을 절단하여 나타내는 단면도이다.
 도 9 내지 도 14는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자의 제조 과정을 나타내는 단면도들이다.
 도 15는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 포함하는 메모리 시스템에 대한 블록 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부한 도면들을 참조하여 본 발명의 기술적 사상의 실시예에 대해 상세히 설명하기로 한다.

[0011] 도 1은 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자에 대한 등가 회로도이다.

[0012] 도 1을 참조하면, 가변 저항 메모리 소자(100)는 제1 수평 방향(X 방향)을 따라 연장되고 제1 수평 방향(X 방향)에 수직인 제2 수평 방향(Y 방향)으로 이격된 워드 라인(WL: WL1, WL2)을 포함할 수 있다. 또한, 가변 저항 메모리 소자(100)는 워드 라인(WL)과 수직 방향(Z 방향)으로 이격되어, 제2 수평 방향(Y 방향)을 따라 연장되는 비트 라인(BL: BL1, BL2, BL3, BL4)을 포함할 수 있다.

[0013] 메모리 셀(MC)은 비트 라인(BL)과 워드 라인(WL)의 사이에 각각 배치될 수 있다. 구체적으로, 메모리 셀(MC)은 비트 라인(BL)과 워드 라인(WL)의 교차점에 배치될 수 있고, 정보 저장을 위한 가변 저항층(ME)과 메모리 셀

(MC)을 선택하기 위한 선택 소자층(SW)을 포함할 수 있다. 한편, 선택 소자층(SW)은 스위칭 소자층 또는 액세스 소자층으로 명명될 수도 있다.

[0014] 메모리 셀(MC)은 수직 방향(Z 방향)을 따라 동일한 구조로 배치될 수 있다. 예를 들어, 워드 라인(WL1)과 비트 라인(BL1)의 사이에 배치되는 메모리 셀(MC)에서, 선택 소자층(SW)은 워드 라인(WL1)에 전기적으로 연결되고, 가변 저항층(ME)은 비트 라인(BL1)에 전기적으로 연결되며, 가변 저항층(ME)과 선택 소자층(SW)은 직렬로 연결될 수 있다.

[0015] 다만, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 예를 들어, 도시된 바와 달리, 메모리 셀(MC)에서 선택 소자층(SW)과 가변 저항층(ME)의 위치가 바뀔 수 있다. 즉, 메모리 셀(MC)에서 가변 저항층(ME)이 워드 라인(WL1)에 연결되고, 선택 소자층(SW)이 비트 라인(BL1)에 연결될 수도 있다.

[0016] 가변 저항 메모리 소자(100)의 구동 방법에 대하여 간단히 설명한다. 워드 라인(WL)과 비트 라인(BL)을 통해 메모리 셀(MC)의 가변 저항층(ME)에 전압이 인가되어, 가변 저항층(ME)에 전류가 흐를 수 있다. 예를 들어, 가변 저항층(ME)은 제1 상태와 제2 상태 간에 가역적으로 전이할 수 있는 상변화 물질층(147A, 도 3 참조)을 포함할 수 있다. 그러나, 가변 저항층(ME)은 이에 한정되는 것은 아니며, 인가된 전압에 따라 저항값이 달라지는 가변 저항체라면 어떠한 것도 포함할 수 있다. 예를 들어, 선택된 메모리 셀(MC)은 가변 저항층(ME)에 인가되는 전압에 따라 가변 저항층(ME)의 저항이 제1 상태와 제2 상태 간에 가역적으로 전이할 수 있다.

[0017] 가변 저항층(ME)의 저항 변화에 따라, 메모리 셀(MC)은 '0' 또는 '1'과 같은 디지털 정보를 기억할 수 있고, 또한 메모리 셀(MC)로부터 디지털 정보를 소거할 수도 있다. 예를 들어, 메모리 셀(MC)에서 고저항 상태 '0'과 저저항 상태 '1'로 데이터를 기입할 수 있다. 여기서, 고저항 상태 '0'에서 저저항 상태 '1'로의 기입을 '셋(set) 동작'이라 칭할 수 있고, 저저항 상태 '1'에서 고저항 상태 '0'으로의 기입을 '리셋(reset) 동작'이라 칭할 수 있다.

[0018] 다만, 메모리 셀(MC)은 고저항 상태 '0' 및 저저항 상태 '1'의 디지털 정보에만 한정되는 것은 아니며, 다양한 저항 상태들을 다양한 형태들(예를 들어, 0, 1, 2, 3 등)로 저장할 수 있다. 후술하겠지만, 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자(100)는 서로 다른 면적을 가지는 복수의 상변화 물질층(147A, 도 3 참조)에서의 전압 분배를 활용하여, 낮은 전력을 이용하는 멀티-레벨 셀(multi-level cell, MLC)을 구현할 수 있다.

[0019] 또한, 워드 라인(WL) 및 비트 라인(BL)의 선택에 의해 임의의 메모리 셀(MC)이 어드레스될 수 있고, 워드 라인(WL) 및 비트 라인(BL) 사이에 소정의 신호를 인가하여, 메모리 셀(MC)을 프로그래밍할 수 있다. 또한, 비트 라인(BL)을 통하여 전류값을 측정함으로써, 해당 메모리 셀(MC)의 가변 저항층(ME)의 저항값에 따른 정보, 즉 프로그래밍된 정보를 판독할 수 있다.

[0020] 도 2는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이고, 도 3은 도 2의 X-X' 및 Y-Y' 부분을 절단하여 나타내는 단면도이고, 도 4는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자의 가변 저항층에 대해 셋 및 리셋 프로그래밍을 나타내는 그래프이다.

[0021] 도 2 내지 도 4를 함께 참조하면, 가변 저항 메모리 소자(100)는 기판(101) 상에 제1 도전 라인층(110L), 제2 도전 라인층(120L), 및 메모리 셀층(MCL)을 포함할 수 있다.

[0022] 기판(101) 상에는 층간 절연층(105)이 배치될 수 있다. 층간 절연층(105)은 실리콘산화물 또는 실리콘질화물로 형성될 수 있고, 제1 도전 라인층(110L)을 기판(101)으로부터 전기적으로 분리하는 역할을 할 수 있다. 본 실시예의 가변 저항 메모리 소자(100)에서, 기판(101) 상에 층간 절연층(105)이 배치되고 있지만, 이는 하나의 예시에 불과하다. 예를 들어, 본 실시예의 가변 저항 메모리 소자(100)에서, 기판(101) 상에 집적 회로층이 배치될 수도 있고, 상기 집적 회로층 상에 메모리 셀들이 배치될 수 있다. 상기 집적 회로층은 예를 들어, 메모리 셀들의 동작을 위한 주변 회로 및/또는 연산 등을 위한 코어 회로를 포함할 수 있다. 참고로, 기판(101) 상에 주변 회로 및/또는 코어 회로 등을 포함하는 집적 회로층이 배치되고, 집적 회로층 상부에 메모리 셀들이 배치되는 구조를 COP(Cell On Peri) 구조라고 지칭한다.

[0023] 제1 도전 라인층(110L)은 제1 수평 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제1 도전 라인(110)을 포함할 수 있다. 제2 도전 라인층(120L)은 제1 수평 방향(X 방향)과 교차하는 제2 수평 방향(Y 방향)으로 상호 평행하게 연장하는 복수의 제2 도전 라인(120)을 포함할 수 있다. 제1 수평 방향(X 방향)과 제2 수평 방향(Y 방향)은 서로 수직으로 교차할 수 있다.

- [0024] 가변 저항 메모리 소자(100)의 구동 측면에서, 제1 도전 라인(110)은 워드 라인(WL, 도 1 참조)에 해당할 수 있고, 제2 도전 라인(120)은 비트 라인(BL, 도 1 참조)에 해당할 수 있다. 또한, 이와 반대로, 제1 도전 라인(110)이 비트 라인(BL, 도 1 참조)에 해당하고, 제2 도전 라인(120)이 워드 라인(WL, 도 1 참조)에 해당할 수도 있다.
- [0025] 제1 도전 라인(110) 및 제2 도전 라인(120)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 제1 도전 라인(110) 및 제2 도전 라인(120)은 각각 W, WN, Au, Ag, Cu, Al, TiAlN, Ir, Pt, Pd, Ru, Zr, Rh, Ni, Co, Cr, Sn, Zn, IT0, 이들의 합금, 또는 이들의 조합으로 이루어질 수 있다. 또한, 제1 도전 라인(110) 및 제2 도전 라인(120)은 각각 금속막과, 상기 금속막의 적어도 일부를 덮는 도전성 장벽층을 포함할 수 있다. 상기 도전성 장벽층은 예를 들어, Ti, TiN, Ta, TaN, 또는 이들의 조합으로 이루어질 수 있다.
- [0026] 메모리 셀층(MCL)은 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)으로 서로 이격된 복수의 메모리 셀(140)을 포함할 수 있다. 도시된 바와 같이, 제1 도전 라인(110)과 제2 도전 라인(120)은 서로 교차할 수 있다. 메모리 셀(140)은 제1 도전 라인층(110L)과 제2 도전 라인층(120L) 사이의 제1 도전 라인(110)과 제2 도전 라인(120)이 교차하는 부분들에 배치될 수 있다.
- [0027] 메모리 셀(140)은 사각 기둥의 필라(pillar) 구조로 형성될 수 있다. 물론, 메모리 셀(140)의 구조가 사각 기둥에 한하는 것은 아니다. 예를 들어, 메모리 셀(140)은 원 기둥, 타원 기둥, 다각 기둥 등의 다양한 기둥 형태를 가질 수 있다. 또한, 형성 방법에 따라 메모리 셀(140)은 하부가 상부보다 넓은 구조, 또는 상부가 하부보다 넓은 구조를 가질 수 있다. 예를 들어, 메모리 셀(140)이 양각 식각 공정을 통해 형성되는 경우, 하부가 상부보다 넓은 구조를 가질 수 있다. 또한, 메모리 셀(140)이 다마신(damascene) 공정으로 형성되는 경우에는 상부가 하부보다 넓은 구조를 가질 수 있다. 물론, 양각 식각 공정 또는 다마신 공정에서, 식각을 정밀하게 제어하여 측벽이 거의 수직이 되도록 물질층들을 식각함으로써, 상부와 하부의 넓이 차이가 거의 없도록 할 수도 있다. 도 2 및 도 3을 포함하여 이하의 모든 도면들에서 메모리 셀(140)의 측벽이 수직인 형태로 도시되고 있지만, 이는 도시의 편의를 위한 것으로서, 메모리 셀(140)은 하부가 상부보다 넓거나, 또는 상부가 하부보다 넓은 구조를 가질 수 있다.
- [0028] 메모리 셀(140)은 각각 하부 전극층(141), 선택 소자층(143), 중간 전극층(145), 가변 저항층(147), 및 상부 전극층(149)을 포함할 수 있다. 위치 관계를 고려하지 않는 경우, 하부 전극층(141)은 제1 전극층, 중간 전극층(145)은 제2 전극층, 상부 전극층(149)은 제3 전극층으로 지칭될 수 있다.
- [0029] 가변 저항층(147)은 가열 시간에 따라, 비정질(amorphous) 상태와 결정질(crystalline) 상태로 가역적으로 변화하는 상변화 물질을 포함할 수 있다. 예를 들어, 가변 저항층(147)은 가변 저항층(147)의 양단에 인가되는 전압에 의해 발생하는 줄 열(Joule heat)에 의해 상(phase)이 가역적으로 변화될 수 있고, 이러한 상변화에 의해 저항이 변화될 수 있는 물질을 포함할 수 있다. 구체적으로, 상기 상변화 물질은 비정질 상에서 고저항 상태가 되고, 결정질 상에서 저저항 상태가 될 수 있다. 고저항 상태를 '0'으로, 저저항 상태 '1'로 정의함으로써, 가변 저항층(147)에 데이터가 저장될 수 있다.
- [0030] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자(100)에서, 가변 저항층(147)은 중심부가 오목한 계단형 구조를 가질 수 있다. 또한, 가변 저항층(147)은 복수의 상변화 물질층(147A) 및 복수의 확산 장벽층(147B)이 교대로 적층되어 구성될 수 있다. 특히, 가변 저항층(147)의 최상부층 및 최하부층에는 상변화 물질층(147A)이 배치될 수 있다. 측면면에서 보았을 때, 복수의 상변화 물질층(147A)의 너비(147AW) 및 복수의 확산 장벽층(147B)의 너비(147BW)는 중심 방향으로 갈수록 점차 줄어들 수 있다. 일부 실시예들에서, 가변 저항층(147)의 측벽을 둘러싸는 스페이서(147S)를 포함하고, 스페이서(147S)는 가변 저항층(147)의 오목한 계단형 구조를 채우도록 볼록한 계단형의 내측벽을 가질 수 있다.
- [0031] 상부 전극층(149) 및 중간 전극층(145)으로부터 가변 저항층(147)에 인가되는 전압(V)은, 복수의 상변화 물질층(147A) 각각이 차지하는 면적(A)의 비율에 따라, 복수의 상변화 물질층(147A) 각각에 서로 다른 전압(V_{A1} , V_{A2} , V_{A3})으로 분배될 수 있다. 이에 따라, 복수의 상변화 물질층(147A) 중 최상부층 및 최하부층에 배치되는 상변화 물질층(147A)에 분배되는 제1 전압(V_{A3})은, 상기 복수의 상변화 물질층(147A) 중 나머지층에 배치되는 상변화 물질층(147A)에 분배되는 제2 전압(V_{A2}) 및 제3 전압(V_{A3})보다 클 수 있다. 제1 내지 제3 전압(V_{A1} , V_{A2} , V_{A3})의 차이에 따라, 상기 메모리 셀(140)은 멀티-레벨 셀로 동작할 수 있다. 특히, 상기 메모리 셀(140)은 2-비트(2-

bit) 멀티-레벨 셀로 동작할 수 있다.

- [0032] 가변 저항층(147)에서, 복수의 상변화 물질층(147A)은 Sb_2Te_3 및 Bi_2Te_3 중에서 선택된 하나를 포함할 수 있고, 복수의 확산 장벽층(147B)은 $TiTe_2$, $NiTe_2$, $MoTe_2$, 및 $ZrTe_2$ 중에서 선택된 하나를 포함할 수 있다. 다만, 복수의 상변화 물질층(147A) 및 복수의 확산 장벽층(147B)을 구성하는 물질이 이에 한정되는 것은 아니다. 즉, 여기서는 가변 저항층(147)으로서 상변화 물질을 예시하였으나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 가변 저항 메모리 소자(100)의 가변 저항층(147)은 저항 변화 특성을 가지는 다양한 물질을 포함할 수 있다.
- [0033] 가변 저항층(147)을 이루는 각 원소는 다양한 화학적 조성비(stoichiometry)를 가질 수 있다. 각 원소의 화학적 조성비에 따라 가변 저항층(147)의 결정화 온도, 용융점, 결정화 에너지에 따른 상변화 속도, 및 정보 보유력(retention)이 조절될 수 있다.
- [0034] 가변 저항층(147)은 복수의 상변화 물질층(147A)이 적층된 다층 구조를 가질 수 있다. 복수의 상변화 물질층(147A)의 층의 개수 및 각 층의 두께는, 본 발명의 기술적 범위 내에서 자유롭게 선택될 수 있다. 또한, 복수의 상변화 물질층(147A)의 사이에는 확산 장벽층(147B)이 형성될 수 있다. 확산 장벽층(147B)은 복수의 상변화 물질층(147A)간에 물질 확산을 방지하는 역할을 수행할 수 있다. 즉, 확산 장벽층(147B)은 복수의 상변화 물질층(147A) 중 후속층을 형성할 때, 선행층의 확산을 방지할 수 있다.
- [0035] 선택 소자층(143)은 전류의 흐름을 제어할 수 있는 전류 조정 층일 수 있다. 선택 소자층(143)은 선택 소자층(143) 양단에 걸린 전압의 크기에 따라 저항이 변화할 수 있는 물질층을 포함할 수 있다.
- [0036] 선택 소자층(143)은 오보닉 문턱 스위칭(Ovonic Threshold Switching, OTS) 물질을 포함할 수 있다. OTS 물질을 기반으로 하는 선택 소자층(143)의 기능을 간단히 설명하면, 선택 소자층(143)에 문턱 전압(V_t)보다 작은 전압이 인가될 때, 선택 소자층(143)은 전류가 거의 흐르지 않은 고저항 상태를 유지한다. 그리고, 선택 소자층(143)에 문턱 전압(V_t)보다 큰 전압이 인가될 때, 저저항 상태가 되어 전류가 흐르기 시작한다. 또한, 선택 소자층(143)을 통해 흐르는 전류가 유지 전류(holding current)보다 작아질 때, 선택 소자층(143)은 고저항 상태로 변화될 수 있다.
- [0037] 선택 소자층(143)은 OTS 물질로서 칼코게나이드 스위칭 물질을 포함할 수 있다. 일반적으로, 칼코겐 원소들은 2가 결합(divalent bonding) 및 고립 전자쌍(lone pair electron)의 존재를 특징으로 한다. 2가 결합은 칼코게나이드 물질을 형성하기 위하여 칼코겐 원소들을 결합시켜 사슬 및 고리 구조의 형성을 이끌고, 고립 전자쌍은 전도성 필라멘트를 형성하기 위한 전자 소스를 제공한다. 예를 들어, 알루미늄(Al), 갈륨(Ga), 인듐(In), 저머늄(Ge), 주석(Sn), 실리콘(Si), 인(P), 비소(As) 및 안티몬(Sb)과 같은 3가 및 4가 개질체들은 칼코겐 원소의 사슬 및 고리 구조에 들어가 칼코게나이드 물질의 구조적 강성을 결정하고, 결정화 또는 다른 구조적 재배열을 할 수 있는 능력에 따라 칼코게나이드 물질을 스위칭 물질과 상변화 물질로 분류한다.
- [0038] 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(149)은 전류 통로의 기능을 하는 층으로서 도전성 물질로 형성될 수 있다. 예를 들어, 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(149)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 하부 전극층(141), 중간 전극층(145), 및 상부 전극층(149)은 각각, 티타늄질화물(TiN), 티타늄실리콘질화물(TiSiN), 티타늄카본질화물(TiCN), 티타늄카본실리콘질화물(TiCSiN), 티타늄알루미늄질화물(TiAlN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 텅스텐(W), 및 텅스텐질화물(WN) 중에서 선택된 적어도 하나를 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0039] 하부 전극층(141)과 상부 전극층(149)은 선택적으로 형성될 수 있다. 다시 말해서, 하부 전극층(141)과 상부 전극층(149)은 생략될 수도 있다. 다만, 선택 소자층(143) 및 가변 저항층(147)이 제1 및 제2 도전 라인(110, 120)과 직접 컨택함에 따라 발생할 수 있는 오염이나 접촉 불량 등을 방지하기 위하여, 하부 전극층(141) 및 상부 전극층(149)은 제1 및 제2 도전 라인(110, 120)과 선택 소자층(143) 및 가변 저항층(147) 사이에 배치될 수 있다.
- [0040] 제1 도전 라인(110) 사이에는 제1 절연층(160a)이 배치되고, 메모리 셀층(MCL)의 메모리 셀들(140) 사이에는 제2 절연층(160b)이 배치될 수 있다. 또한, 제2 도전 라인(120) 사이에는 제3 절연층(160c)이 배치될 수 있다. 제1 내지 제3 절연층(160a 내지 160c)은 동일 물질의 절연층으로 형성되거나, 적어도 하나는 다른 물질의 절연층으로 형성될 수 있다. 이러한 제1 내지 제3 절연층(160a 내지 160c)은 예를 들어, 실리콘산화물 또는 실리콘질화물의 유전 물질로 형성되며, 각층의 소자들을 서로 전기적으로 분리하는 기능을 할 수 있다. 한편, 제2 절연

층(160b)을 대신하여 에어갭(미도시)이 형성될 수도 있다. 에어갭이 형성되는 경우, 상기 에어갭과 메모리 셀(140) 사이에 소정의 두께를 갖는 절연 라이너(미도시)가 형성될 수도 있다.

[0041] 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자(100)에서, 서로 다른 면적을 가지는 복수의 상변화 물질층(147A)을 이용하여, 전압 분배를 구현하는 방식을 자세히 설명하면 다음과 같다.

[0042] 각각의 가변 저항층(147)은 컨파인드 헤테로(confined hetero) 구조를 가질 수 있다. 컨파인드 헤테로 구조에서 상변화 물질층(147A)의 면적 제어를 통하여, 가변 저항 메모리 소자(100)의 성능을 더욱 향상시킬 수 있다. 컨파인드 헤테로 구조는 EUV 노광 공정을 활용하여 나노 단위의 면적을 보유할 수 있다. 또한, 컨파인드 헤테로 구조는 각 상변화 물질층(147A)마다 면적 크기에 대한 변수가 존재하므로, 구조 특성에 따라 인가 전압(V_{bias})을 통한 상변화 구간이 달라질 수 있다.

[0043] 구체적으로, 가장 작은 면적을 가지는 중심부의 상변화 물질층(147A)의 경우 최저 전압(V_{min}) 인가 시 상변화가 가장 먼저 일어나는 영역이다. 인가 전압(V_{bias})이 증가함에 따라, 상변화가 일어나는 구간의 크기도 인가 전압(V_{bias})에 비례하여 증가할 수 있다. 일정한 구간에서 상변화가 일어나는 자기 가열(self-heating) 방식을 활용할 수 있는 컨파인드 헤테로 구조를 통하여, 각 상변화 물질층(147A)의 면적 변화에 따른 전압 분배를 유도할 수 있다. 이로써, 가변 저항 메모리 소자(100)에서 인가 전압(V_{bias}) 세기에 따른 멀티-레벨 셀의 특성을 유도할 수 있다.

[0044] 또한, 본 발명에서는, 상변화 물질층(147A)의 면적 변화에 따른 전압 분배를 유도함으로써, 저항 드리프트를 최소화 하는 멀티-레벨 셀의 구동에 대한 관계식을 나타낼 수 있다. 예를 들어, 공정 변화 이전의 초기 면적(A_a) 및 공정 변화 이후의 후기 면적(A_b)의 차이를 통하여 면적 변화율(a)을 구할 수 있으며, 이를 바탕으로 면적 변화에 따른 상변화 물질층(147A)의 커패시턴스(C)를 정의할 수 있다. 따라서, 자기 가열 방식을 가지는 가변 저항 메모리 소자(100)에 전압(V)을 인가하였을 때, 각 상변화 물질층(147A)에 걸리는 전압의 양을 수식적으로 정의 및 유추할 수 있다.

[0045] 본 발명에서는, 각 상변화 물질층(147A)의 면적 차이에 따른 커패시턴스(C)를 활용하여, 전압 분배에 따른 상변화 구간의 차이에 따라 멀티-레벨 셀을 구현할 수 있다. 여기서, 커패시턴스(C)는 아래와 같은 [식 1]에 의해 결정되며, 상변화 물질층(147A)과 확산 장벽층(147B)의 면적은 커패시턴스(C)에 영향을 준다.

[0047] [식 1]

$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

[0048]

[0050] 여기서, C는 커패시턴스, ϵ_0 는 진공 유전율, ϵ_r 는 유전 상수, A는 면적, d는 두께를 의미한다. 상수인 ϵ_0 를 제외한 나머지 파라미터들은 물질의 종류, 물질의 두께, 및 물질의 면적에 따라 조절되거나 변화될 수 있다.

[0051] 각 상변화 물질층(147A)의 면적(A)에 따라 [식 1]을 통하여 커패시턴스(C)를 유도할 수 있으며, 중심부의 상변화 물질층(147A)을 기준으로 커패시턴스(C)는 상하 방향으로 증가함을 유추할 수 있다.

[0053] [식 2]

$$V_{A1} = V_{bias} \times \frac{2C_2 + C_3}{2(C_1 + C_2) + C_3}$$

[0054]

[0055] [식 3]

$$V_{A2} = V_{bias} \times \frac{2C_1 + C_3}{2(C_1 + C_2) + C_3}$$

[0057] [식 4]

$$V_{A3} = V_{bias} \times \frac{2(C_1 + C_2)}{2(C_1 + C_2) + C_3}$$

[0060] 여기서, C_1 는 상변화 물질층(147A₁)의 커패시턴스, C_2 는 상변화 물질층(147A₂)의 커패시턴스, C_3 는 상변화 물질층(147A₃)의 커패시턴스를 의미한다. 또한, V_{bias} 는 전체 인가된 전압, V_{A1} 는 상변화 물질층(147A₁)에 인가된 전압, V_{A2} 는 상변화 물질층(147A₂)에 인가된 전압, V_{A3} 는 상변화 물질층(147A₃)에 인가된 전압을 의미한다. 즉, 각 상변화 물질층(147A)의 커패시턴스 차이에 의한 전압 분배를 정의할 수 있다.

[0062] [식 5]

$$\frac{|A_\alpha - A_\beta|}{A_\alpha} \times 100 = a(\%)$$

[0064] [식 6]

$$\frac{|V_\alpha - V_\beta|}{V_\alpha} \times 100 = k(\%)$$

[0067] 여기서, A_α 는 상변화 물질층(147A)의 초기 면적, A_β 는 상변화 물질층(147A)의 후기 면적, a 는 상변화 물질층(147A)의 면적 변화율, V_α 는 상변화 물질층(147A)의 초기 면적에 인가되는 전압, V_β 는 상변화 물질층(147A)의 후기 면적에 인가되는 전압, k 는 상변화 물질층(147A)의 전압 변화율을 의미한다.

[0068] 상기 [식 1]에 따라 상변화 물질층(147A)의 면적(A)과 커패시턴스(C)는 비례 관계임을 나타내며, 상기 [식 5]에 따라 각 상변화 물질층(147A)의 커패시턴스(C)를 면적 변화율(a)에 의하여 정의할 수 있다.

[0069] 이와 같은 수식을 이용하여, 도 4에 개략적으로 도시된 바와 같이, 인가 전압의 변화에 따른 상변화 물질층(147A)의 상변화 구간의 차이를 얻을 수 있다. 도 4의 (a)는 펄스 전압 인가 전, 초기 상태의 컨파인드 헤테로 구조의 모습을 나타내고, (b) 최저 전압(V_{min})을 인가하였을 때, 상변화가 일어나기 시작하는 상변화 물질층(147A₃)의 모습을 나타내고, (c) 중간 전압(V_{med})을 인가하였을 때, 상변화가 일어나는 상변화 물질층(147A₂, 147A₃)의 범위가 증가하는 모습을 나타내고, (d) 최대 전압(V_{max})을 인가하였을 때, 상변화가 상변화 물질층(147A₁, 147A₂, 147A₃)의 모든 구간에서 일어나는 모습을 나타낸다.

[0070] 궁극적으로, 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자(100)에서, 서로 다른 면적을 가지는 상변화 물질층(147A)의 적층 구조는 컨파인드 헤테로 구조의 자기 가열 방식을 통하여, 커패시턴스(C)에 따른 전압(V)의 차이로 상변화 구간이 중심부를 시작으로 점차 증가하게 된다. 가변 저항 메모리 소자(100)에서, 전압 분배에 따라 상변화 구간이 달라지므로, 이를 활용하여 멀티-레벨 셀을 구현할 수 있다. 또한, 가변 저항 메모리 소자(100)에서, 각 상변화 물질층(147A)에 인가되는 전압(V)의 비율을 수식적으로 유추 가능하므로, 동작 전압을 감소시킬 수 있는 효과가 있다.

- [0071] 도 5는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이고, 도 6은 도 5의 2X-2X' 및 2Y-2Y' 부분을 절단하여 나타내는 단면도이다.
- [0072] 이하에서 설명하는 가변 저항 메모리 소자(200)를 구성하는 대부분의 구성 요소 및 상기 구성 요소를 이루는 물질은, 앞서 도 1 내지 도 4에서 설명한 바와 실질적으로 동일하거나 유사하다. 따라서, 설명의 편의를 위하여, 앞서 설명한 가변 저항 메모리 소자(100)와 차이점을 중심으로 설명하도록 한다.
- [0073] 도 5 및 도 6을 함께 참조하면, 가변 저항 메모리 소자(200)는 기관(101) 상에 제1 도전 라인층(110L), 제2 도전 라인층(120L), 제3 도전 라인층(130L), 제1 메모리 셀층(MCL1), 및 제2 메모리 셀층(MCL2)을 포함할 수 있다.
- [0074] 도시된 바와 같이, 기관(101) 상에는 층간 절연층(105)이 배치될 수 있다. 제1 도전 라인층(110L)은 제1 수평 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제1 도전 라인(110)을 포함할 수 있다. 제2 도전 라인층(120L)은 제1 수평 방향(X 방향)에 수직하는 제2 수평 방향(Y 방향)으로 상호 평행하게 연장하는 복수의 제2 도전 라인(120)을 포함할 수 있다. 또한, 제3 도전 라인층(130L)은 제1 수평 방향(X 방향)으로 상호 평행하게 연장하는 복수의 제3 도전 라인(130)을 포함할 수 있다. 한편, 제3 도전 라인(130)은 수직 방향(Z 방향)의 위치만 다를 뿐, 연장 방향이나 배치 구조에서 제1 도전 라인(110)과 실질적으로 동일할 수 있다.
- [0075] 가변 저항 메모리 소자(200)의 구동 측면에서, 제1 도전 라인(110)과 제3 도전 라인(130)은 워드 라인(WL, 도 1 참조)에 해당할 수 있고, 제2 도전 라인(120)은 비트 라인(BL, 도 1 참조)에 해당할 수 있다. 또한, 이와 반대로, 제1 도전 라인(110)과 제3 도전 라인(130)이 비트 라인(BL, 도 1 참조)에 해당하고, 제2 도전 라인(120)이 워드 라인(WL, 도 1 참조)에 해당할 수도 있다. 제1 도전 라인(110)과 제3 도전 라인(130)이 워드 라인(WL, 도 1 참조)에 해당하는 경우에, 제1 도전 라인(110)은 하부 워드 라인에 해당하고, 제3 도전 라인(130)은 상부 워드 라인에 해당하며, 제2 도전 라인(120)은 하부 워드 라인과 상부 워드 라인에 공유되므로 공통 비트 라인에 해당할 수 있다.
- [0076] 제1 도전 라인(110), 제2 도전 라인(120), 및 제3 도전 라인(130)은 각각 금속, 도전성 금속 질화물, 도전성 금속 산화물, 또는 이들의 조합으로 이루어질 수 있다. 또한, 제1 도전 라인(110), 제2 도전 라인(120), 및 제3 도전 라인(130)은 각각 금속막과, 상기 금속막의 적어도 일부를 덮는 도전성 장벽층을 포함할 수 있다.
- [0077] 제1 메모리 셀층(MCL1)은 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)으로 서로 이격된 복수의 제1 메모리 셀(140-1)을 포함할 수 있다. 제2 메모리 셀층(MCL2)은 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)으로 서로 이격된 복수의 제2 메모리 셀(140-2)을 포함할 수 있다. 도시된 바와 같이, 제1 도전 라인(110)과 제2 도전 라인(120)은 서로 교차하며, 제2 도전 라인(120)과 제3 도전 라인(130)은 서로 교차할 수 있다. 제1 메모리 셀(140-1)은 제1 도전 라인층(110L)과 제2 도전 라인층(120L) 사이의 제1 도전 라인(110)과 제2 도전 라인(120)이 교차하는 부분들에 배치될 수 있다. 제2 메모리 셀(140-2)은 제2 도전 라인층(120L)과 제3 도전 라인층(130L) 사이의 제2 도전 라인(120)과 제3 도전 라인(130)이 교차하는 부분들에 배치될 수 있다.
- [0078] 제1 메모리 셀(140-1) 및 제2 메모리 셀(140-2)은 각각 하부 전극층(141-1, 141-2), 선택 소자층(143-1, 143-2), 중간 전극층(145-1, 145-2), 가변 저항층(147-1, 149-2), 및 상부 전극층(149-1, 149-2)을 포함할 수 있다. 제1 메모리 셀(140-1)과 제2 메모리 셀(140-2)의 구조는 실질적으로 동일할 수 있다.
- [0079] 제1 도전 라인(110) 사이에는 제1 절연층(160a)이 배치되고, 제1 메모리 셀층(MCL1)의 제1 메모리 셀들(140-1) 사이에는 제2 절연층(160b)이 배치될 수 있다. 또한, 제2 도전 라인(120) 사이에는 제3 절연층(160c)이 배치되고, 제2 메모리 셀층(MCL2)의 제2 메모리 셀들(140-2) 사이에는 제4 절연층(160d)이 배치되며, 제3 도전 라인(130) 사이에는 제5 절연층(160e)이 배치될 수 있다. 제1 내지 제5 절연층(160a 내지 160e)은 동일 물질의 절연층으로 형성되거나, 적어도 하나는 다른 물질의 절연층으로 형성될 수 있다. 이러한 제1 내지 제5 절연층(160a 내지 160e)은 예를 들어, 산화물 또는 질화물의 유전체 물질로 형성되며, 각층의 소자들을 서로 전기적으로 분리하는 기능을 할 수 있다. 한편, 제2 절연층(160b) 및 제4 절연층(160d) 중 적어도 하나를 대신하여 에어갭(미도시)이 형성될 수도 있다. 에어갭이 형성되는 경우, 상기 에어갭과 제1 메모리 셀(140-1)의 사이, 및/또는 상기 에어갭과 제2 메모리 셀(140-2)의 사이에 소정의 두께를 갖는 절연 라이너(미도시)가 형성될 수 있다.
- [0080] 본 실시예의 가변 저항 메모리 소자(200)에서, 서로 다른 면적을 가지는 상변화 물질층(147-1A, 147-2A)의 적층 구조는 컨파인드 헤테로 구조의 자기 가열 방식을 통하여, 커패시턴스(C)에 따른 전압(V)의 차이로 상변화 구간이 중심부를 시작으로 점차 증가하게 된다. 가변 저항 메모리 소자(200)에서, 전압 분배에 따라 상변화 구간이 달라지므로, 이를 활용하여 멀티-레벨 셀을 구현할 수 있다. 또한, 가변 저항 메모리 소자(200)에서, 각 상변화

물질층(147-1A, 147-2A)에 인가되는 전압(V)의 비율을 수식적으로 유추 가능하므로, 동작 전압을 감소시킬 수 있는 효과가 있다.

- [0081] 본 실시예의 가변 저항 메모리 소자(200)는 기본적으로 도 2 및 도 3에서 설명한 구조의 가변 저항 메모리 소자(100)를 반복하여 적층한 구조를 가질 수 있다. 그러나, 본 실시예의 가변 저항 메모리 소자(200)의 구조가 이에 한정되는 것은 아니다.
- [0082] 도 7은 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 나타내는 사시도이고, 도 8은 도 7의 3X-3X' 및 3Y-3Y' 부분을 절단하여 나타내는 단면도이다.
- [0083] 이하에서 설명하는 가변 저항 메모리 소자(300)를 구성하는 대부분의 구성 요소 및 상기 구성 요소를 이루는 물질은, 앞서 도 1 내지 도 6에서 설명한 바와 실질적으로 동일하거나 유사하다. 따라서, 설명의 편의를 위하여, 앞서 설명한 가변 저항 메모리 소자들(100, 200)과 차이점을 중심으로 설명하도록 한다.
- [0084] 도 7 및 도 8을 함께 참조하면, 본 실시예의 가변 저항 메모리 소자(300)는 적층된 4개의 메모리 셀층(MCL1, MCL2, MCL3, MCL4)을 포함하는 4층 구조를 가질 수 있다.
- [0085] 구체적으로, 제1 도전 라인층(110L)과 제2 도전 라인층(120L) 사이에 제1 메모리 셀층(MCL1)이 배치되고, 제2 도전 라인층(120L)과 제3 도전 라인층(130L) 사이에 제2 메모리 셀층(MCL2)이 배치될 수 있다. 제3 도전 라인층(130L) 상에 제2 층간 절연층(170)이 형성되고, 제2 층간 절연층(170) 상에 제1 상부 도전 라인층(210L), 제2 상부 도전 라인층(220L), 제3 상부 도전 라인층(230L)이 배치될 수 있다. 제1 상부 도전 라인층(210L)은 제1 도전 라인(110)과 동일한 구조의 제1 상부 도전 라인(210)을 포함하고, 제2 상부 도전 라인층(220L)은 제2 도전 라인(120)과 동일한 구조의 제2 상부 도전 라인(220)을 포함하며, 제3 상부 도전 라인층(230L)은 제3 도전 라인(130) 또는 제1 도전 라인(110)과 동일한 구조의 제3 상부 도전 라인(230)을 포함할 수 있다. 제1 상부 도전 라인층(210L)과 제2 상부 도전 라인층(220L) 사이에 제1 상부 메모리 셀층(MCL3)이 배치되고, 제2 상부 도전 라인층(220L)과 제3 상부 도전 라인층(230L) 사이에 제2 상부 메모리 셀층(MCL4)이 배치될 수 있다.
- [0086] 제1 도전 라인층(110L) 내지 제3 도전 라인층(130L), 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)은 앞서 도 1 내지 도 6에서 설명한 바와 같다. 또한, 제1 상부 도전 라인층(210L) 내지 제3 상부 도전 라인층(230L), 제1 상부 메모리 셀층(MCL3) 및 제2 상부 메모리 셀층(MCL4) 역시, 제1 층간 절연층(105) 대신 제2 층간 절연층(170) 상에 배치된다는 점을 제외하고, 제1 도전 라인층(110L) 내지 제3 도전 라인층(130L), 제1 메모리 셀층(MCL1) 및 제2 메모리 셀층(MCL2)과 실질적으로 동일할 수 있다.
- [0087] 본 실시예의 가변 저항 메모리 소자(300)에서, 서로 다른 면적을 가지는 상변화 물질층(147-1A, 147-2A, 247-1A, 247-2A)의 적층 구조는 컨파인드 헤테로 구조의 자기 가열 방식을 통하여, 커패시턴스(C)에 따른 전압(V)의 차이로 상변화 구간이 중심부를 시작으로 점차 증가하게 된다. 가변 저항 메모리 소자(300)에서, 전압 분배에 따라 상변화 구간이 달라지므로, 이를 활용하여 멀티-레벨 셀을 구현할 수 있다. 또한, 가변 저항 메모리 소자(300)에서, 각 상변화 물질층(147-1A, 147-2A, 247-1A, 247-2A)에 인가되는 전압(V)의 비율을 수식적으로 유추 가능하므로, 동작 전압을 감소시킬 수 있는 효과가 있다.
- [0088] 본 실시예의 가변 저항 메모리 소자(300)는 기본적으로 도 2 및 도 3에서 설명한 구조의 가변 저항 메모리 소자(100)를 반복하여 적층한 구조를 가질 수 있다. 그러나, 본 실시예의 가변 저항 메모리 소자(300)의 구조가 이에 한정되는 것은 아니다.
- [0089] 도 9 내지 도 14는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자의 제조 과정을 나타내는 단면도들이다.
- [0090] 도 9를 참조하면, 기판(101) 상에 층간 절연층(105)을 형성한다. 층간 절연층(105)은 예를 들어, 실리콘산화물 또는 실리콘질화물로 형성할 수 있다. 층간 절연층(105) 상에 제1 수평 방향(X 방향)으로 연장하고 서로 이격된 복수의 제1 도전 라인(110)을 구비한 제1 도전 라인층(110L)을 형성한다. 제1 도전 라인(110)은 양각 식각 공정 또는 다마신 공정으로 형성할 수 있다. 제1 도전 라인(110)의 사이에는 제1 수평 방향(X 방향)으로 연장하는 제1 절연층(160a)이 배치될 수 있다.
- [0091] 제1 도전 라인층(110L) 및 제1 절연층(160a) 상에 하부 전극용 물질층(141k), 선택 소자용 물질층(143k), 중간 전극용 물질층(145k), 및 가변 저항용 물질층(147k)을 순차적으로 적층하여 적층 구조체(140k)를 형성할 수 있다.
- [0092] 본 발명의 실시예에서, 가변 저항용 물질층(147k)은 복수의 상변화 물질층(147A, 도 10 참조) 및 복수의 확산

장벽층(147B, 도 10 참조)이 교대로 번갈아가며 형성될 수 있다. 특히, 가변 저항용 물질층(147k)의 최상부층 및 최하부층에는 상변화 물질층(147A)이 배치되도록 형성될 수 있다.

- [0093] 도 10을 참조하면, 적층 구조체(140k, 도 9 참조) 형성 후, 적층 구조체(140k) 상에 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)으로 서로 이격된 마스크 패턴(미도시)을 형성한다.
- [0094] 마스크 패턴을 식각 마스크로 이용하여 최상부층에 위치하는 상변화 물질층(147A₁) 및 확산 장벽층(147B₁)의 일부를 식각할 수 있다. 식각 공정은 건식 식각을 이용하는 이방성 식각 공정 또는 습식 식각을 이용하는 등방성 식각 공정을 사용할 수 있다. 식각 공정 후, 상기 마스크 패턴을 애싱 및 스트립 공정으로 제거할 수 있다.
- [0095] 도 11을 참조하면, 최상부층에 위치하는 식각된 상변화 물질층(147A₁) 및 확산 장벽층(147B₁)을 컨포멀하게 덮는 식각 희생층(146E)을 형성할 수 있다.
- [0096] 식각 희생층(146E)을 식각 마스크로 이용하여 최상부층의 아래에 위치하는 상변화 물질층(147A₂) 및 확산 장벽층(147B₂)의 일부를 식각할 수 있다. 식각 공정은 습식 식각을 이용하는 등방성 식각 공정을 사용할 수 있다. 상기 식각 공정으로 최상부층의 아래에 위치하는 식각된 상변화 물질층(147A₂) 및 확산 장벽층(147B₂)은 최상부층의 위치하는 식각된 상변화 물질층(147A₁) 및 확산 장벽층(147B₁)보다 더 작은 너비를 가질 수 있다.
- [0097] 도 12를 참조하면, 최상부층의 아래에 위치하는 식각된 상변화 물질층(147A₂) 및 확산 장벽층(147B₂)까지 컨포멀하게 덮도록 식각 희생층(146E)을 더 형성할 수 있다.
- [0098] 식각 희생층(146E)은 최상부층의 위치하는 식각된 상변화 물질층(147A₁) 및 확산 장벽층(147B₁)의 상면, 측면, 및 하면을 모두 덮으며, 또한 식각 희생층(146E)은 최상부층의 아래에 위치하는 식각된 상변화 물질층(147A₂) 및 확산 장벽층(147B₂)의 측면을 덮도록 형성될 수 있다.
- [0099] 도 13을 참조하면, 식각 공정 및 식각 희생층(146E)의 형성 공정을 반복적으로 수행하여, 가변 저항용 물질층(147k)은 중심부가 오목한 계단형 구조를 가질 수 있다.
- [0100] 상변화 물질층(147A) 및 확산 장벽층(147B)의 외곽을 컨포멀하게 덮도록 형성된 식각 희생층(146E)은 가변 저항용 물질층(147k)의 식각 공정이 완료된 후, 완전히 제거될 수 있다.
- [0101] 도 14를 참조하면, 가변 저항용 물질층(147k)의 식각 공정 완료 후, 적층 구조체(140k) 상에 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)으로 서로 이격된 마스크 패턴(미도시)을 형성한다. 상기 마스크 패턴을 이용하여 제1 절연층(160a)과 제1 도전 라인(110)의 상면 일부가 노출되도록 적층 구조체(140k)를 식각하여, 복수의 메모리 셀(140)을 형성한다.
- [0102] 다음으로, 메모리 셀(140) 사이를 채우는 제2 절연층(160b)을 형성한다. 제2 절연층(160b)은 제1 절연층(160a)과 동일 또는 다른 실리콘산화물 또는 실리콘질화물로 형성될 수 있다. 메모리 셀(140) 사이를 완전히 채우도록 절연 물질층을 충분한 두께로 형성하고, CMP 공정 등을 통해 평탄화하여 상부 전극층(149)의 상면이 노출되도록 함으로써, 제2 절연층(160b)을 형성할 수 있다.
- [0103] 다음으로, 제2 도전 라인층을 위한 도전층을 형성하고 식각을 통해 패터닝함으로써, 복수의 제2 도전 라인(120)을 형성할 수 있다. 복수의 제2 도전 라인(120)은 제2 수평 방향(Y 방향)으로 연장하고 서로 이격될 수 있다. 복수의 제2 도전 라인(120) 사이에는 제2 수평 방향(Y 방향)으로 연장하는 제3 절연층(160c)이 배치될 수 있다.
- [0104] 이와 같은 공정으로 제조된 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자(100)는, 서로 다른 면적을 가지는 상변화 물질층(147A)으로 구성되는 가변 저항층(147)을 포함할 수 있다.
- [0105] 또한, 이와 같은 공정으로 제조된 본 발명의 기술적 사상에 따른 가변 저항 메모리 소자(100)는, 각 상변화 물질층(147A)에 인가되는 전압(V)의 비율을 수식적으로 유추 가능하므로, 동작 전압을 감소시킬 수 있는 효과가 있다.
- [0106] 도 15는 본 발명의 기술적 사상의 실시예에 따른 가변 저항 메모리 소자를 포함하는 메모리 시스템에 대한 블록 구성도이다.
- [0107] 도 15를 참조하면, 메모리 시스템(1000)은 메모리 셀 어레이(1010), 디코더(1020), 읽기/쓰기 회로(1030), 입출력 버퍼(1040), 및 컨트롤러(1050)를 포함할 수 있다. 메모리 셀 어레이(1010)는 앞서 도 1 내지 도 8에서 설명

한 가변 저항 메모리 소자(100, 200, 300) 중 적어도 하나의 가변 저항 메모리 소자를 포함할 수 있다.

[0108] 메모리 셀 어레이(1010) 내의 복수의 메모리 셀은 워드 라인(WL)을 통해 디코더(1020)와 접속되고, 비트 라인(BL)을 통해 읽기/쓰기 회로(1030)에 접속될 수 있다. 디코더(1020)는 외부 어드레스(ADD)를 인가받으며, 제어 신호(CTRL)에 따라 동작하는 컨트롤러(1050)의 제어에 의해 메모리 셀 어레이(1010) 내의 접근하고자 하는 로우 어드레스 및 컬럼 어드레스를 디코딩할 수 있다.

[0109] 읽기/쓰기 회로(1030)는 입출력 버퍼(1040) 및 데이터 라인(DL)으로부터 데이터(DATA)를 제공받아, 컨트롤러(1050)의 제어에 의해 메모리 셀 어레이(1010)의 선택된 메모리 셀에 데이터를 기록하거나, 컨트롤러(1050)의 제어에 따라 메모리 셀 어레이(1010)의 선택된 메모리 셀로부터 독출한(read) 데이터를 입출력 버퍼(1040)로 제공할 수 있다.

[0110] 이상, 첨부된 도면들을 참조하여 본 발명의 기술적 사상의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형상으로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

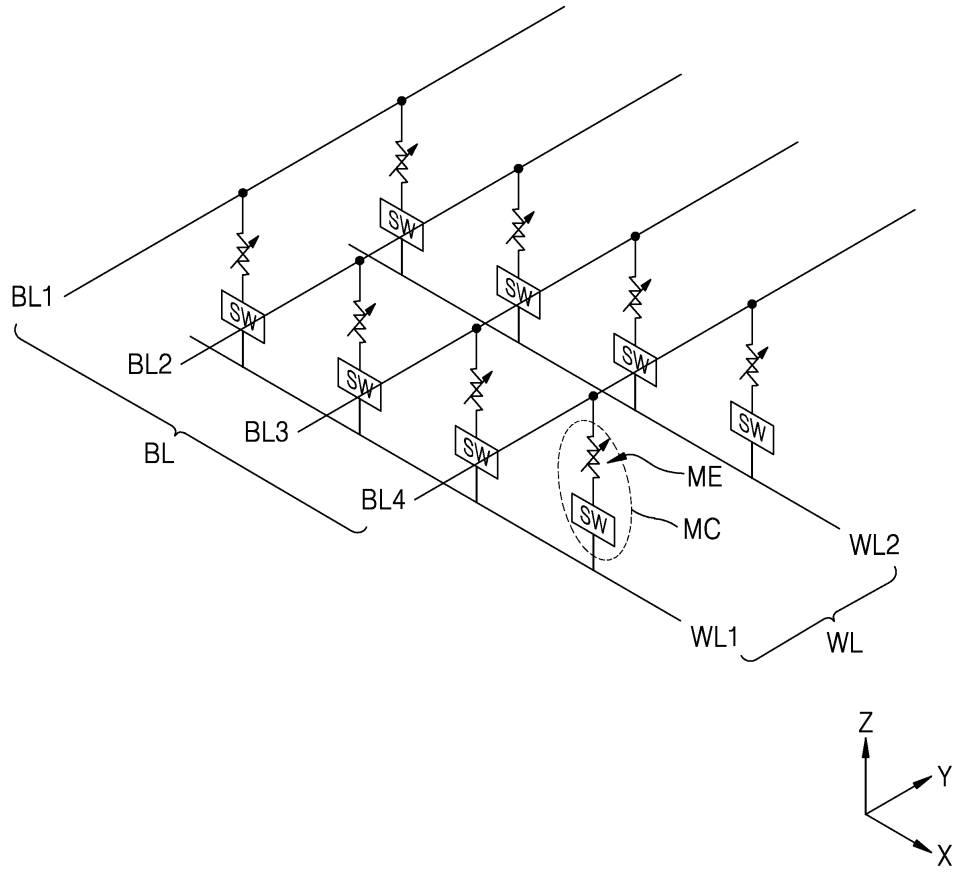
부호의 설명

[0111] 100, 200, 300: 가변 저항 메모리 소자
101: 기판 105: 층간 절연층
110, 120, 130: 제1 내지 제3 도전 라인
141: 하부 전극층 143: 선택 소자층
145: 중간 전극층 147: 가변 저항층
147A: 상변화 물질층 147B: 확산 장벽층
149: 상부 전극층
160a, 160b, 160c, 160d, 160e: 제1 내지 제5 절연층
170: 제2 층간 절연층

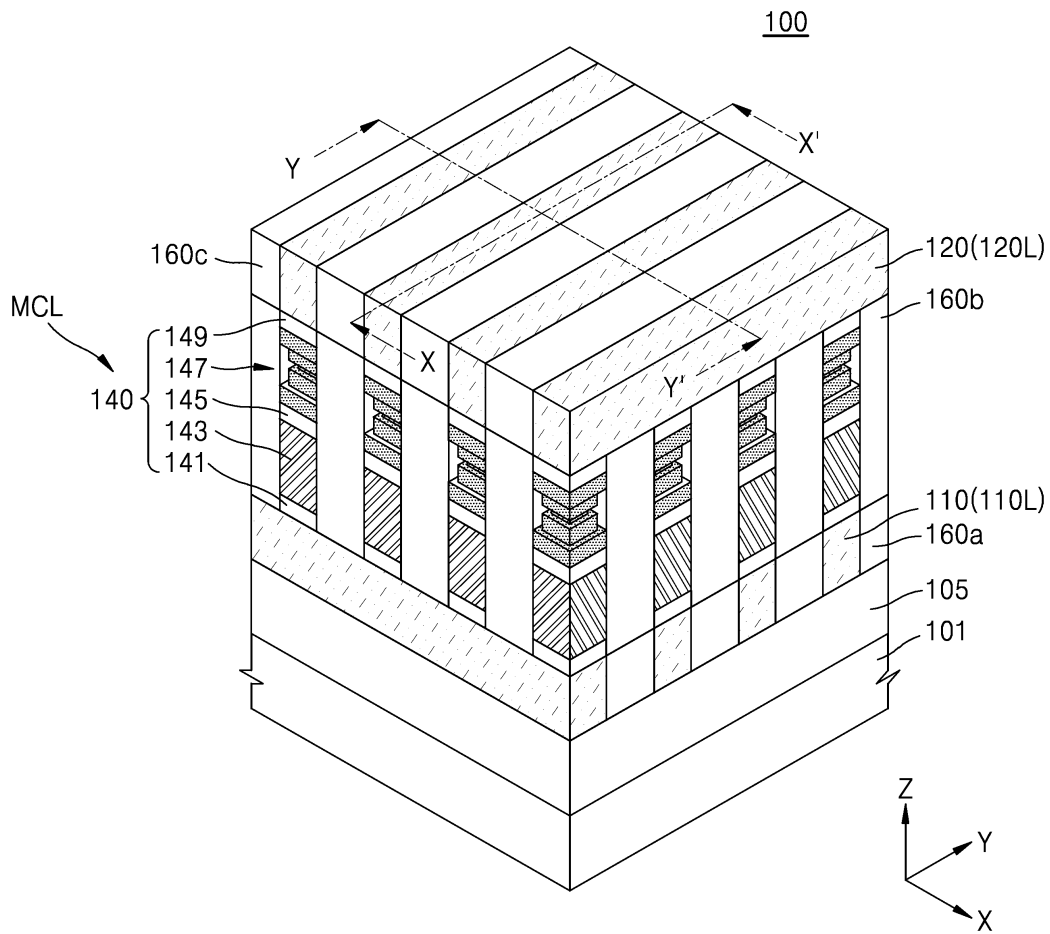
도면

도면1

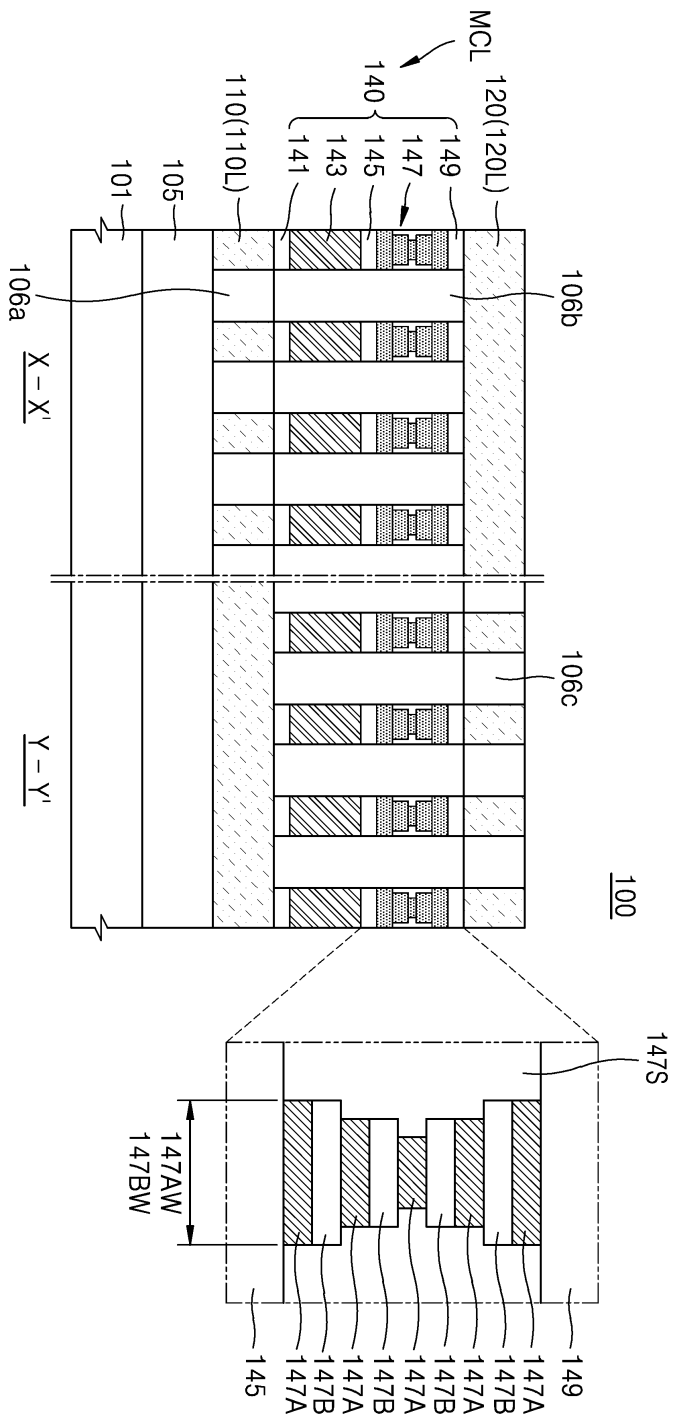
100



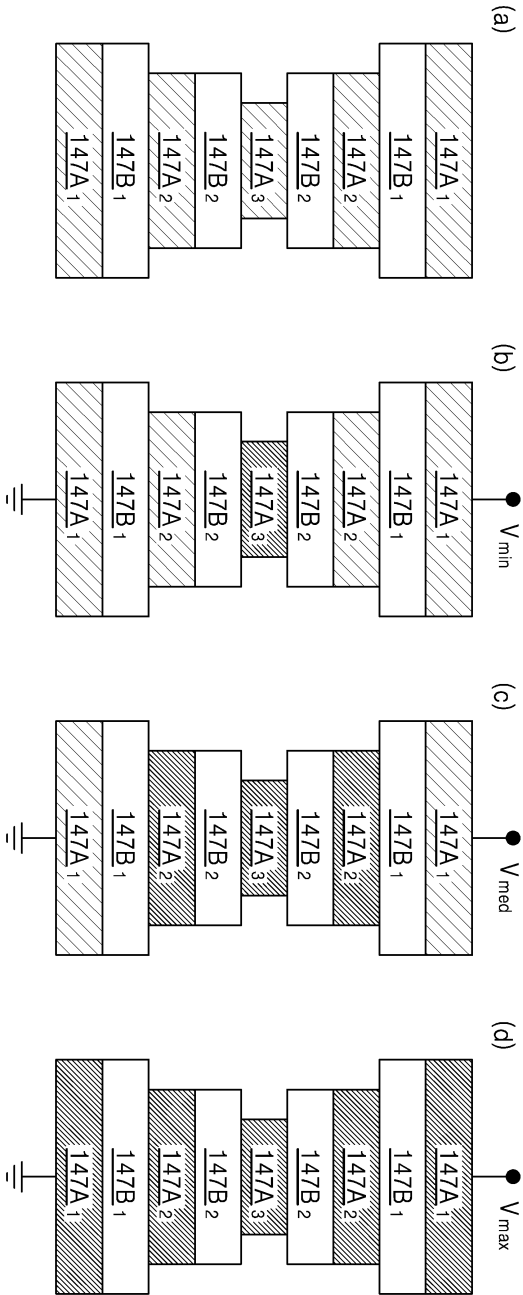
도면2



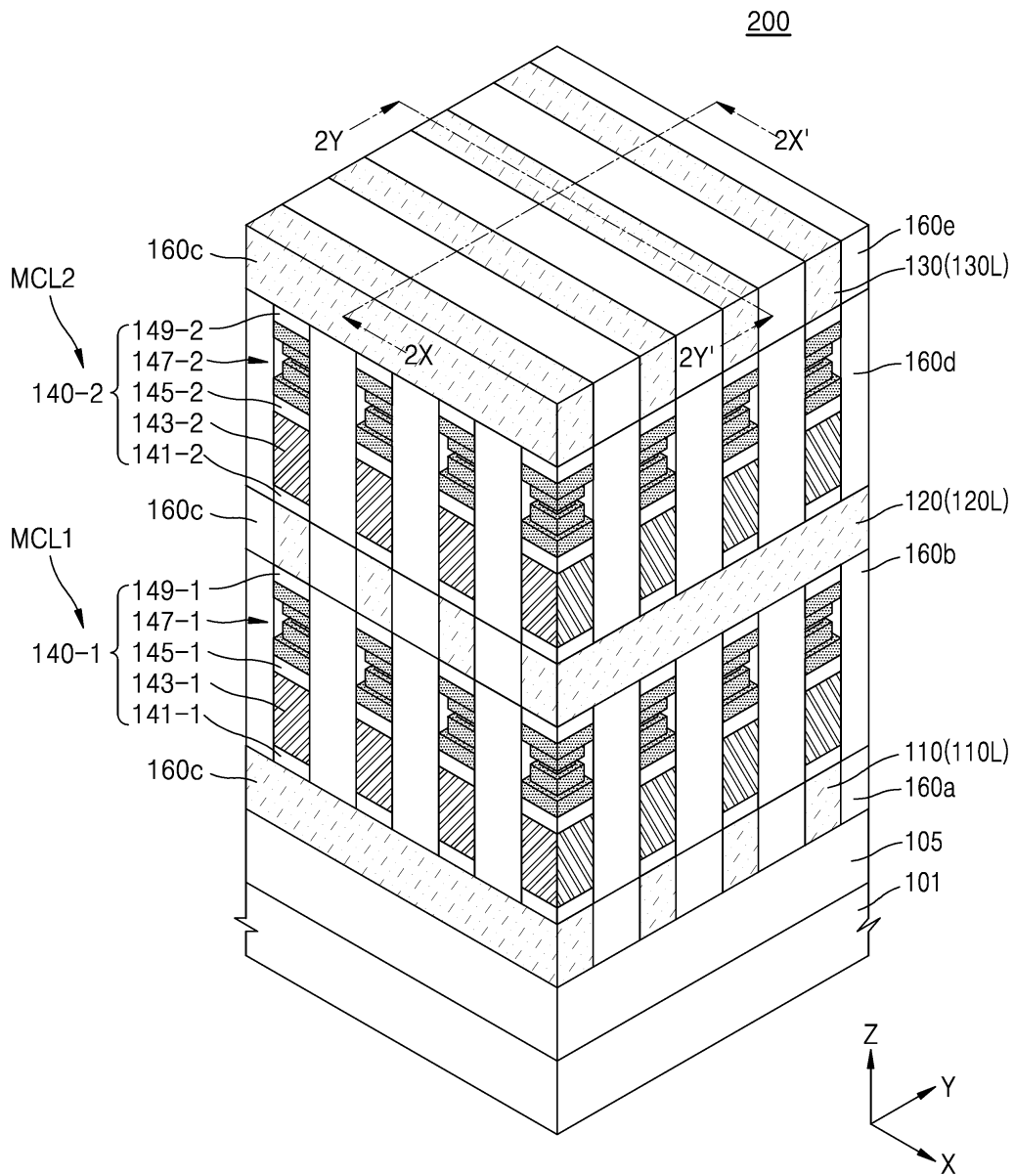
도면3



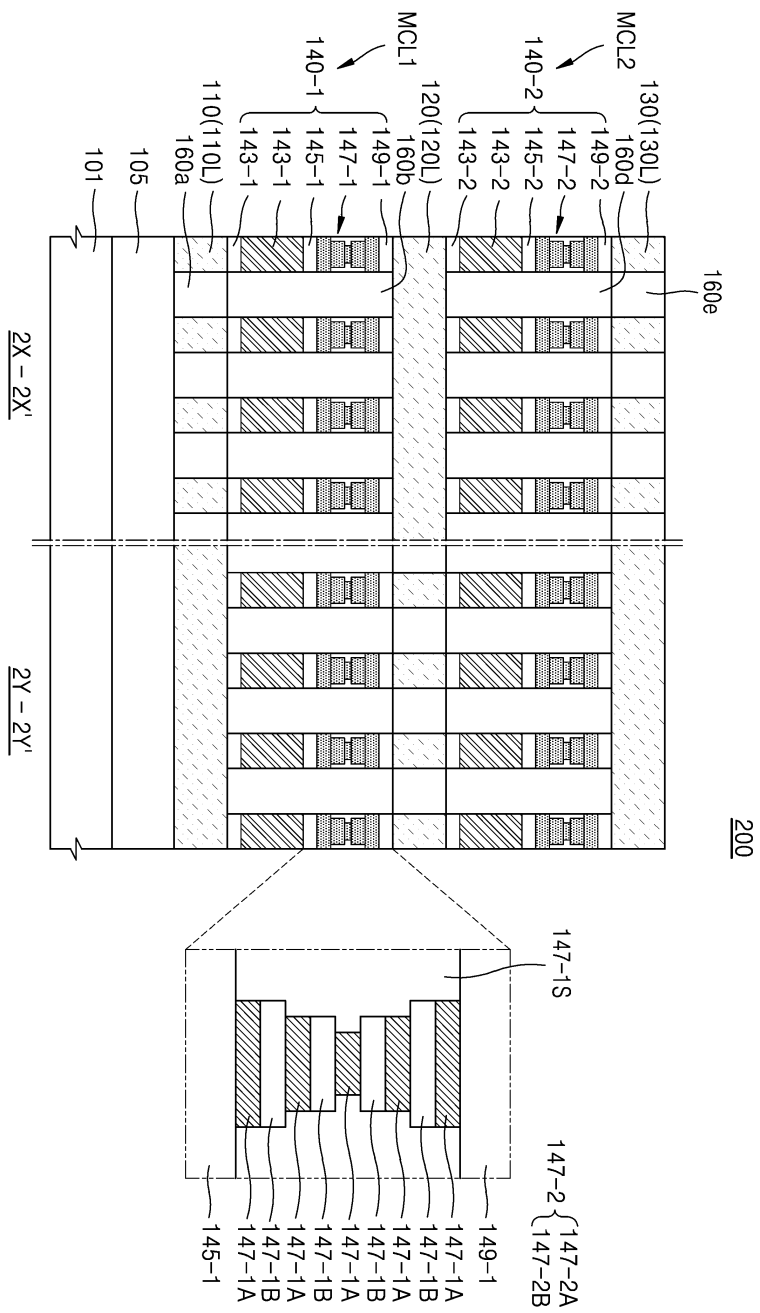
도면4



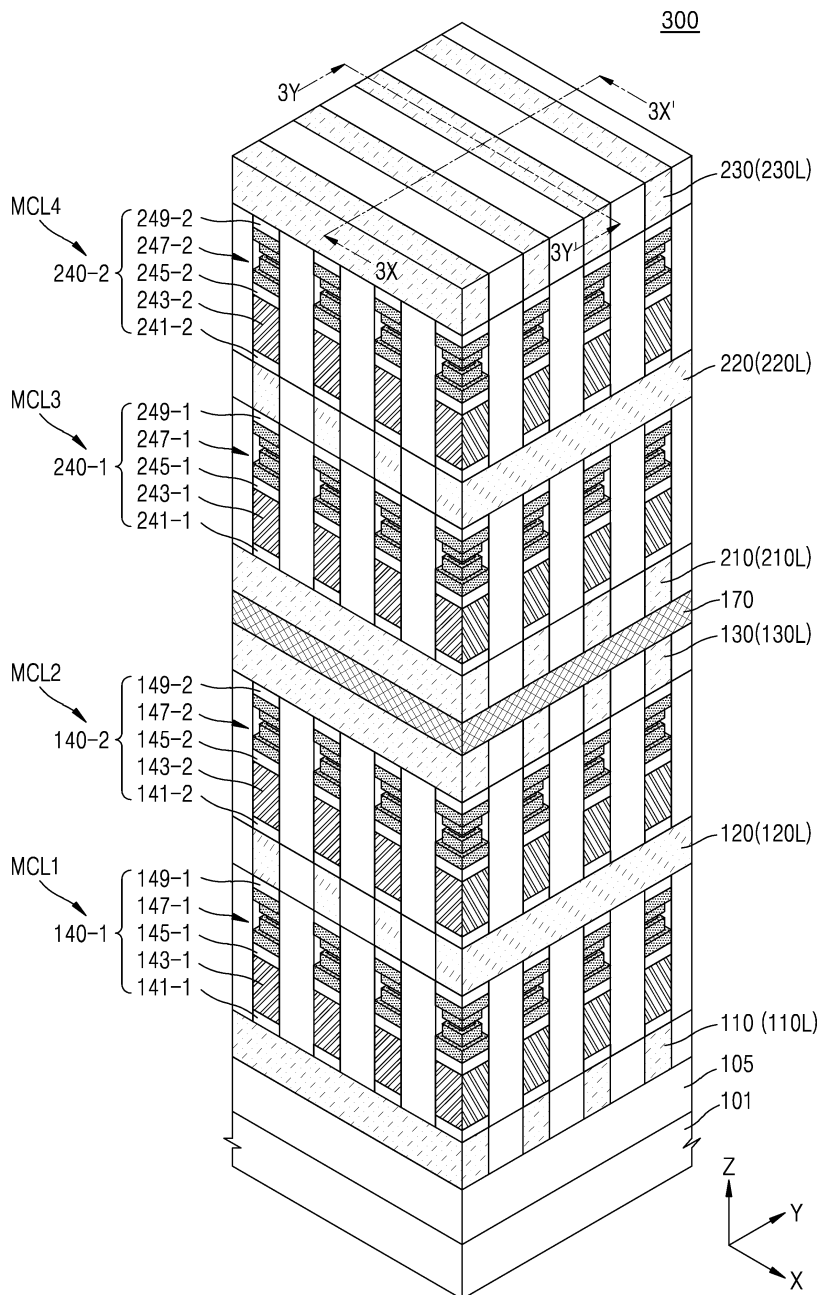
도면5



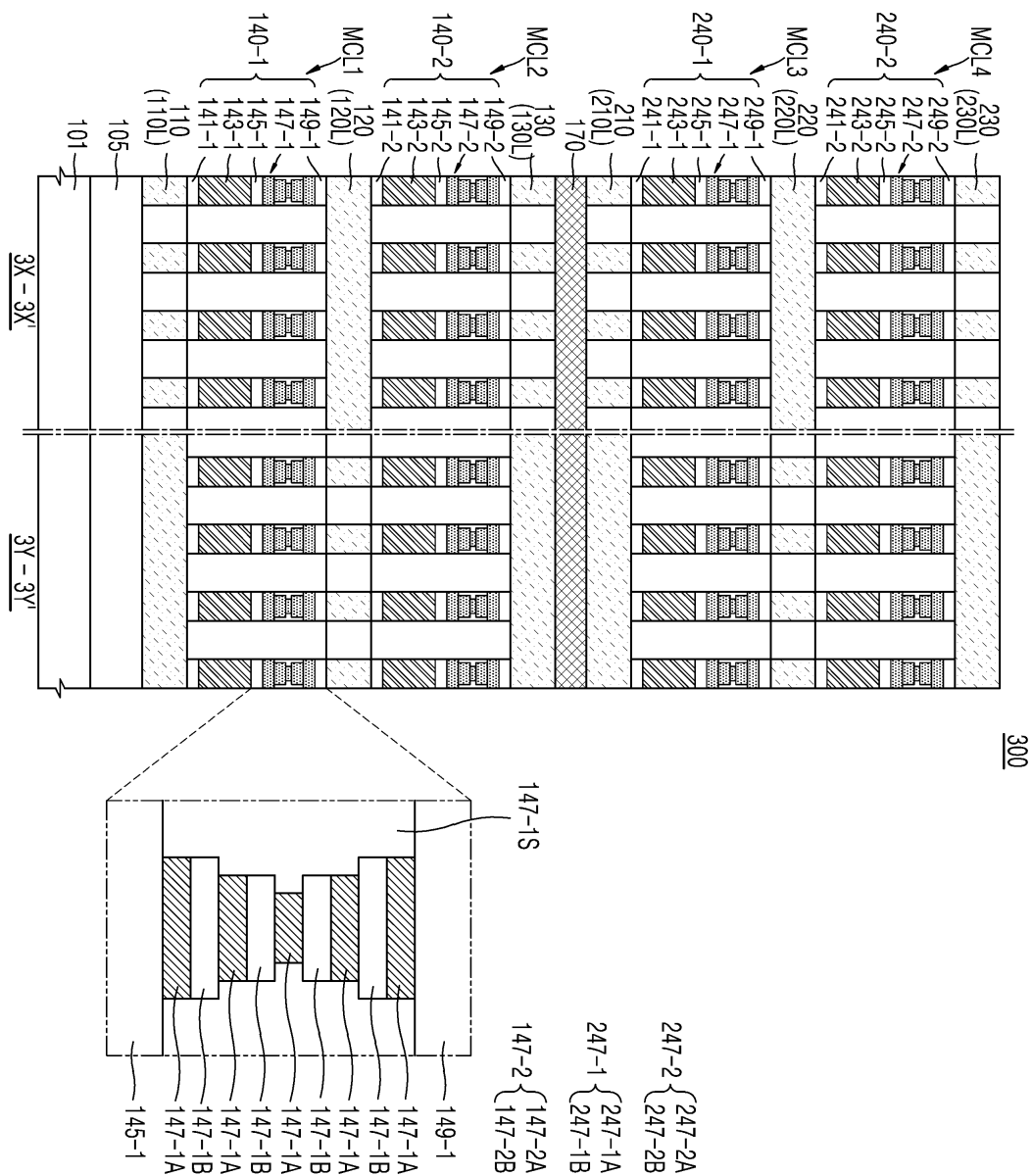
도면6



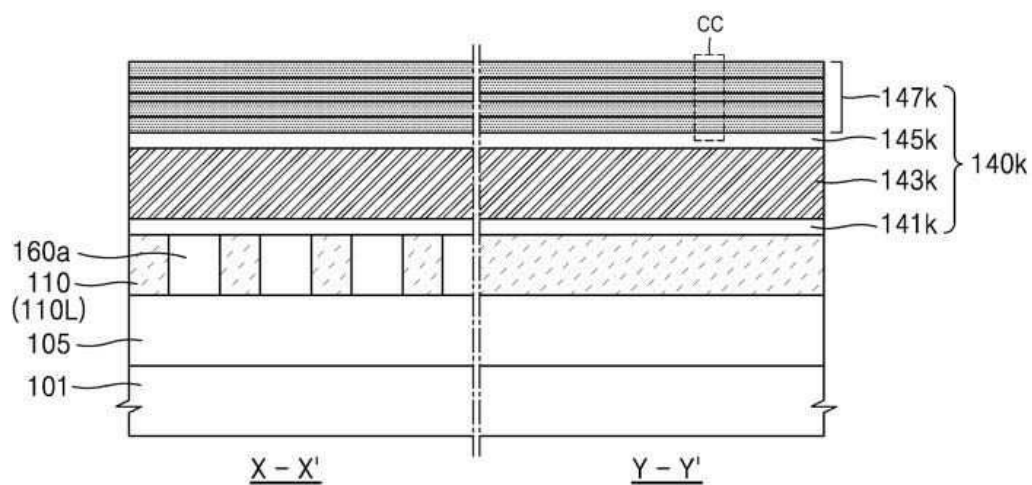
도면7



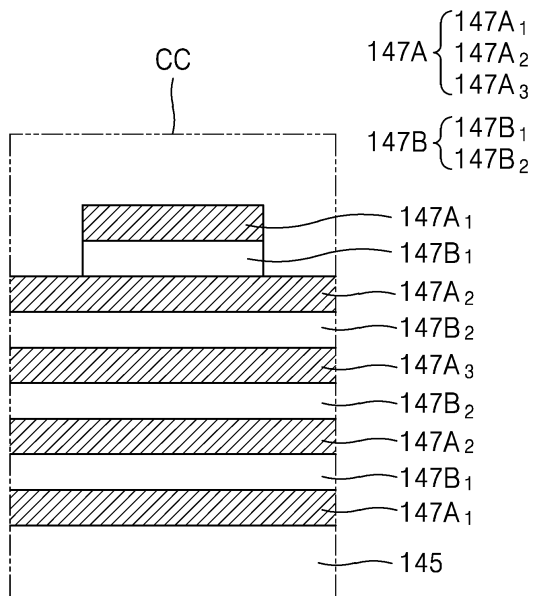
도면8



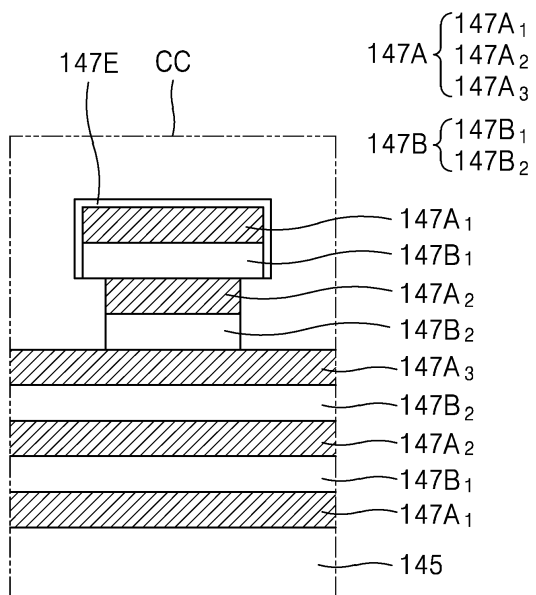
도면9



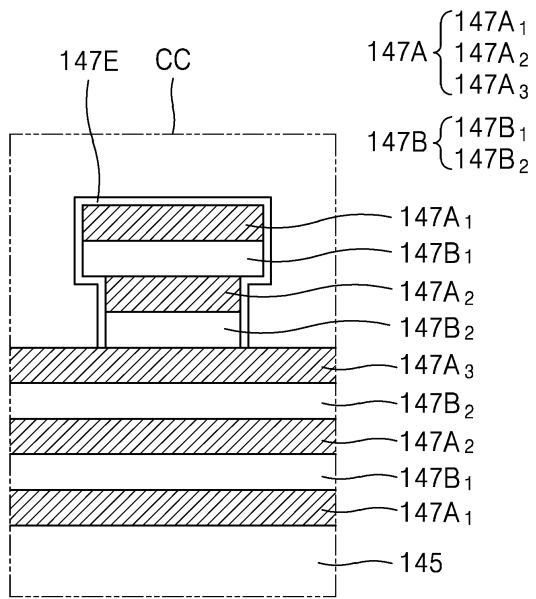
도면10



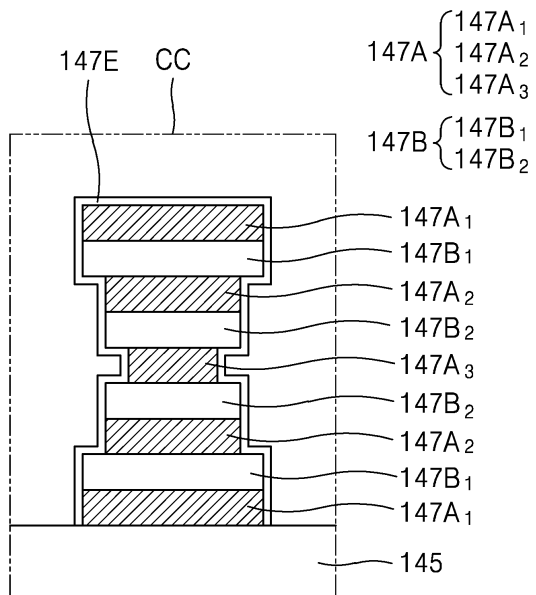
도면11



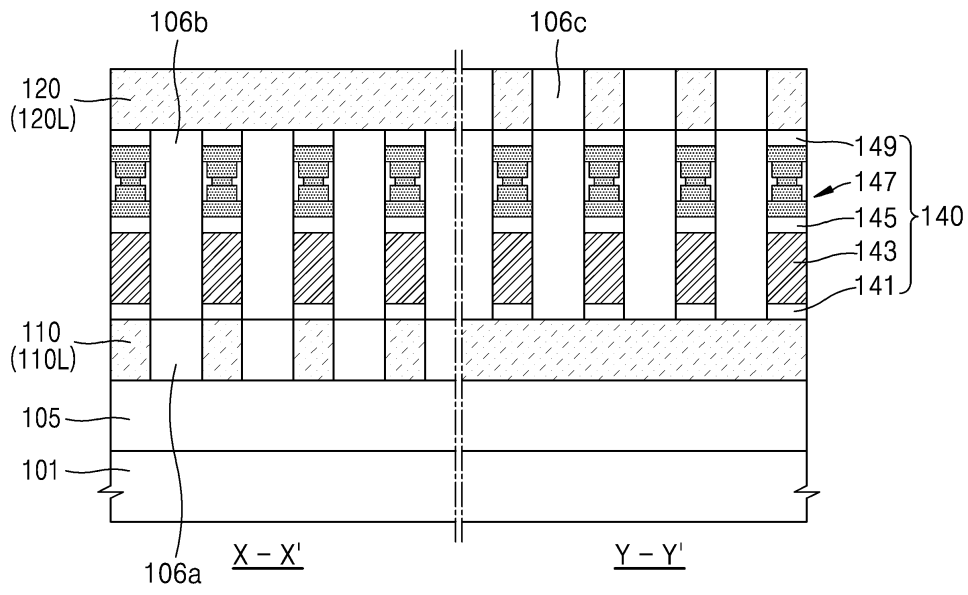
도면12



도면13



도면14



도면15

