

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年12月4日(2008.12.4)

【公開番号】特開2007-116053(P2007-116053A)

【公開日】平成19年5月10日(2007.5.10)

【年通号数】公開・登録公報2007-017

【出願番号】特願2005-308704(P2005-308704)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/76 (2006.01)

【 F I 】

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 B

H 0 1 L 27/08 1 0 2 F

H 0 1 L 27/08 3 3 1 D

H 0 1 L 21/76 M

【手続補正書】

【提出日】平成20年10月20日(2008.10.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の電源ノードと中間ノード及び第 2 の電源ノードとの間に設けられる第 1 の保護回路と、

前記第 2 の電源ノードと前記中間ノードとの間に設けられる第 2 の保護回路とを含み、
前記第 1 の保護回路は、

前記第 1 の電源ノードと前記中間ノードとの間に設けられ、前記第 1 の電源ノードから前記中間ノードへの方向を順方向とする第 1 のダイオードと、

前記第 1 の電源ノードと前記中間ノードとの間に設けられ、前記中間ノードから前記第 1 の電源ノードへの方向を順方向とする第 2 のダイオードと、

前記第 2 の電源ノードと前記中間ノードとの間に設けられ、前記第 2 の電源ノードから前記中間ノードへの方向を順方向とし、第 2 導電型基板と前記第 2 導電型基板の上の第 1 の第 1 導電型ウェルがトリプルウェル構造を構成する場合に、前記第 2 導電型基板と前記第 1 の第 1 導電型ウェルとの間の接合面に形成される第 1 の寄生ダイオードとを含み、

前記第 2 の保護回路は、

前記第 2 の電源ノードと前記中間ノードとの間に設けられ、前記第 2 の電源ノードから前記中間ノードへの方向を順方向とする第 3 のダイオードと、

前記第 2 の電源ノードと前記中間ノードとの間に設けられ、前記中間ノードから前記第 2 の電源ノードへの方向を順方向とする第 4 のダイオードと、

前記第 2 の電源ノードと前記中間ノードとの間に設けられ、前記第 2 の電源ノードから

前記中間ノードへの方向を順方向とし、前記第2導電型基板と前記第2導電型基板の上の第2の第1導電型ウェルがトリプルウェル構造を構成する場合に、前記第2導電型基板と前記第2の第1導電型ウェルとの間の接合面に形成される第2の寄生ダイオードとを含むことを特徴とする集積回路装置。

【請求項2】

請求項1において、

前記第1のダイオードは、第1の第2導電型拡散領域とその下の第1の第1導電型ウェルとの間の接合面に形成され、

前記第2のダイオードは、第1の第1導電型拡散領域とその下の第1の第2導電型ウェルとの間の接合面に形成され、

前記第3のダイオードは、第2の第2導電型拡散領域とその下の第2の第1導電型ウェルとの間の接合面に形成され、

前記第4のダイオードは、第2の第1導電型拡散領域とその下の第2の第2導電型ウェルとの間の接合面に形成されることを特徴とする集積回路装置。

【請求項3】

請求項1又は2において、

第3の電源ノードと前記中間ノード及び前記第2の電源ノードとの間に設けられる第3の保護回路を含み、

前記第3の保護回路は、

前記第3の電源ノードと前記中間ノードとの間に設けられ、前記第3の電源ノードから前記中間ノードへの方向を順方向とする第5のダイオードと、

前記第3の電源ノードと前記中間ノードとの間に設けられ、前記中間ノードから前記第3の電源ノードへの方向を順方向とする第6のダイオードと、

前記第2の電源ノードと前記中間ノードとの間に設けられ、前記第2の電源ノードから前記中間ノードへの方向を順方向とし、トリプルウェル構造を構成する第2導電型基板とその上の第3の第1導電型ウェルとの間の接合面に形成される第3の寄生ダイオードとを含むことを特徴とする集積回路装置。

【請求項4】

請求項3において、

前記第5のダイオードは、第3の第2導電型拡散領域とその下の第3の第1導電型ウェルとの間の接合面に形成され、

前記第6のダイオードは、第3の第1導電型拡散領域とその下の第3の第2導電型ウェルとの間の接合面に形成されることを特徴とする集積回路装置。

【請求項5】

請求項3又は4において、

シリアルバスを介してデータ転送を行う物理層回路を含む高速インターフェース回路ブロックと、少なくとも1つの他の回路ブロックとを含み、

前記高速インターフェース回路ブロックは、

第1、第2の保護回路ブロックを含み、

前記第1、第2の保護回路ブロックの各々は、前記高速インターフェース回路ブロックの電源と前記他の回路ブロックの電源との間に設けられる少なくとも1つの保護回路を含み、

前記第1の保護回路ブロックは、前記第1の保護回路と、前記第2の保護回路と、前記第3の保護回路を含み、

前記第2の保護回路ブロックは、前記第1の保護回路と同じ回路構成の第4の保護回路と、前記第2の保護回路と同じ回路構成の第5の保護回路と、前記第3の保護回路と同じ回路構成の第6の保護回路を含み、

前記第1の保護回路ブロックは、前記高速インターフェース回路ブロックの短辺を第1の辺とした場合に、前記第2の保護回路ブロックよりも前記第1の辺側に配置され、

前記第2の保護回路ブロックは、前記高速インターフェース回路ブロックの前記第1の

辺に対向する辺を第3の辺とした場合に、前記第1の保護回路ブロックよりも前記第3の辺側に配置されることを特徴とする集積回路装置。

【請求項6】

請求項5において、

前記物理層回路は、前記第1、第2の保護回路ブロックの間に配置されることを特徴とする集積回路装置。

【請求項7】

請求項5又は6において、

前記第1の辺から前記第3の辺へと向かう方向を第1の方向とし、前記第1の方向の反対方向を第3の方向とした場合に、前記物理層回路の前記第3の方向側に前記第1の保護回路ブロックが配置され、前記物理層回路の前記第1の方向側に前記第2の保護回路ブロックが配置されることを特徴とする集積回路装置。

【請求項8】

請求項5乃至7のいずれかにおいて、

前記高速インターフェース回路ブロックは、前記物理層回路と、ロジック回路を含み、前記高速インターフェース回路ブロックの前記第1の辺から前記第3の辺へと向かう方向を第1の方向とし、前記高速インターフェース回路ブロックの長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記ロジック回路は、前記物理層回路の前記第2の方向側に配置されることを特徴とする集積回路装置。

【請求項9】

請求項8において、

前記他の回路ブロックとして、表示制御信号を生成するドライバ用ロジック回路ブロックを含み、

前記ドライバ用ロジック回路ブロックは、前記ロジック回路の前記第2の方向側に配置されることを特徴とする集積回路装置。

【請求項10】

請求項8又は9において、

前記物理層回路の前記第1の方向での長さを L_1 とし、前記ロジック回路の前記第1の方向での長さを L_2 とした場合に、 $L_2 > L_1$ であることを特徴とする集積回路装置。

【請求項11】

請求項10において、

前記第1の方向の反対方向を第3の方向とした場合に、前記物理層回路の前記第3の方向側の第1の領域に前記第1の保護回路ブロックが配置され、前記物理層回路の前記第1の方向側の第2の領域に前記第2の保護回路ブロックが配置されることを特徴とする集積回路装置。

【請求項12】

請求項11において、

前記第1、第2の領域に、前記高速インターフェース回路ブロックの高電位側電源と低電位側電源の間に設けられるキャパシタが形成されるキャパシタ領域が配置されることを特徴とする集積回路装置。

【請求項13】

請求項5乃至12のいずれかにおいて、

前記高速インターフェース回路ブロックは、前記物理層回路と、ロジック回路と、共用電源の電源線を含み、

前記第1の保護回路ブロックは、

前記第1の電源ノードである前記物理層回路の電源と、前記中間ノードである前記共用電源との間に設けられる前記第1の保護回路と、

前記第3の電源ノードである前記ロジック回路の電源と、前記共用電源との間に設けられる前記第2の保護回路と、

前記第2の電源ノードである前記他の回路ブロックの電源と、前記共用電源との間に設

けられる前記第 3 の保護回路を含み、

前記第 2 の保護回路ブロックは、

前記物理層回路の電源と前記共用電源との間に設けられる前記第 4 の保護回路と、

前記ロジック回路の電源と前記共用電源との間に設けられる前記第 5 の保護回路と、

前記他の回路ブロックの電源と前記共用電源との間に設けられる前記第 6 の保護回路を含むことを特徴とする集積回路装置。

【請求項 1 4】

請求項 1 3 において、

前記高速インターフェース回路ブロックの前記第 1 の辺から前記第 3 の辺へと向かう方向を第 1 の方向とし、前記第 1 の方向の反対方向を第 3 の方向とした場合に、

前記第 1 の保護回路の前記第 3 の方向側に前記第 2 の保護回路が配置され、

前記第 4 の保護回路の前記第 1 の方向側に前記第 5 の保護回路が配置されることを特徴とする集積回路装置。

【請求項 1 5】

請求項 1 4 において、

前記第 1 の保護回路と前記物理層回路を接続する第 1 の電源線の前記第 3 の方向側に、前記第 2 の保護回路と前記ロジック回路を接続する第 2 の電源線が配線され、

前記第 4 の保護回路と前記物理層回路を接続する第 4 の電源線の前記第 1 の方向側に、前記第 5 の保護回路と前記ロジック回路を接続する第 5 の電源線が配線されることを特徴とする集積回路装置。

【請求項 1 6】

請求項 1 乃至 1 5 のいずれかに記載の集積回路装置と、

前記集積回路装置により駆動される表示パネルと、

を含むことを特徴とする電子機器。