

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6224794号
(P6224794)

(45) 発行日 平成29年11月1日(2017. 11. 1)

(24) 登録日 平成29年10月13日(2017. 10. 13)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 6 2 1 C
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 6 8 1 F
	HO 1 L 27/108 6 8 1 A
	HO 1 L 27/108 6 8 1 B

請求項の数 5 (全 30 頁)

(21) 出願番号	特願2016-174159 (P2016-174159)	(73) 特許権者	000153878
(22) 出願日	平成28年9月7日(2016. 9. 7)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-73596 (P2012-73596)		神奈川県厚木市長谷 3 9 8 番地
	の分割	(72) 発明者	加藤 清
原出願日	平成24年3月28日(2012. 3. 28)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(65) 公開番号	特開2016-208058 (P2016-208058A)		半導体エネルギー研究所内
(43) 公開日	平成28年12月8日(2016. 12. 8)	(72) 発明者	齋藤 利彦
審査請求日	平成28年9月13日(2016. 9. 13)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2011-78937 (P2011-78937)		半導体エネルギー研究所内
(32) 優先日	平成23年3月31日(2011. 3. 31)		
(33) 優先権主張国	日本国(JP)	審査官	加藤 俊哉
(31) 優先権主張番号	特願2011-108885 (P2011-108885)		
(32) 優先日	平成23年5月14日(2011. 5. 14)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の導電層と、
 第 1 の絶縁層と、
 半導体層と、
 前記第 1 の絶縁層上の第 2 の導電層と、
 ゲート電極としての機能を有する第 3 の導電層と、
 前記第 3 の導電層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の容量素子と、を有し、
 前記半導体層は、前記第 1 の導電層上に位置する領域を有し、
 前記半導体層は、前記第 1 の導電層と電氣的に接続され、
 前記半導体層のチャンネル形成領域は、前記第 1 の絶縁層の側部に沿った領域を有し、
 前記半導体層は、前記第 2 の導電層と電氣的に接続され、
 前記第 1 の導電層は、前記第 3 の導電層と重なる領域を有し、
 前記容量素子は、前記第 2 の導電層と電氣的に接続され、
 前記半導体層は、前記第 1 の導電層の上に第 1 の端部を有し、
 前記半導体層は、前記第 1 の絶縁層の上面の上に第 2 の端部を有することを特徴とする
 半導体装置。

【請求項 2】

第 1 の導電層と、

第1の絶縁層と、
半導体層と、
前記第1の絶縁層上の第2の導電層と、
ゲート電極としての機能を有する第3の導電層と、
前記第3の導電層上の第2の絶縁層と、
前記第2の絶縁層上の容量素子と、を有し、
前記半導体層は、前記第1の導電層上に位置する領域を有し、
前記半導体層は、前記第1の導電層と電氣的に接続され、
前記半導体層のチャンネル形成領域は、前記第1の絶縁層の側部に沿った領域を有し、
前記半導体層は、前記第2の導電層と電氣的に接続され、
前記第1の導電層は、前記第3の導電層と重なる領域を有し、
前記容量素子は、前記第2の導電層と電氣的に接続され、
前記半導体層は、前記第1の絶縁層の上面の上に位置する第1の領域を有し、
前記第2の導電層は、前記第1の絶縁層の上面と前記第1の領域との間の領域を有する
ことを特徴とする半導体装置。

10

【請求項3】

第1の導電層と、
第1の絶縁層と、
半導体層と、
前記第1の絶縁層上の第2の導電層と、
ゲート電極としての機能を有する第3の導電層と、
前記第3の導電層上の第2の絶縁層と、
前記第2の絶縁層上の容量素子と、を有し、
前記半導体層は、前記第1の導電層上に位置する領域を有し、
前記半導体層は、前記第1の導電層と電氣的に接続され、
前記半導体層のチャンネル形成領域は、前記第1の絶縁層の側部に沿った領域を有し、
前記半導体層は、前記第2の導電層と電氣的に接続され、
前記第1の導電層は、前記第3の導電層と重なる領域を有し、
前記容量素子は、前記第2の導電層と電氣的に接続され、
前記半導体層は、前記第1の導電層の上に第1の端部を有し、
前記半導体層は、前記第1の絶縁層の上面の上に第2の端部を有し、
前記半導体層は、前記第1の絶縁層の上面の上に位置する第1の領域を有し、
前記第2の導電層は、前記第1の絶縁層の上面と前記第1の領域との間の領域を有する
ことを特徴とする半導体装置。

20

30

【請求項4】

請求項1乃至請求項3のいずれか一項において、
駆動回路を有し、
前記第1の導電層は、前記駆動回路上に設けられていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、
前記半導体層は、酸化半導体を有することを特徴とする半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体特性を利用したメモリ装置に関する。

【背景技術】

【0002】

メモリセルが1つのキャパシタと1つのトランジスタ（セルトランジスタともいう）から構成されるDRAM（Dynamic Random Access Memory）は、代表的なメモリ装置として広く用いられる。

【0003】

なお、本明細書において、メモリセルとは最小単位の情報を保持するために必要な回路構成のことを指し、メモリ装置とは少なくとも集積化したメモリセルを含む半導体装置のことを指す。

【0004】

従来、DRAMはプレーナ型トランジスタを用いて形成されてきたが、回路の微細化に伴う短チャネル効果によるリーク電流を防止するために、ゲートを立体的に配置するRCAT (Recessed Channel Array Transistors) を用いる方法が採用されている（非特許文献1参照）。

【先行技術文献】

10

【非特許文献】

【0005】

【非特許文献1】Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing" TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, pp333-336, 2005

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来のDRAMでは、情報を読み出すと容量素子の電荷は失われるため、情報の読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が流れるため、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短くなる。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要となる問題があった。

20

【0007】

一方でメモリ装置の高容量化に伴い、メモリセルの占有面積の縮小が求められている。上述のプレーナ型トランジスタ及びその変形であるRCATにおいては、回路の配線幅を小さくすることで更に集積密度を高めることはできるが、技術的課題も多く、実現が困難となっている。一方で、構造の工夫で占有面積を縮小することが期待されている。現状のメモリセルの面積は、 $8F^2$ 以上（ F は最小加工寸法）、又は $6F^2$ 以上であり、例えば4

30

【0008】

本発明は、このような技術的背景のもとでなされたものであり、メモリセルの占有面積が小さいメモリ装置を提供することを目的の一つとする。また、メモリセルの占有面積が小さく、データ保持期間の極めて長いメモリ装置を提供することを目的の一つとする。

【課題を解決するための手段】

【0009】

本明細書で開示する本発明の一態様は、絶縁層に形成された溝部の側壁部を利用して縦型のセルトランジスタを形成することでメモリセルの占有面積を縮小したメモリ装置に関する。

40

【0010】

本明細書で開示する本発明の一態様は、ビット線と、容量素子と、ビット線上に設けられた溝部を有する第1の絶縁層と、一部が溝部の底部でビット線と電氣的に接続し、他の一部が該第1の絶縁層の上面で容量素子の一方の電極と電氣的に接する半導体層と、半導体層と接する第2の絶縁層と、第2の絶縁層と接するワード線と、を有することを特徴とするメモリ装置である。

【0011】

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、順序や数を限定するものではないことを付記する。

50

【0012】

上記溝部の深さは、溝部の幅の2倍以上20倍以下であることが好ましい。

【0013】

また、上記半導体層は、バンドギャップが2.5 eV以上4 eV以下の材料から構成されることが好ましい。例えば、酸化物半導体などを用いることができる。該半導体層をチャネル形成領域に用いたトランジスタは、極めて低いオフ電流特性を示す。したがって、容量素子の電荷の流出量、または流入量が極めて少なく、データの保持期間を長くすることができる。すなわち、一定時間内におけるリフレッシュ動作の回数を少なくすることができる。

【0014】

また、上記ビット線の下側にセルトランジスタを駆動する駆動回路を設けることが好ましい。該駆動回路をビット線の下側に設けることで、占有面積を削減することができる。該駆動回路は、単結晶半導体を用いて形成することが好ましい。

【0015】

また、上記ビット線と上記半導体層の一部との電気的な接続、及び上記電極と上記半導体層の他の一部との電気的な接続は、導電層を介した接続であっても良い。

【発明の効果】

【0016】

本発明の一態様を用いることで、メモリセルの占有面積が小さいメモリ装置を提供することができる。また、メモリセルの占有面積が小さく、データ保持期間の極めて長いメモリ装置を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の一態様におけるメモリ装置を説明する図。

【図2】本発明の一態様におけるメモリ装置の作製方法を説明する図。

【図3】本発明の一態様におけるメモリ装置の作製方法を説明する図。

【図4】本発明の一態様におけるメモリ装置の作製方法を説明する図。

【図5】本発明の一態様におけるメモリ装置の作製方法を説明する図。

【図6】本発明の一態様におけるメモリ装置を説明する図。

【図7】メモリセルの等価回路図。

【図8】酸化物半導体の一例。

【図9】酸化物半導体の一例。

【図10】酸化物半導体の一例。

【図11】ゲート電圧と電界効果移動度の関係。

【図12】ゲート電圧とドレイン電流の関係。

【図13】ゲート電圧とドレイン電流の関係。

【図14】ゲート電圧とドレイン電流の関係。

【図15】トランジスタの特性。

【図16】トランジスタの特性。

【図17】トランジスタの特性。

【図18】トランジスタのオフ電流の温度依存性。

【発明を実施するための形態】

【0018】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

【0019】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0020】

また、本明細書においては、セルトランジスタのソースとはビット線側の電極あるいは領域を指し、セルトランジスタのドレインとは容量素子側の電極あるいは領域を指すものとする。

【0021】

(実施の形態1)

本実施の形態では、本発明の一態様であるメモリセル及びメモリ装置の構成例について説明する。なお、本実施の形態では、メモリ装置の一部を図示した図面を用いて説明するが、ビット線やワード線は例示された本数に限らず、実施者が自由に設定することができる。

10

【0022】

図1(B)は、本発明の一態様におけるメモリ装置の上面図の一部であり、ビット線120a、120b、ワード線160a、160b、160c、160d、コンタクトプラグ170、180で概略の構成を示し、明瞭化のため他の構成要素を省いて図示している。

【0023】

図1(A)は、図1(B)に示す線分A-Bにおける該メモリ装置の断面図である。該メモリ装置は、基板100上にビット線120aと、該ビット線上に形成された第1の絶縁層210と、該第1の絶縁層に埋設され、該ビット線と電氣的に接続されたコンタクトプラグ170と、該第1の絶縁層上に形成された、溝部を有する第2の絶縁層220と、該第2の絶縁層の上面に形成された電極130と、該電極及びコンタクトプラグ170のそれぞれと一部が電氣的に接続する半導体層140と、該半導体層を覆う第3の絶縁層230と、該第3の絶縁層と接し、少なくとも該半導体層の一部と重なるワード線160a、160b、160c、160dと、該ワード線及び該第3の絶縁層上に形成された第4の絶縁層240と、該第4の絶縁層上に形成された第5の絶縁層250と、該第4の絶縁層及び該第5の絶縁層に埋設され、電極130と電氣的に接続するコンタクトプラグ180と、該第5の絶縁層上に形成された第6の絶縁層260と、該第6の絶縁層に形成された溝部に設けられ、コンタクトプラグ180と一方の電極が電氣的に接続する容量素子300と、を有する。なお、ここでは図示されていないが、容量素子300の他方の電極は容量線に電氣的に接続される。

20

30

【0024】

本発明の一態様におけるメモリ装置は、並行する複数のビット線、及びビット線と直交する複数のワード線を有し、ビット線とワード線の重なる領域及びその近傍に $2F \times 2F$ ($4F^2$)の面積を有するメモリセルが形成されている。該メモリセルの領域には、セルトランジスタ及び容量素子が積層して形成されている。以下では図1(A)、(B)に点線枠で囲んだワード線160bを含むメモリセルの構成について詳細を説明する。

【0025】

基板100には、例えばガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。また、単結晶シリコン基板などの半導体基板を用いれば、メモリセルの下にセルトランジスタを駆動するための駆動回路を設けることもでき、メモリ装置の面積を縮小させることができる。

40

【0026】

セルトランジスタは、半導体層140、ゲート絶縁膜となる第3の絶縁層230、ソース電極となるコンタクトプラグ170、ドレイン電極となる電極130及び／またはコンタクトプラグ180、ゲート電極となるワード線160bを含んで構成される。ここで、半導体層140は、第2の絶縁層220に設けられた溝部の壁面部の一部を覆う形状に形成されており、該壁面部を覆う半導体層140の大部分がチャンネル形成領域となるようにする。このような構成にすることによって、実質的なトランジスタの占有面積を縮小しつ

50

、チャンネル長を長くすることができ、短チャンネル効果を抑制することができる。なお、短チャンネル効果をより抑制するには、第2の絶縁層に設ける溝部の深さを該溝部の幅の2倍以上20倍以下にすることが好ましい。

【0027】

ここで、ソース電極となるコンタクトプラグ170を省いた構成とし、半導体層140がビット線120aと直接接してソース領域を形成する構成としても良い。また、電極130を省いた構成とし、コンタクトプラグ180のみと半導体層140が接してドレイン領域を形成する構成としても良い。

【0028】

ワード線160bの上部は、第4の絶縁層240によって覆うことでコンタクトプラグ180とは絶縁される。また、コンタクトプラグ180の上面は容量素子の一方の電極と電氣的に接続される。ここで、ワード線160bの幅、ビット線120aの幅、容量素子300の幅は概略一致するものであり、それらを最小加工寸法(F)で形成することで、メモリセルの占有面積を極めて小さい $2F \times 2F$ ($4F^2$)とすることができる。

【0029】

セルトランジスタにオフ電流が極めて小さいトランジスタを用いることによって、容量素子300に長期間に渡って電荷を保持することが可能となる。したがって、メモリ装置において、定期的なリフレッシュ動作が不要、またはリフレッシュ動作を行う頻度を極めて低くすることが可能となり、実質的に不揮発性のメモリ装置として機能させることも可能となる。

【0030】

また、容量素子300の容量は、セルトランジスタのオフ電流が低いほど、言い換えるとセルトランジスタのオフ抵抗が高いほど小さくすることもできる。

【0031】

オフ電流が極めて小さいトランジスタとしては、シリコンよりも広いバンドギャップを有する半導体をチャンネル形成領域に用いたトランジスタが挙げられる。シリコンよりも広いバンドギャップを有する半導体としては化合物半導体があり、例えば、酸化物半導体、窒化物半導体などが知られている。

【0032】

具体的には、非常に高いオフ抵抗を得るためには、シリコン(バンドギャップ1.1eV)では不十分で、バンドギャップが2.5eV以上4eV以下、好ましくは3eV以上3.8eV以下のワイドバンドギャップ半導体を使用することが必要となる。例えば、チャンネルが形成される半導体層140に酸化インジウム、または酸化亜鉛等を含む酸化物半導体、窒化ガリウム等を含む窒化物半導体、硫化亜鉛等を含む硫化物半導体等を用いることができる。

【0033】

トランジスタのオフ抵抗は、チャンネルが形成される半導体層において、熱的に励起されるキャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態(真性半導体)であっても、シリコンの場合にはバンドギャップが1.1eVなので、室温(300K)での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

【0034】

一方、バンドギャップ3.2eVの半導体では熱励起キャリアの濃度は $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、抵抗率は、キャリア濃度に反比例するので、バンドギャップ3.2eVの半導体の抵抗率は、シリコンより18桁も大きくなる。

【0035】

このようなバンドギャップの広い半導体を用いられたセルトランジスタはオフ電流が極めて小さいため、電荷を保持する容量素子300のサイズを縮小することもできる。

【0036】

以上のように、本実施の形態で例示したメモリ装置は、基板100の表面に対して極めて占有面積が小さいメモリセルを有するメモリ装置である。また、セルトランジスタをオフ

10

20

30

40

50

電流の極めて小さいトランジスタとすることにより、データ保持期間の極めて長いメモリ装置とすることが可能となる。

【0037】

図7は、ビット線120a及びワード線160bを含むメモリセルの等価回路である。該メモリセルにデータを書込む際には、セルトランジスタがオン状態となる電位をワード線160bに供給し、ビット線120aと容量線190との電位差に従って流れる電流により容量素子300を充電する。その後セルトランジスタをオフ状態とすることにより、書込まれたデータを保持することができる。

【0038】

また、データを読み出す際は、セルトランジスタがオン状態となる電位をワード線160bに供給し、ビット線120aと容量素子300とを導通させて、ビット線120aの寄生容量（ビット線容量）と容量素子300の間で電荷を再分配させる。その結果、ビット線120aの電位が変化する。このビット線120aの電位を所定の電位と比較することで、情報を読み出すことができる。

【0039】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0040】

（実施の形態2）

本実施の形態では、実施の形態1で例示したメモリ装置の作製方法について説明する。なお、説明に用いる図は、図1（B）の線分A-Bに対応する断面図に相当する。

【0041】

まず、基板100上にビット線120aを形成し、該基板及び該ビット線上に第1の絶縁層210を形成する（図2（A）参照）。

【0042】

基板100として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板100にはガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。ここではガラス基板を用いる。

【0043】

なお、基板100上には下地膜となる絶縁層を設けてもよい。下地膜は、基板100からの不純物の拡散を抑制する機能を有する。例えば、酸化物絶縁膜、窒化物絶縁膜などをプラズマCVD法やスパッタ法などの各種成膜方法で形成すればよい。また基板100に半導体基板を用いる場合には、その表面を熱酸化して形成してもよい。

【0044】

ビット線120aは、スパッタ法などの成膜方法により導電膜を形成した後、公知のフォトリソグラフィ法及びエッチング法を用いて形成することができる。

【0045】

該導電膜に用いられる材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン等から選ばれた元素、または上述した元素を成分とする合金、または上述した元素を組み合わせた合金などが挙げられる。また、該導電膜は単層でも2層以上の積層としてもよい。例えば、アルミニウムや銅などの金属膜の下側、または上側、若しくはその両方にクロム、タンタル、チタン、モリブデン、タングステン等の高融点金属膜を積層する構成とすることもできる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0046】

第1の絶縁層210として用いることのできる材料は特に限定されず、例えば、酸化物絶縁膜、窒化物絶縁膜などを用いれば良い。該絶縁膜は、プラズマCVD法やスパッタ法な

10

20

30

40

50

どの各種成膜方法で形成することができる。

【0047】

次に、ビット線120aの一部に通じるコンタクトホールを第1の絶縁層210に形成する(図2(B)参照)。該コンタクトホールは、公知のフォトリソグラフィ法及びエッチング法を用いて形成することができる。

【0048】

次に、第1の絶縁層210に形成したコンタクトホールを充填するように導電膜を形成する。該導電膜には、ビット線120aと同様の材料を用いることができ、スパッタ法などの成膜方法により形成することができる。そして、CMP(Chemical Mechanical Polishing)法等によって平坦化処理を行うことで第1の絶縁層210の表面上の不要な導電膜を除去し、該コンタクトホールを充填するコンタクトプラグ170を形成する(図2(C)参照)。

10

【0049】

次に、第1の絶縁層210及びコンタクトプラグ170上に、第2の絶縁層220を形成し、該第2の絶縁膜上に導電膜130aを形成する(図2(D)参照)。該第2の絶縁層及び該導電膜は、プラズマCVD法やスパッタ法などの各種成膜方法で形成することができる。

【0050】

第2の絶縁層220には、酸素を含む絶縁層を用いることが好ましい。例えば、酸化シリコン、窒化シリコン、酸化ガリウム、酸化ガリウム亜鉛、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、またはこれらの混合材料を用いて単層で、または積層して形成する。第2の絶縁層220に酸素を含む絶縁層を用いることで、後述する酸化物半導体層の酸素欠損に対して酸素の補填を容易に行うことができる。

20

【0051】

また、電極130となる導電膜130aには、ビット線120aと同様の導電材料を用いることができ、スパッタ法などの成膜方法で形成することができる。

【0052】

次に、公知のフォトリソグラフィ法及びエッチング法を用いて導電膜130a及び第2の絶縁層220を加工し、該第2の絶縁層に溝部を形成する。また、該第2の絶縁層の上面には電極130を形成する(図3(A)参照)。このとき、該溝部の底部においては、コンタクトプラグ170の上面が露出する状態とする。

30

【0053】

次に、第2の絶縁層220の上面および第2の絶縁層220に設けた溝部を覆うように半導体膜を形成する。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いて、In-Ga-Zn-O系酸化物半導体膜をスパッタ法により形成する。

【0054】

なお、酸化物半導体膜として用いることのできる材料は上記に限られず、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体や、二元系金属の酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系の材料、一元系金属の酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にInとGaとSnとZn以外の元素、例えばSiを含ませてもよい。

40

【0055】

50

例えば、 In-Ga-Zn-O 系酸化物半導体とは、インジウム（ In ）、ガリウム（ Ga ）、亜鉛（ Zn ）を有する酸化物半導体、という意味であり、その組成比は問わない。また、 In-Ga-Zn-O 系酸化物半導体膜をスパッタ法で成膜する際に用いる成膜用ターゲットには、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の金属酸化物を用いることができる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の金属酸化物を用いてもよい。

【0056】

また、酸化物半導体膜は、化学式 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、 M は、 Zn 、 Ga 、 Al 、 Mn 及び Co から選ばれた一つ、または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。

10

【0057】

また、酸化物半導体として In-Zn-O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (mol数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$)、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (mol数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$)、更に好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1.5 : 1$ (mol数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$)とする。例えば、 In-Zn-O 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0058】

20

ここで、酸化物半導体膜にはアルカリ金属、水素原子、水素分子、水、水酸基、または水素化合物などの不純物ができるだけ混入しないように形成することが好ましい。例えば、スパッタ成膜用ターゲットや成膜に用いるガスに上記不純物が混入しないようにする。また、成膜の際、成膜装置内を十分排気し、成膜時に基板を加熱しながら成膜することにより、成膜された酸化物半導体膜に含まれる不純物濃度を低減することができる。また、酸化物半導体膜に加熱処理をして酸化物半導体膜中の水分及び水素を脱離しても良い。なお、該加熱処理は、酸化物半導体膜の成膜後であれば、どの時点で行っても良い。

【0059】

そして、公知のフォトリソグラフィ法及びエッチング法を用いて該半導体膜を加工し、半導体層140を形成する。このとき、半導体層140の一部は、該溝部の底部においてコンタクトプラグ170と電気的に接続する構成となり、半導体層140の他の一部は、電極130と電気的に接続する構成となる。

30

【0060】

次に、第2の絶縁層220に設けた溝部、第2の絶縁層220の上面に設けた電極130、および半導体層140を覆うようにゲート絶縁膜となる第3の絶縁層230を形成する（図3（B）参照）。第3の絶縁層230には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ガリウム、酸化ガリウムアルミニウム、酸化ガリウム亜鉛、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))等の絶縁膜を単層または積層で用いることができる。

40

【0061】

次に、第3の絶縁層230が形成された溝部を充填するように導電膜をスパッタ法などの成膜方法で形成する。該導電膜には、ビット線120aと同様の材料を用いることができる。そして、公知のフォトリソグラフィ法及びエッチング法を用いて該導電膜を加工し、ワード線160a、160b、160c、160dを形成する（図3（C）参照）。なお、図3（C）においてワード線の上面を平坦な形状として示しているが、凹型または凸型の形状であっても良い。

【0062】

50

ここで、半導体層 140 とコンタクトプラグ 170 が接する領域がソース領域、半導体層 140 と電極 130 が接する領域がドレイン領域、第 3 の絶縁層 230 がゲート絶縁膜、ワード線 160 a、160 b、160 c、160 d がゲート電極となり、第 2 の絶縁層 220 の壁面部に形成された半導体層 140 の大部分の領域をチャンネル形成領域とするセルトランジスタが形成される。

【0063】

次に、ワード線 160 a、160 b、160 c、160 d の露出している領域を覆うように第 4 の絶縁層 240 を形成する。更に、第 4 の絶縁層 240 上に第 5 の絶縁層 250 を形成する（図 4（A）参照）。第 4 の絶縁層 240 及び第 5 の絶縁層 250 には、第 2 の絶縁層 220 と同様の材料を用いることができ、プラズマ CVD 法やスパッタ法などの各種成膜方法で形成することができる。

10

【0064】

なお、後のコンタクトホールを形成する工程において、ワード線 160 a、160 b、160 c、160 d が露出しないようにするため、同一のエッチング方法において、第 4 の絶縁層 240 にはエッチングレートの小さい材料を用い、第 5 の絶縁層 250 にはエッチングレートの大きい材料を用いることが好ましい。

【0065】

次に、公知のフォトリソグラフィ法及びエッチング法を用いて第 4 の絶縁層 240 及び第 5 の絶縁層 250 にコンタクトホールを形成し、電極 130 及び半導体層 140 の一部を露出させる（図 4（B）参照）。なお、電極 130 の一部のみを露出させる構成、及び半導体層 140 の一部のみを露出させる構成であっても良い。また、図 4（B）では、ワード線 160 a、160 b、160 c、160 d の側面部に第 4 の絶縁層 240 のみが残る構成を示しているが、第 5 の絶縁層 250 の一部が残る構成であっても良い。

20

【0066】

次に、上記コンタクトホールを充填するように導電膜を形成する。該導電膜には、ビット線 120 a と同様の材料を用いることができ、スパッタ法などの成膜方法により形成することができる。そして、CMP（Chemical Mechanical Polishing）法等によって平坦化処理を行うことで第 5 の絶縁層 250 上の不要な導電膜を除去し、該コンタクトホールを充填するコンタクトプラグ 180 を形成する（図 4（C）参照）。

30

【0067】

ここで、コンタクトホールの底部において、コンタクトプラグ 180 が半導体層 140 と接する場合は、その領域がセルトランジスタのドレイン領域となる。したがって、電極 130 を省く構成とすることもできる。

【0068】

次に、第 5 の絶縁層 250 及びコンタクトプラグ 180 上に第 6 の絶縁層 260 を形成する。該第 6 の絶縁層 260 には、第 2 の絶縁層と同様の材料を用いることができ、プラズマ CVD 法やスパッタ法などの各種成膜方法で形成することができる。そして、公知のフォトリソグラフィ法及びエッチング法を用いて、第 6 の絶縁層 260 に溝部を形成する（図 5（A）参照）。

40

【0069】

次に、上記溝部に容量素子 300 を形成する（図 5（B）参照）。容量素子 300 は、該溝部の壁面部に接する一方の電極と、誘電体層を挟んで一方の電極と対向する他方の電極からなり、それらによって該溝部は充填される。ここで、容量素子 300 の一方の電極は、該溝部の底部においてコンタクトプラグ 180 と電氣的に接続され、他方の電極は、容量線（図示無し）と接続される。なお、容量素子 300 を構成する材料は特に限定されないが、例えば、一方の電極及び他方の電極には、ビット線 120 a と同様の材料を用いることができ、誘電体層には、第 2 の絶縁層 220 と同様の材料を用いることができる。

【0070】

以上の工程により、基板表面に対する占有面積が極めて低減された複数のメモリセルを有

50

するメモリ装置を形成することができる。またこのような工程を経て作製されたメモリ装置は、データ保持期間を極めて長くすることが可能であるため、リフレッシュ動作が不要、またはその頻度が極めて低いメモリ装置とすることができる。

【0071】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0072】

(実施の形態3)

本実施の形態では、半導体回路が形成された基板上に、実施の形態1及び2で説明したメモリセルが積層されたメモリ装置の例について説明する。

10

【0073】

図6は、駆動回路部が形成された半導体基板上にメモリセル部が積層されたメモリ装置の断面図である。該メモリ装置は、センスアンプや、デコーダ等のメモリセルを駆動するための駆動回路部420が単結晶半導体基板400表面に公知の半導体集積回路技術を用いて形成されている。メモリセル部440は、実施の形態2を参照して作製することができる。

【0074】

セルトランジスタに接続されるビット線は、コンタクトプラグを介してその下層に設けられた駆動回路部420と電氣的に接続される。したがって、駆動回路部420から出力された電位信号は、共通するビット線を介して各セルトランジスタに入力される。

20

【0075】

また、ここでは図示しないが、セルトランジスタのゲート電極であるワード線は、ビット線と同様にコンタクトプラグ等を介して駆動回路部420に電氣的に接続されている。したがって、駆動回路部420から出力される電位に応じて、セルトランジスタのオン、オフを制御することができる。

【0076】

このような構成とすることにより、メモリ装置のセルトランジスタは、その下方に設けられる駆動回路部420によって制御することができる。

【0077】

以上のように、単結晶半導体基板400に設けられた駆動回路部420上に、メモリセル部440を積層することにより、高密度に集積化されたメモリ装置とすることができる。

30

【0078】

なお、図6に示すメモリ装置のメモリセル部440の上部に、絶縁層を介して更にメモリセル部を一層以上積層する構成としても良い。そのような構成とすることで、更に高密度に集積化されたメモリ装置とすることができる。

【0079】

本実施の形態は、本明細書等で例示する他の実施の形態と適宜組み合わせて実施することができる。

【0080】

(実施の形態4)

酸化物半導体の概念について再度詳しく説明する。

40

【0081】

酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)とを含むことが好ましい。特にInとZnを含むことが好ましい。

【0082】

また、酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はランタノイドの中から選ばれた一種又は複数種を有することが好ましい。

【0083】

50

ランタノイドとして、ランタン（L a）、セリウム（C e）、プラセオジウム（P r）、ネオジウム（N d）、サマリウム（S m）、ユウロピウム（E u）、ガドリニウム（G d）、テルビウム（T b）、ジスプロシウム（D y）、ホルミウム（H o）、エルビウム（E r）、ツリウム（T m）、イットテルビウム（Y b）、ルテチウム（L u）がある。

【0084】

酸化物半導体は、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものをいれればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0085】

酸化物半導体は単結晶でも、非単結晶でもよい。

【0086】

非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。

【0087】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせて実施することができる。

【0088】

（実施の形態5）

結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている酸化物半導体であるCAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜について説明する。

【0089】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体層である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0090】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0091】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0092】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線方向ま

10

20

30

40

50

たは表面の法線方向に平行な方向となる。結晶部は、成膜することにより、または成膜後に熱処理などの結晶化処理を行うことにより形成される。

【0093】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0094】

なお、酸化物半導体層を構成する酸素の一部は窒素で置換されてもよい。

【0095】

また、C A A C - O S 膜のように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (R a) が 1 n m 以下、好ましくは 0. 3 n m 以下、より好ましくは 0. 1 n m 以下の表面上に形成するとよい。

【0096】

図 8 乃至図 1 0 を用いて、C A A C - O S 膜に含まれる結晶構造の一例について説明する。

【0097】

なお、図 8 乃至図 1 0 において、上方向が c 軸方向であり、c 軸方向と直交する面が a b 面である。

【0098】

本実施の形態において、上半分、下半分とは、a b 面を境にした場合の上半分、下半分をいう。

【0099】

図 8 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子 (以下 4 配位の O) と、を有する構造 A を示す。

【0100】

ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。

【0101】

構造 A は、八面体構造をとるが、簡単のため平面構造で示している。

【0102】

なお、構造 A は上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。構造 A に示す小グループは電荷が 0 である。

【0103】

図 8 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子 (以下 3 配位の O) と、近接の 2 個の 4 配位の O と、を有する構造 B を示す。

【0104】

3 配位の O は、いずれも a b 面に存在する。構造 B の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。

【0105】

また、I n も 5 配位をとるため、構造 B をとりうる。構造 B の小グループは電荷が 0 である。

【0106】

図 8 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造 C を示す。

【0107】

構造 C の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。構造 C の小グループは電荷が 0 である。

【0108】

図 8 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造

10

20

30

40

50

Dを示す。

【0109】

構造Dの上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。

【0110】

構造Dの小グループは電荷が+1となる。

【0111】

図8(E)に、2個のZnを構造Eを示す。

【0112】

構造Eの上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。構造Eの小グループは電荷が-1となる。

10

【0113】

本実施の形態では複数の小グループの集合体の中グループと呼び、複数の中グループの集合体は大グループ(ユニットセルともいう。)と呼ぶ。

【0114】

ここで、これらの小グループ同士が結合する規則について説明する。

【0115】

Inの上半分の3個のOは下方向に3個の近接Inを有し、下半分の3個のOは上方向に3個の近接Inを有する。

【0116】

Gaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。

20

【0117】

Znの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向に3個の近接Znを有する。

【0118】

このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。

【0119】

Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。

30

【0120】

したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。

【0121】

その理由を以下に示す。例えば、6配位の金属原子(InまたはSn)が上半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)の上半分の4配位のO、5配位の金属原子(GaまたはIn)の下半分の4配位のOまたは4配位の金属原子(Zn)の上半分の4配位のOのいずれかと結合することになる。

40

【0122】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。

【0123】

また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0124】

図9(A)に、In-Sn-Zn-O系の層構造を構成する中グループAのモデル図を示す。

【0125】

50

図9 (B) に、3つの中グループで構成される大グループBを示す。

【0126】

なお、図9 (C) は、図9 (B) の層構造をc軸方向から観察した場合の原子配列を示す。

【0127】

中グループAでは、3配位のOは省略し、4配位のOは個数のみである。

【0128】

例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。

【0129】

同様に、中グループAにおいて、 I_n の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。

【0130】

また、中グループAにおいて、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある Z_n と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある Z_n とを示している。

【0131】

中グループAにおいて、 $I_n-S_n-Z_n-O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある S_n が、4配位のOが1個ずつ上半分および下半分にある I_n と結合する。

【0132】

その I_n が、上半分に3個の4配位のOがある Z_n と結合する。

【0133】

その Z_n の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある I_n と結合する。

【0134】

その I_n が、上半分に1個の4配位のOがある Z_n 2個からなる小グループと結合する。

【0135】

この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある S_n と結合している構成である。

【0136】

この中グループが複数結合して大グループを構成する。

【0137】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。

【0138】

例えば、 I_n (6配位または5配位)、 Z_n (4配位)、 S_n (5配位または6配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。したがって、 S_n を含む小グループは電荷が $+1$ となる。

【0139】

そのため、 S_n を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。

【0140】

電荷 -1 をとる構造として、構造Eに示すように、2個の Z_n を含む小グループが挙げられる。

【0141】

例えば、 S_n を含む小グループが1個に対し、2個の Z_n を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0142】

具体的には、大グループBが繰り返されることで、 $I_n-S_n-Z_n-O$ 系の結晶 (I_n

10

20

30

40

50

$2\text{SnZn}_3\text{O}_8$)を得ることができる。

【0143】

得られる In-Sn-Zn-O 系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m は0または自然数。)とする組成式で表すことができる。

【0144】

In-Sn-Zn-O 系の結晶は、 m の数が大きいと結晶性が向上するため、好ましい。

【0145】

In-Sn-Zn-O 系以外の酸化物半導体を用いた場合も同様である。

【0146】

例えば、図10(A)に、 In-Ga-Zn-O 系の層構造を構成する中グループLのモデル図を示す。

10

【0147】

中グループLにおいて、 In-Ga-Zn-O 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合する。

【0148】

そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合する。

【0149】

そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合する。

20

【0150】

この中グループが複数結合して大グループを構成する。

【0151】

図10(B)に3つの中グループで構成される大グループMを示す。

【0152】

なお、図10(C)は、図10(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0153】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。

30

【0154】

そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0155】

また、 In-Ga-Zn-O 系の層構造を構成する中グループは、中グループLに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0156】

(実施の形態6)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。

40

【0157】

移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0158】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表される。

50

【0159】

【数1】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0160】

Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。

【0161】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0162】

10

【数2】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0163】

eは電気素量、Nはチャンネル内の単位面積当たりの平均欠陥密度、εは半導体の誘電率、nは単位面積当たりのチャンネルに含まれるキャリア数、C_{ox}は単位面積当たりの容量、V_gはゲート電圧、tはチャンネルの厚さである。

【0164】

なお、厚さ30nm以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同一として差し支えない。

20

【0165】

線形領域におけるドレイン電流I_dは、以下の式で表される。

【0166】

【数3】

$$I_d = \frac{W\mu V_g C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0167】

ここで、Lはチャンネル長、Wはチャンネル幅であり、ここでは、L=W=10μmである。

【0168】

また、V_dはドレイン電圧である。

30

【0169】

式Cの両辺をV_gで割り、更に両辺の対数を取ると、以下の式で表される。

【0170】

【数4】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

【0171】

式Dの右辺はV_gの関数である。

【0172】

上式のからわかるように、縦軸をln(I_d/V_g)、横軸を1/V_gとする直線の傾きから欠陥密度Nが求められる。

40

【0173】

すなわち、トランジスタのI_d-V_g特性から、欠陥密度を評価できる。

【0174】

酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、In:Sn:Zn=1:1:1のものでは欠陥密度Nは1×10¹²/cm²程度である。

【0175】

このようにして求めた欠陥密度等をもとにμ₀=120cm²/Vsが導出される。

【0176】

欠陥のあるIn-Sn-Zn酸化物で測定される移動度は35cm²/Vs程度である。

50

【0177】

しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2/\text{Vs}$ となると予想できる。

【0178】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0179】

【数5】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

【0180】

D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ (界面散乱が及ぶ深さ) である。

【0181】

D が増加する (すなわち、ゲート電圧が高くなる) と式 E の第 2 項が増加するため、移動度 μ_1 は低下することがわかる。

【0182】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 の計算結果 E を図 11 に示す。

20

【0183】

なお、計算にはシノプシス社製のソフトである *Sentaurus Device* を使用した。

【0184】

計算において、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8 電子ボルト、4.7 電子ボルト、15、15 nm とした。

【0185】

これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0186】

30

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5 電子ボルト、4.6 電子ボルト、4.6 電子ボルトとした。

【0187】

また、ゲート絶縁膜の厚さは 100 nm、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに 10 μm 、ドレイン電圧 V_d は 0.1 V である。

【0188】

計算結果 E で示されるように、ゲート電圧 1 V 強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。

【0189】

40

なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (*Atomic Layer Flatness*) が望ましい。

【0190】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した。

【0191】

なお、計算に用いたトランジスタは酸化物半導体層に一对の n 型半導体領域にチャネル形成領域が挟まれたものを用いた。

【0192】

一对の n 型半導体領域の抵抗率は $2 \times 10^{-3} \Omega \text{ cm}$ として計算した。

50

【0193】

また、チャンネル長を33nm、チャンネル幅を40nmとして計算した。

【0194】

また、ゲート電極の側壁にサイドウォールを有する。

【0195】

サイドウォールと重なる半導体領域をオフセット領域として計算した。

【0196】

計算にはシノプシス社製のソフト、Sentaurus Deviceを使用した。

【0197】

図12は、トランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性の計算結果である。 10

【0198】

ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

【0199】

図12(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

【0200】

図12(B)はゲート絶縁膜の厚さを10nmと計算したものである。

【0201】

図12(C)はゲート絶縁膜の厚さを5nmと計算したものである。 20

【0202】

ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。

【0203】

一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。

【0204】

図13は、オフセット長(サイドウォール長) L_{off} を5nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。

【0205】

ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。 30

【0206】

図13(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

【0207】

図13(B)はゲート絶縁膜の厚さを10nmと計算したものである。

【0208】

図13(C)はゲート絶縁膜の厚さを5nmと計算したものである。

【0209】

図14は、オフセット長(サイドウォール長) L_{off} を15nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。 40

【0210】

ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

【0211】

図14(A)はゲート絶縁膜の厚さを15nmとして計算したものである。

【0212】

図14(B)はゲート絶縁膜の厚さを10nmと計算したものである。

【0213】

図14(C)はゲート絶縁膜の厚さを5nmと計算したものである。 50

【0214】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0215】

なお、移動度 μ のピークは、図12では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図13では $60\text{ cm}^2/\text{Vs}$ 程度、図14では $40\text{ cm}^2/\text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。

【0216】

また、オフ電流も同様な傾向がある。

【0217】

一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【0218】

また、いずれもゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

【0219】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態又は実施例と組み合わせて実施することができる。

【実施例1】

【0220】

In、Sn、Znを含有する酸化物半導体を用いたトランジスタは、酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。

【0221】

なお、In、Sn、Znは組成比でそれぞれ5at%以上含まれていると好ましい。

【0222】

In、Sn、Znを含有する酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。

【0223】

また、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることができる。

【0224】

nチャネル型のトランジスタのしきい値電圧をプラスシフトさせることにより、nチャネル型のトランジスタのオフ状態を維持するための電圧の絶対値を低くすることができ、低消費電力化が可能となる。

【0225】

さらに、nチャネル型のトランジスタのしきい値電圧をプラスシフトさせて、しきい値電圧を0V以上にすれば、ノーマリーオフ型のトランジスタを形成することが可能となる。

【0226】

以下In、Sn、Znを含有する酸化物半導体を用いたトランジスタの特性を示す。

【0227】

(サンプルA～C共通条件)

組成比としてIn:Sn:Zn=1:1:1のターゲットを用いて、ガス流量比をAr/O₂=6/9sccm、成膜圧力を0.4Pa、成膜電力100Wとして、15nmの厚さとなるように基板上に酸化物半導体層を成膜した。

【0228】

次に、酸化物半導体層を島状になるようにエッチング加工した。

【0229】

そして、酸化物半導体層上に50nmの厚さとなるようにタングステン層を成膜し、これをエッチング加工してソース電極及びドレイン電極を形成した。

10

20

30

40

50

【0230】

次に、プラズマCVD法を用いて、シランガス（ SiH_4 ）と一酸化二窒素（ N_2O ）を用いて100nmの厚さとなるように酸化窒化珪素膜（ SiON ）を形成してゲート絶縁膜とした。

【0231】

次に、15nmの厚さとなるように窒化タンタルを形成し、135nmの厚さとなるようにタンゲステンを形成し、これらをエッチング加工してゲート電極を形成した。

【0232】

さらに、プラズマCVD法を用いて、300nmの厚さとなるように酸化窒化珪素膜（ SiON ）を形成し、1.5 μm の厚さとなるようにポリイミド膜を形成し層間絶縁膜とした。

10

【0233】

次に、層間絶縁膜にコンタクトホールを形成し、50nmの厚さとなるように第1のチタン膜を形成し、100nmの厚さとなるようにアルミニウム膜を形成し、50nmの厚さとなるように第2のチタン膜を形成し、これらをエッチング加工して測定用のパッドを形成した。

【0234】

以上のようにしてトランジスタを有する半導体装置を形成した。

【0235】

（サンプルA）

20

サンプルAは酸化物半導体層の成膜中に基板に意図的な加熱を施さなかった。

【0236】

また、サンプルAは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

【0237】

（サンプルB）

サンプルBは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0238】

また、サンプルBは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に加熱処理を施さなかった。

30

【0239】

基板を加熱した状態で成膜を行った理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0240】

（サンプルC）

サンプルCは基板を200℃になるように加熱した状態で酸化物半導体層の成膜を行った。

【0241】

さらに、サンプルCは酸化物半導体層の成膜後であって、酸化物半導体層のエッチング加工前に窒素雰囲気で650℃1時間の加熱処理を施した後、酸素雰囲気で650℃1時間の加熱処理を施した。

40

【0242】

窒素雰囲気で650℃1時間の加熱処理を施した理由は、酸化物半導体層中でドナーとなる水素を追い出すためである。

【0243】

ここで、酸化物半導体層中でドナーとなる水素を追い出すための加熱処理で酸素も離脱し、酸化物半導体層中でキャリアとなる酸素欠損も生じてしまう。

【0244】

そこで、酸素雰囲気中650℃1時間の加熱処理を施すことにより、酸素欠損を低減する

50

効果を狙った。

【0245】

(サンプルA～Cのトランジスタの特性)

図15(A)にサンプルAのトランジスタの初期特性を示す。

【0246】

図15(B)にサンプルBのトランジスタの初期特性を示す。

【0247】

図15(C)にサンプルCのトランジスタの初期特性を示す。

【0248】

サンプルAのトランジスタの電界効果移動度は $18.8 \text{ cm}^2/\text{Vs ec}$ であった。

10

【0249】

サンプルBのトランジスタの電界効果移動度は $32.2 \text{ cm}^2/\text{Vs ec}$ であった。

【0250】

サンプルCのトランジスタの電界効果移動度は $34.5 \text{ cm}^2/\text{Vs ec}$ であった。

【0251】

ここで、サンプルA～Cと同様の成膜方法で形成した酸化物半導体層の断面を透過型顕微鏡(TEM)で観察したところ、成膜時に基板加熱を行ったサンプルB及びサンプルCと同様の成膜方法で形成したサンプルには結晶性が確認された。

【0252】

そして、驚くべきことに、成膜時に基板加熱を行ったサンプルは、結晶性部分と非結晶性部分とを有し、結晶性部分の配向がc軸配向に揃っている結晶性であった。

20

【0253】

通常が多結晶では結晶性部分の配向が揃っておらず、ばらばらの方向を向いているため、成膜時に基板加熱を行ったサンプルは新しい構造を有している。

【0254】

また、図15(A)～(C)を比較すると、成膜時に基板加熱を行うこと、又は、成膜後に加熱処理を行うことにより、ドナーとなる水素元素を追い出すことができるため、nチャネル型トランジスタのしきい値電圧をプラスシフトできることが理解できる。

【0255】

即ち、成膜時に基板加熱を行ったサンプルBのしきい値電圧は、成膜時に基板加熱を行っていないサンプルAのしきい値電圧よりもプラスシフトしている。

30

【0256】

また、成膜時に基板加熱を行ったサンプルB及びサンプルCを比較した場合、成膜後に加熱処理を行ったサンプルCの方が、成膜後に加熱処理を行っていないサンプルBよりもプラスシフトしていることがわかる。

【0257】

また、水素のような軽元素は加熱処理の温度が高いほど離脱しやすいため、加熱処理の温度が高いほど水素が離脱しやすい。

【0258】

よって、成膜時又は成膜後の加熱処理の温度を更に高めればよりプラスシフトが可能であると考察した。

40

【0259】

(サンプルBとサンプルCのゲートBTストレス試験結果)

サンプルB(成膜後加熱処理なし)及びサンプルC(成膜後加熱処理あり)とに対してゲートBTストレス試験を行った。

【0260】

まず、基板温度を 25°C とし、ドレイン電圧(V_d)を 10 V とし、トランジスタの V_g-I_d 特性(ゲート電圧-ドレイン電流特性)の測定を行い、加熱及びプラスの高電圧印加を行う前のトランジスタの特性を測定した。

【0261】

50

次に、基板温度を 150°C とし、 V_d を 0.1 V とした。

【0262】

次に、ゲート電圧 (V_g) を 20 V 印加し、そのまま 1 時間保持した。

【0263】

次に、 V_g を 0 V とした。

【0264】

次に、基板温度 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行い、加熱及びプラスの高電圧印加を行った後のトランジスタの特性を測定した。

【0265】

以上のようにして、加熱及びプラスの高電圧印加を行う前後のトランジスタの特性を比較することをプラス BT 試験と呼ぶ。 10

【0266】

一方、まず基板温度を 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行い、加熱及びマイナスの高電圧印加を行う前のトランジスタの特性を測定した。

【0267】

次に、基板温度を 150°C とし、 V_d を 0.1 V とした。

【0268】

次に、 V_g を -20 V 印加し、そのまま 1 時間保持した。

【0269】

次に、 V_g を 0 V とした。 20

【0270】

次に、基板温度 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行い、加熱及びマイナスの高電圧印加を行った後のトランジスタの特性を測定した。

【0271】

以上のようにして、加熱及びマイナスの高電圧印加を行う前後のトランジスタの特性を比較することをマイナス BT 試験と呼ぶ。

【0272】

図 16 (A) はサンプル B のプラス BT 試験結果であり、図 16 (B) はサンプル B のマイナス BT 試験結果である。

【0273】

図 17 (A) はサンプル C のプラス BT 試験結果であり、図 17 (B) はサンプル C のマイナス BT 試験結果である。 30

【0274】

プラス BT 試験及びマイナス BT 試験はトランジスタの劣化具合を判別する試験であるが、図 16 (A) 及び図 17 (A) を参照すると少なくともプラス BT 試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

【0275】

特に、図 16 (A) ではプラス BT 試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。

【0276】

よって、トランジスタの作製時の加熱処理に加えて、プラス BT 試験の処理を行うことにより、しきい値電圧のプラスシフト化を促進でき、ノーマリーオフ型のトランジスタを形成することができることがわかった。 40

【0277】

図 18 はサンプル A のトランジスタのオフ電流と測定時の基板温度 (絶対温度) の逆数との関係を示す。

【0278】

ここでは、測定時の基板温度の逆数に 1000 を掛けた数値 ($1000/T$) を横軸としている。

【0279】

なお、図 18 ではチャネル幅 $1\ \mu\text{m}$ の場合における電流量を図示している。

【0280】

基板温度が 125°C ($1000/T$ が約 2.51) のとき $1 \times 10^{-19}\text{A}$ 以下となっていた。

【0281】

基板温度が 85°C ($1000/T$ が約 2.79) のとき $1 \times 10^{-20}\text{A}$ 以下となっていた。

【0282】

つまり、シリコン半導体を用いたトランジスタと比較して極めて低いオフ電流であることがわかった。

10

【0283】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

【符号の説明】

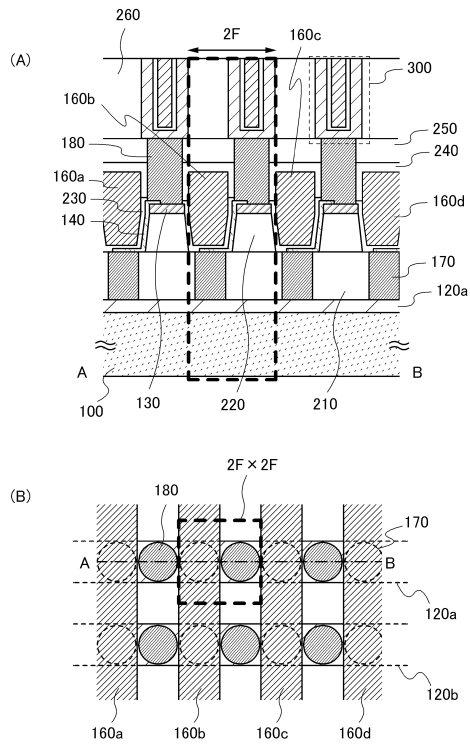
【0284】

100	基板
130	電極
140	半導体層
170	コンタクトプラグ
180	コンタクトプラグ
190	容量線
210	第1の絶縁層
220	第2の絶縁層
230	第3の絶縁層
240	第4の絶縁層
250	第5の絶縁層
260	第6の絶縁層
300	容量素子
400	単結晶半導体基板
420	駆動回路部
440	メモリセル部
120a	ビット線
120b	ビット線
130a	導電膜
160a	ワード線
160b	ワード線
160c	ワード線
160d	ワード線

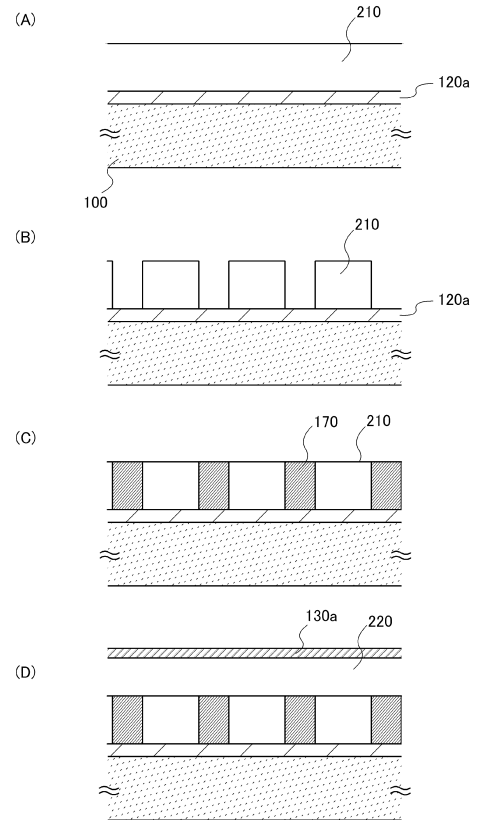
20

30

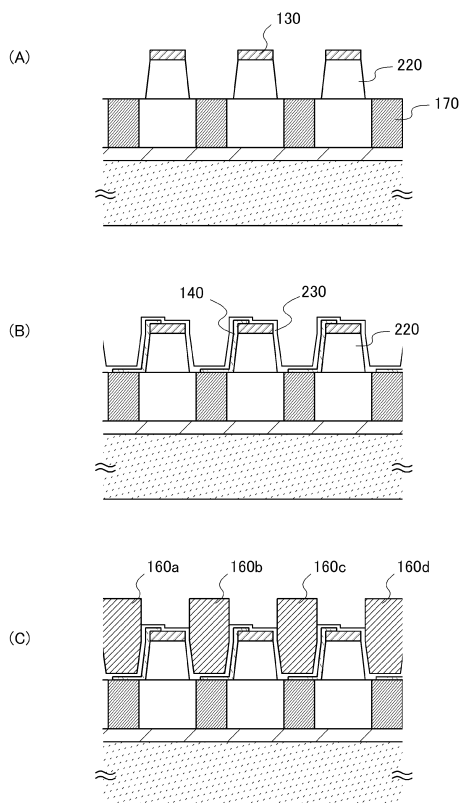
【図 1】



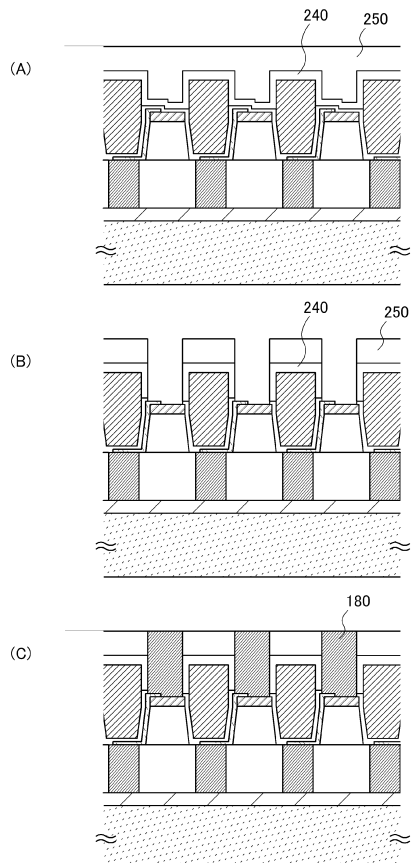
【図 2】



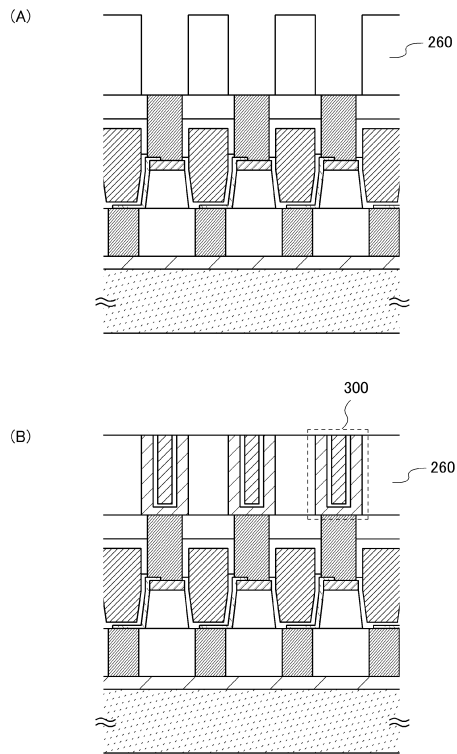
【図 3】



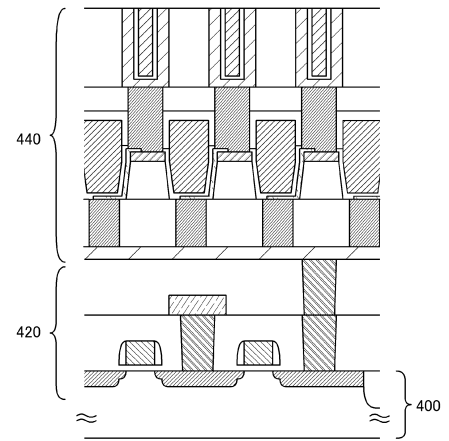
【図 4】



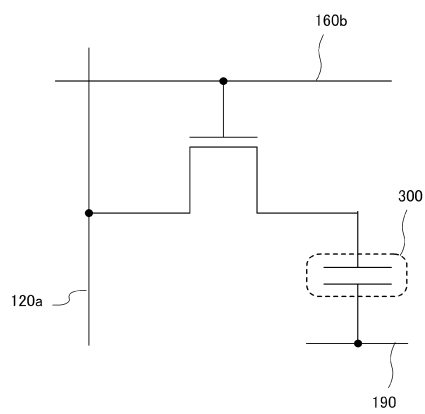
【図 5】



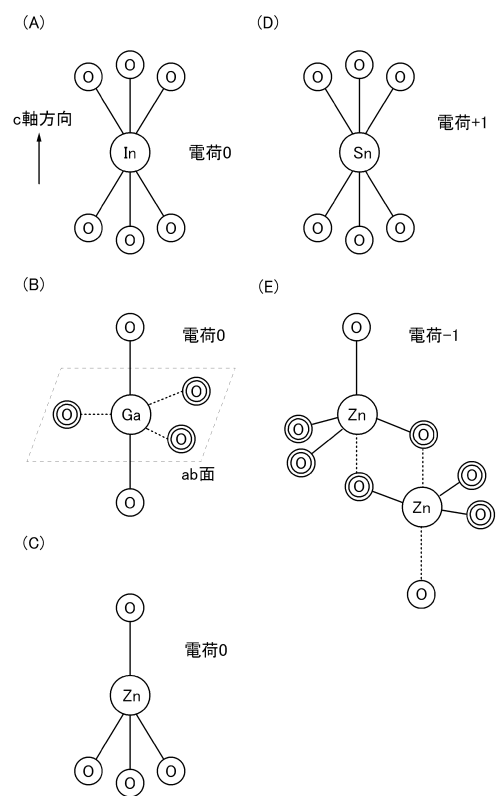
【図 6】



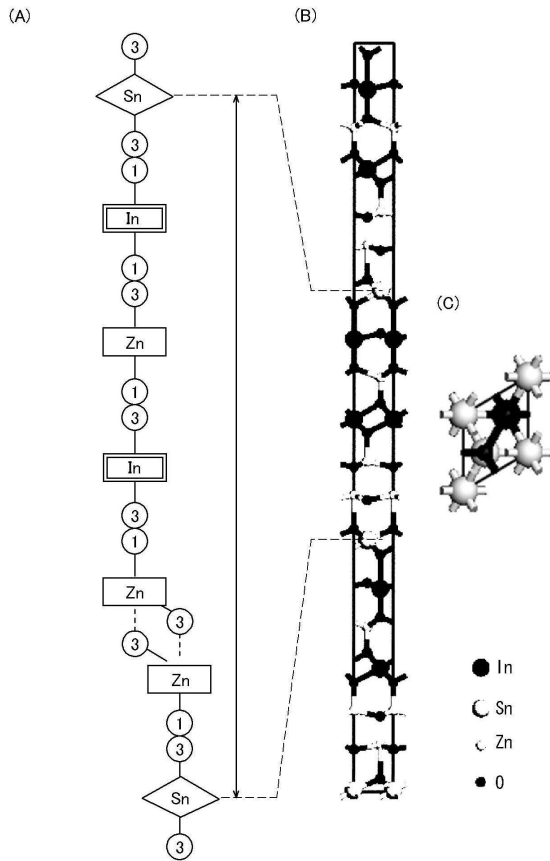
【図 7】



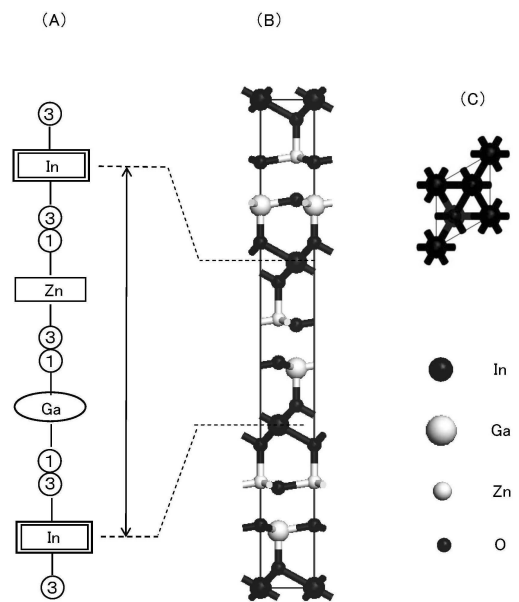
【図 8】



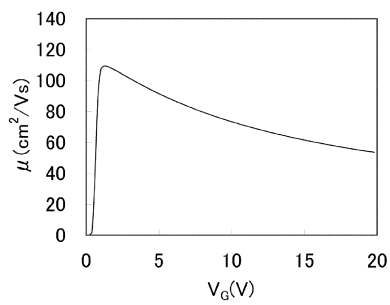
【図 9】



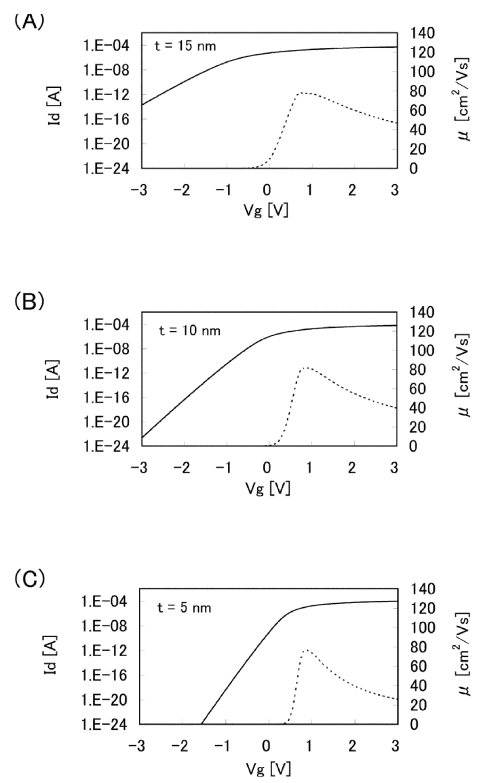
【図 10】



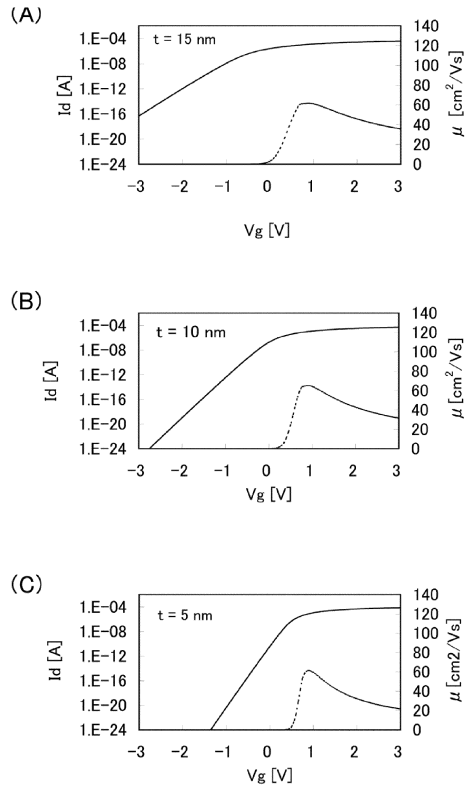
【図 11】



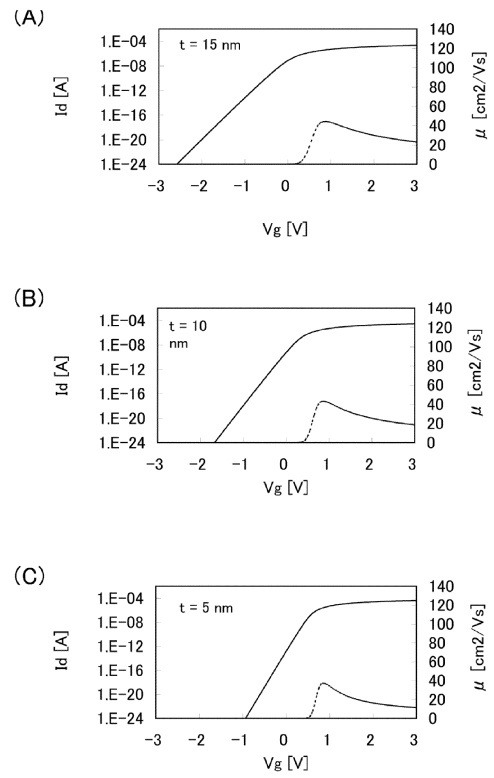
【図 12】



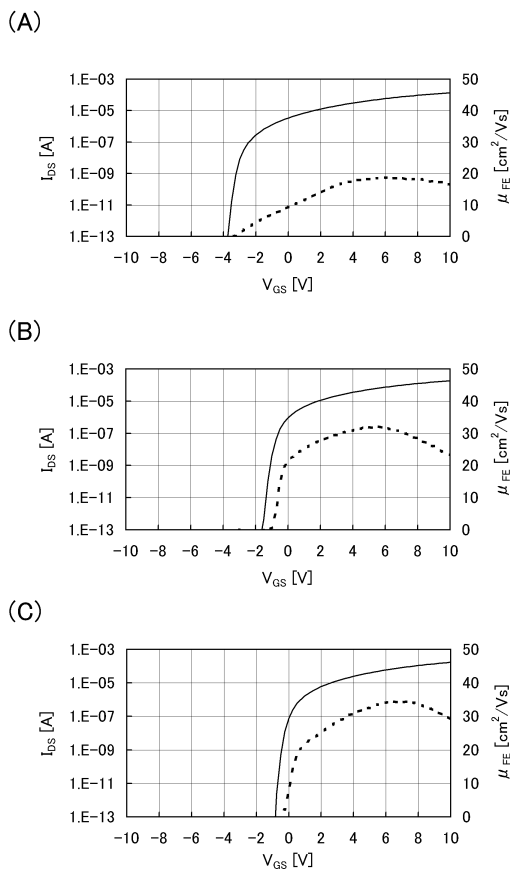
【図 13】



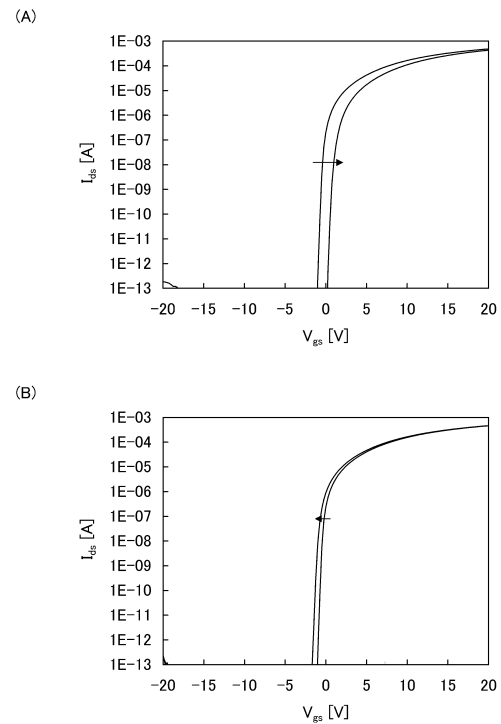
【図 14】



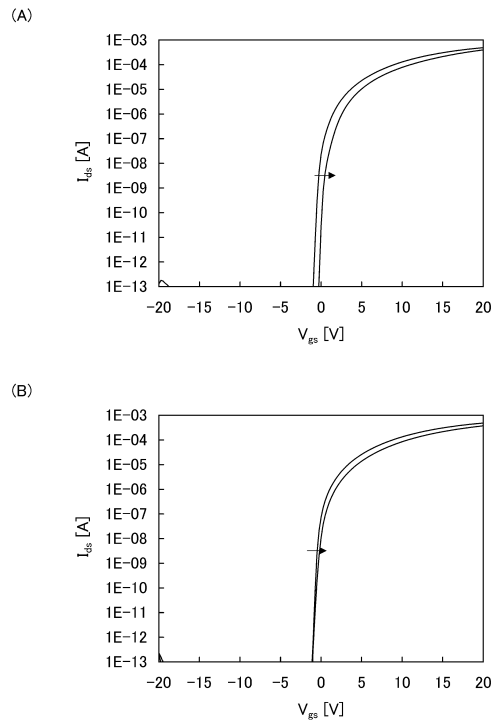
【図 15】



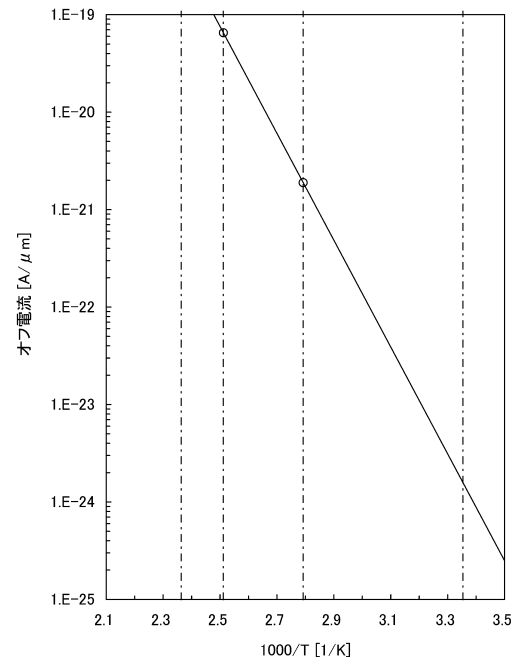
【図 16】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開平04-282865 (JP, A)
特開2010-093261 (JP, A)
特開2002-076356 (JP, A)
米国特許出願公開第2002/0105019 (US, A1)
特開平06-334146 (JP, A)
特表2005-520347 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/8242
H01L 27/108