



[12] 发明专利说明书

[21] ZL 专利号 96191400.9

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130730C

[22] 申请日 1996. 6. 27 [21] 申请号 96191400. 9

[30] 优先权

[32] 1995. 9. 14 [33] US [31] 08/527,950

[86] 国际申请 PCT/US96/10855 1996. 6. 27

[87] 国际公布 WO97/10602 英 1997. 3. 20

[85] 进入国家阶段日期 1997. 7. 10

[71] 专利权人 三星电子株式会社

地址 韩国京畿道水原市

[72] 发明人 小 L · R · 莫特

审查员 史永良

[74] 专利代理机构 中国专利代理(香港)有限公司

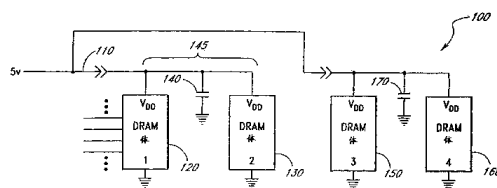
代理人 程天正 陈景峻

权利要求书 2 页 说明书 5 页 附图 3 页

[54] 发明名称 动态随机存取存储器

[57] 摘要

一种在刷新周期期间内存取动态随机存取存储器(DRAM)体(120、130、150、160)的改进了的方法考虑到了顺序地存取并不共用公共滤波电容器(140、170)的 DRAM 体。通过这种方式,由刷新存取所引起的电压降在相继的时钟周期中不会在同一滤波电容器上被观察到,从而,滤波电容器(140、170)在同一个电容器上发生另外一次刷新命中之前有足够的恢复时间以便把供电电压恢复到原先的电压水平。在这种方式下,可以缓解 DRAM 体(120、130、150、160)的电压电源输入(110)处的明显电压降。



1. 一种刷新多个易失性存储体的方法，所述方法包括下列步骤：
对和第二存储体共用至少一个第一滤波电容器的第一存储体启动一次刷新，所述第一滤波电容用于滤除电压电源线上的电压降；
- 5 在启动上述第一存储体的上述刷新后对不和上述第一及第二存储体共用上述至少一个第一滤波电容器的第三存储体启动一次刷新；以及
- 在启动上述第三存储体的上述刷新之后刷新上述第二存储体。
2. 如权利要求1所定义的一种方法，其特征在于，所述的第一、
- 10 第二和第三存储体是CMOS存储体。
3. 如权利要求1所定义的一种方法，其特征在于，该方法还包括下列步骤：在继启动上述第二存储体的上述刷新后启动对第四存储体的刷新，其中，所说的第四存储体和上述第三存储体共用至少一个第二滤波电容。
- 15 4. 如权利要求1所定义的一种方法，其特征在于，每个上述的刷新均是在RAS刷新之前的CAS。
5. 一种减少在对第一存储体和第二存储体进行刷新期间所发生的电源电压降的方法，该第一和第二存储体共用至少一个第一电容器，其中，每当所述第一存储体或所述第二存储体发生刷新时就会在该第一和第二存储体上观察到电源电压降，并且，两次刷新周期之间的时间是这样的即：对上述第一和第二存储体的立即相继的刷新比起对上述第一和第二存储体中的一个或另一个进行单次刷新会导致在上述第一和第二存储体上有更大的电源电压降，该方法包括下列步骤：
- 20 对和上述第二存储体共用上述至少一个第一电容器的上述第一存储体启动一次刷新；以及
- 在对至少一个不和上述第一和第二存储体共用上述第一电容器的第三存储体启动了足够数量的刷新周期之后，对上述第二存储体启动一次刷新，从而，对上述第二存储体的上述刷新不会导致比对上述第一和第二存储体的一个或另一个进行单独一次刷新在上述第一和第二存储体上有更大的电源电压降。
- 30 6. 如权利要求5所定义的一种方法，其特征在于，所说的足够数量的刷新周期是一个刷新周期。

7. 如权利要求 5 所定义的一种方法，其特征在于，每个上述的刷新是 RAS 刷新之前的 CAS。

动态随机存取存储器

技术领域

- 5 本发明涉及一种刷新动态随机存取存储器 (DRAM) 中的存储单元的方法, 更具体地说, 涉及一种减少使用 CMOS (互补型金属氧化物半导体) 的 DRAM 的漏电压的刷新噪声的方法。

背景技术

- 10 如在本技术中已熟知的那样, 动态随机存取存储器需要对 DRAM 中的存储单元作周期性的刷新以便使存储在每个存储单元中的数据不会随时间而损失或衰减。通过周期性地刷新 DRAM 中的每行存储器, 把能量提供给该行中的每个电容性的存储单元, 使得存储在存储单元中的数据不会衰减。因此, 刷新是易失性存储器的存储机理中关键的因素。

- 15 一次刷新可以是 RAS(行地址选择)刷新之前的 CAS(列地址选择), 或只是一次 RAS 刷新。RAS 刷新前的 CAS 包括在 RAS 信号确认之前先确认 CAS 信号以表明下一周期是一个刷新周期。响应于 RAS 前的 CAS 的确认, 存储器中的一个内部地址计数器提供要被刷新的下一行的行地址。仅对 RAS 的刷新以与刷新存储器中选中的行相似的方式进行操作, 不过, 要被刷新的行地址相反是由外部刷新电路提供的。

- 20 但是, 每当执行一次刷新时, 在被刷新的 DRAM 中的电流波动会导致向 DRAM 供电的线路电压降低。由线路电压下降所引起的噪声会影响该 DRAM 或由同一电压供电的其它 DRAM 的工作。对使用 CMOS 工艺的 DRAM 尤其是这样, 因为, 这种 DRAM 的内部线路结构特别易受电压突然下降或噪声的影响。

- 25 因此, 为了防止在刷新期间大的噪声尖峰, 以前的刷新方法曾考虑过对单列直插存储器模块 (SIMM) 实现交错刷新, 以使刷新彼此相继进行并且至少相隔一个时钟周期。更进一步, 为了减少刷新存取所引起的电压降的大小, 为每个存储体提供滤波电容器以便在高电流输出时保持线路电压。尽管这种方法可以用来把刷新期间所产生的电压降均匀地分布到多个时钟周期上, 但是仍然不能把减少电压降做到最优化。这是因为, 有时候相邻的存储体共用一个或多个滤波电容器, 因此, 如果例如第一和第二个存储体连续被刷新时, 滤波电容器就会
- 30

没有足够的恢复时间来再充电到正常的线路电压。因此，如果共用同一个滤波电容器的多个存储体在相继的时钟周期内被刷新时，就有可能在连接到被存取的存储体上的电源线上观察到显著的电压降，并且所引起的噪声将影响 DRAM 的工作。

5 发明内容

一种刷新多个易失性存储体的方法，该存储体共用一个公共的滤波电容器以滤除电压电源线上的电压降，所述方法包括下列步骤：对和第二个存储体共用滤波电容器的第一存储体起动一次刷新；在起动第一个存储体的刷新之后对不和第一及第二存储体共用滤波电容器的
10 第三存储体起动一次刷新；以及，在起动第三存储体的刷新之后刷新第二存储体。

按照优选实施例，第一、第二和第三存储体是 CMOS 存储体。

按照另一个优选实施例，所述方法包括这样的步骤：在接着起动第二存储体的刷新之后起动第四存储体的刷新的步骤，其中，第四存
15 储体和第三存储体共用另外的滤波电容器。

在另一方面，本发明是一种减少电源电压降的方法，这种电压降发生在对共用公共电容器的存储体进行刷新期间，其中，每次进行刷新时都能在存储体上观察到电源的电压降。两个刷新周期之间的时间是这样的：对第一和第二存储体的立即相继的刷新比起对第一和第二
20 存储体中的一个或另一个进行单次刷新会导致在第一和第二存储体上有更大的电源电压降。上述方法包括的步骤为：对和第二存储体共用电容器的第一存储体起动一次刷新；以及，在足够数量的刷新周期之后起动对第二存储体刷新，从而对第二存储体的刷新并不会导致比起对第一和第二存储体中的一个或另一个存储体作单独的刷新时在第一
25 和第二存储体上有更大的电源电压降。

附图说明

图 1 是说明每一对都共用滤波电容器的两对存储体的示意方块图。

图 2 是说明按照已有技术的方法所实施的对每个存储体的刷新存取
30 次序的时序图。

图 3 是按照本发明方法对图 1 的存储体进行刷新存取次序的时序图。

图 4A 到 4C 是说明就下列情况而言在刷新期间所发生的电压降的信号图，所说的情况是：(A) 是在不使用滤波电容器时利用已有技术的交错法存取相邻存储体；(B) 是使用已有技术的方法刷新共用相同滤波电容器的相邻存储体；(C) 是在存储体之间共用滤波电容器时使用本发明的方法以隔开的时间间隔来存取相邻存储体。

具体实施方式

图 1 是一个简化的示意方块图，它说明了多个和电源线 110 相连接的动态随机存取存储器 (DRAM) 体 100。如图 1 所示，第一 DRAM 体 120 和第二 DRAM 体 130 共用一个滤波电容器组 140。这样一种实例在例如构成双列直插存储器模块 (DIMM) 以便在线路板的两侧都有 DRAM 的应用中是普遍的。对于一般熟悉本技术的人都会理解，电容器组 140 可以包括多个电容器，它们由 DRAM 体 120、130 内的各个 DRAM 单元所共用。与此类似，如图 1 中所示，第三 DRAM 体 150 和第四 DRAM 体 160 共用电容器组 170。

在运行时，每个 DRAM 体 120、130、150 和 160 内的存储单元的刷新以一预定的次序进行，以便减少通过连线 110 的瞬时电流。就像熟悉本技术的人们所熟知的那样，电源线 110 有一定的阻抗，所以，当沿着线路 110 的某一点上发生急剧的电流流动时，在线路 110 的这一地点就有可能观察到明显的电压降。因此，沿着电源线的一系列位置上要包括滤波电容器 140、170，以减轻这种电压变动的影晌。此外，经常导致线路 110 上这种急剧电流流动的刷新存取可交错进行以减少沿着线路 110 上任何一个给定位置上的总的电流流动。

某些以前的在线路 110 上任何给定位置处减少电流流动的方法都包括对每个 DRAM 体进行交错刷新，因此，对任何一个 DRAM 体 120、130、150 和 160 来说，行地址选通线不会在同时被确立。如图 2 所示，为了起动刷新操作，列地址选通线被确立，接着是每一条行地址选通线 (即相当于每个相应的存取 DRAM 体 120、130、150、160) 相继被确立。但是，当共用相同的滤波电容器的 DRAM 体的行地址选通线被快速连续确立时，就有可能使滤波电容器没有足够的时间从跟随在第一次行地址选通之后的电流流动中恢复过来，从而，跟随在第二行地址

选通确立之后的另外的电流流动会导致沿着线路 110 上有相对业已低于正常的电压电平的电压下降。这种情况示于图 4A 和 4B 中。具体来说，图 4A 表示这样的电压降，如果在 RAS1 信号之后立即确立 RAS2 信号（如图 2 所示），且这时不存在滤波电容器 140，那么，在 DRAM 体 5 120、130 上沿着线 110 上总是会观察到所说的电压降。因此，图 4A 表明了这些相邻的存储体在相继的时钟周期被刷新时在存储体 120、130 的电压输入端所观察到的电压降的紧密邻近性。

由于在邻近于 DRAM 体 120、130 的线路 110 上存在滤波电容器 140，所以，观察到的电压降由图 4B 所示那样来表示。虽然在对 DRAM 10 体 120、130 的电源输入处所观察到的电压降并不像如果在第一次电压降时于不存在电容器 140 的情况下所观察到的电压降那样严重，但是，当第二个电压降已发生而邻近 DRAM 体 120、130 的线路 110 上的电压还没有恢复到它原来的数值时，一旦确立了第二行地址选通信号，就会观察到一个大的压降。因此，很明显，在某些情况下，如果刷新是快速连续发生的以致滤波电容器 140 没有时间从原来的电压降恢复过来，15 先有技术的方法就会导致相邻 DRAM 体的电源输入有明显的电压降。如果 DRAM 体 120、130 使用 CMOS 工艺的话，这一问题将更加严重，因为，CMOS 工艺在出现这样的电压降时特别容易受到噪声的影响。

然而，按照本发明的思路，在刷新时存取 DRAM 体的改进方法表明在图 3 中。如图 3 所示，DRAM 的刷新顺序被改变了，因此共用同 20 一些滤波电容器的 DRAM 体并不在相继的时钟周期内被存取。也就是说，如图 3 所示，用来刷新第二 DRAM 体 130 的行地址选通先被确立，接着确立用于刷新第四 DRAM 体 160 的行地址选通信号，接着是确立用于刷新第一 DRAM 体 120 的行地址选通信号，最后确立用于刷新第 25 三 DRAM 体 150 的行地址选通信号。因此，从图 3 可以看出，对于共用同一滤波电容器的存储体的刷新绝不会在相继的时钟周期中被起

动。这个改进了的刷新顺序的好处示于图 4C 中。如图 4C 所示，电压降被足够的宽度所分隔开，从而，在电容器 140 上观察到下一个电压降 30 之前，电容器 140 有足够的时间恢复到原先的 5 伏的电平。通过这种方式，在 DRAM 体 120、130 的电源输入处只发生较低的电压降。在 DRAM 体 150、160 处也能观察到相同的效果。因此，本发明的改进的

刷新顺序方法可保证在任何一个 DRAM 体 120、130、150 和 160 上都不会发生明显的电压降。

5 虽然本发明的优选实施例已在上面作了详细的说明，但熟悉本技术的人们应理解，在不偏离本发明精神实质或中心特点的情况下，可对本发明作某些明显的改进。例如，本发明可以用于这样的系统，在该系统中，执行仅有 RAS 的刷新来代替 RAS 刷新之前的 CAS。因此，上面的说明应该看作是说明性的而非限制性的。所以，本发明的范围应该根据下面所附的权利要求来解释。

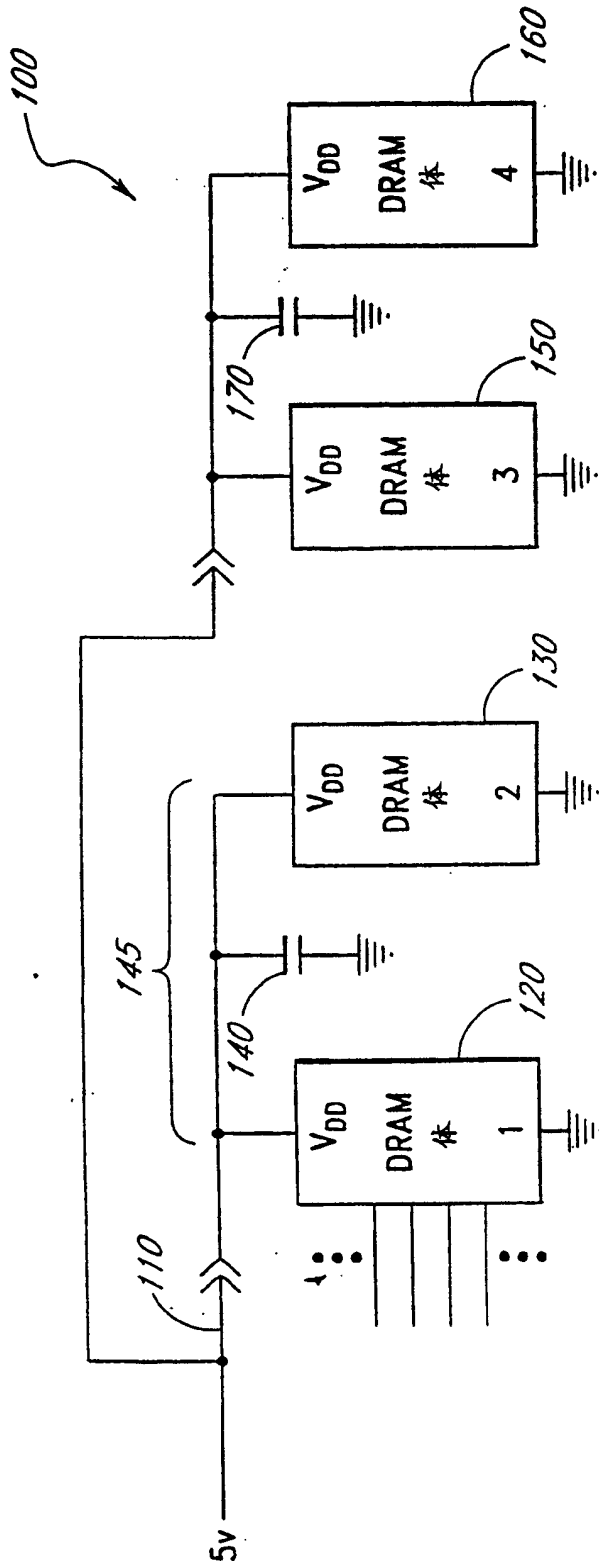


图1

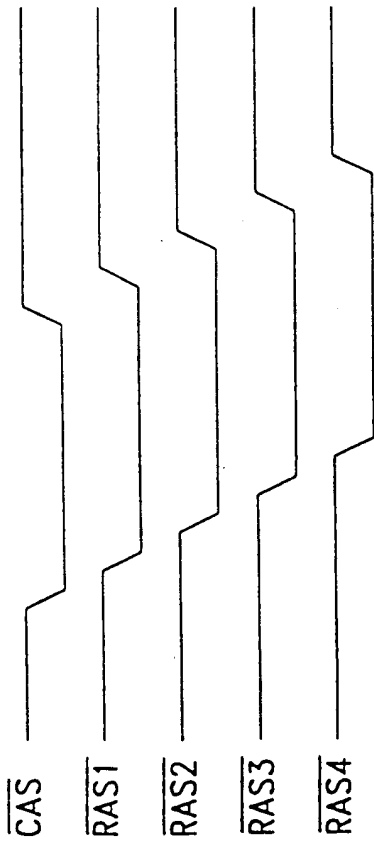


图 2
(已有技术)

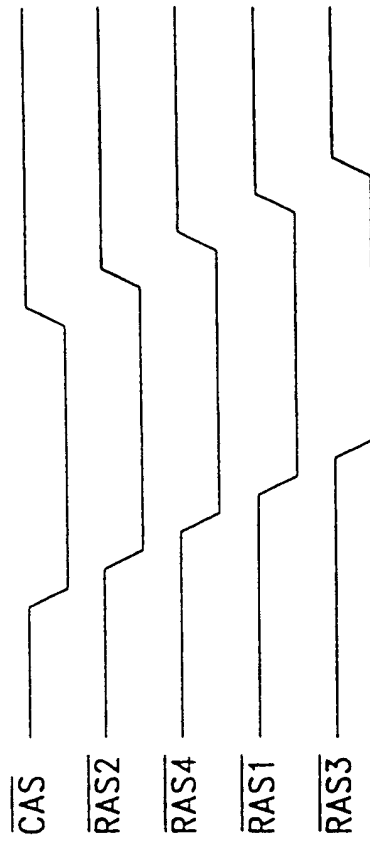


图 3

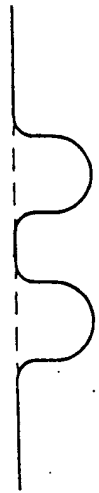


图 4 a



图 4 b



图 4 c