



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0005146
(43) 공개일자 2022년01월13일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/28 (2006.01)
H01L 27/11585 (2017.01) H01L 29/423 (2006.01)
H01L 29/51 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78391 (2015.01)
H01L 27/11585 (2013.01)
(21) 출원번호 10-2020-0082601
(22) 출원일자 2020년07월06일
심사청구일자 2020년07월06일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
권대웅
서울특별시 서초구 주홍13길 38, 102동 103호
최리노
서울특별시 마포구 월드컵북로 502-37, 1102동 305호
(74) 대리인
김남식, 이인행

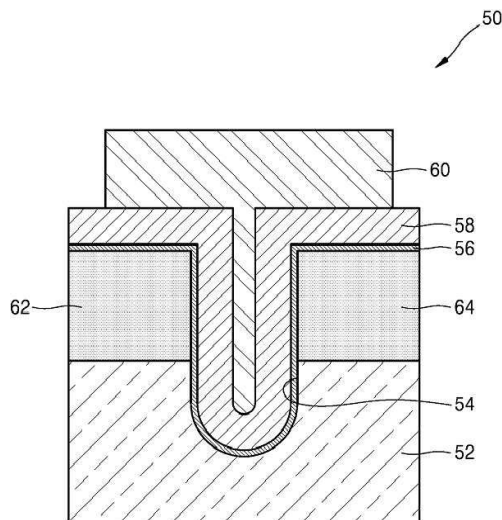
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 강유전체 메모리 소자 및 그 제조 방법

(57) 요약

본 발명의 일 관점에 의한 강유전체 메모리 소자는, 기판과, 상기 기판 상에 복수의 층간 절연층들을 개재하여 수직으로 적층된 복수의 게이트 전극층들 및 상기 복수의 게이트 전극층들을 관통하는 적어도 하나의 수직 홀을 포함하고, 상기 적어도 하나의 수직 홀 내의 상기 복수의 게이트 전극층들의 측벽들은 둥근 형상을 갖는, 수직 게이트 구조체와, 상기 적어도 하나의 수직 홀의 내벽 상에 수직으로 형성되고, 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된 강유전체층과, 상기 적어도 하나의 수직 홀의 내벽 상의 상기 강유전체층 상에 형성되는 반도체 채널층을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/40111 (2021.08)

H01L 29/4236 (2013.01)

H01L 29/516 (2013.01)

H01L 29/6684 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711132158
과제번호	2020M3F3A2A01081670
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발
연구과제명	음의 정전용량 전계효과 트랜지스터로 구성된 저전력 정적 램 개발
기 여 율	1/2
과제수행기관명	인하대학교
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1415173229
과제번호	20010847
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자부품산업기술개발
연구과제명	3나노 공정 노드 적용을 위한 1나노 유효 산화막 두께를 가지는 저전력 음의 정전용량 전계효과 트랜지스터 개발
기 여 율	1/2
과제수행기관명	인하대학교산학협력단
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

기관;

상기 기관 상에 복수의 층간 절연층들을 개재하여 수직으로 적층된 복수의 게이트 전극층들 및 상기 복수의 게이트 전극층들을 관통하는 적어도 하나의 수직 홀을 포함하고, 상기 적어도 하나의 수직 홀 내의 상기 복수의 게이트 전극층들의 측벽들은 둥근 형상을 갖는, 수직 게이트 구조체;

상기 적어도 하나의 수직 홀의 내벽 상에 수직으로 형성되고, 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된 강유전체층; 및

상기 적어도 하나의 수직 홀의 내벽 상의 상기 강유전체층 상에 형성되는 반도체 채널층을 포함하는, 강유전체 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 수직 게이트 구조체에서, 상기 적어도 하나의 수직 홀 내 상기 복수의 게이트 전극층들의 측벽들은 상기 복수의 층간 절연층들보다 상기 적어도 하나의 수직 홀 내로 돌출되게 형성된,

강유전체 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 반도체 채널층은 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된,

강유전체 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 강유전체층 및 상기 반도체 채널층 사이에 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된 게이트 절연층을 더 포함하는,

강유전체 메모리 소자.

청구항 5

제 4 항에 있어서,

상기 복수의 게이트 전극층들의 측벽들의 둥근 형상 상에서, 상기 강유전체층의 곡률 반경은 상기 게이트 절연층의 곡률 반경보다 작은,

강유전체 메모리 소자.

청구항 6

제 5 항에 있어서,

상기 강유전체층의 두께는 상기 게이트 절연층의 두께보다 큰,

강유전체 메모리 소자.

청구항 7

기관 상에, 복수의 층간 절연층들 및 복수의 회생층들을 교대로 형성하는 단계;

상기 복수의 층간 절연층들 및 복수의 회생층들을 관통하는 적어도 하나의 수직 홀을 형성하는 단계;

상기 적어도 하나의 수직 홀에 의해서 노출된 상기 복수의 회생층들의 측벽들을 둥근 형상으로 라운딩 처리하는 단계;

상기 적어도 하나의 수직 홀의 내벽 상에, 상기 복수의 회생층들의 측벽들의 둥근 형상을 따라서 수직으로 강유전체층을 형성하는 단계;

상기 적어도 하나의 수직 홀의 내벽 상의 상기 강유전체층 상에 반도체 채널층을 형성하는 단계;

상기 복수의 회생층들을 제거하여, 복수의 수평 홀들을 형성하는 단계; 및

상기 복수의 층간 절연층들을 개재하여 수직으로 적층되고, 상기 적어도 하나의 수직 홀 내에서 둥근 형상의 측벽들을 갖도록, 상기 복수의 수평 홀들을 채우는 복수의 게이트 전극층들을 형성하는 단계를 포함하는,

강유전체 메모리 소자의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 라운딩 처리하는 단계에서, 상기 적어도 하나의 수직 홀에서 노출된 상기 복수의 층간 절연층들을 일부 식각하여 상기 복수의 회생층들이 상기 복수의 층간 절연층들보다 상기 적어도 하나의 수직 홀 내로 돌출되게 하는,

강유전체 메모리 소자의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 강유전체층을 형성하는 단계 후, 상기 적어도 하나의 수직 홀 내 상기 강유전체층 상에 상기 복수의 회생층들의 측벽들의 둥근 형상을 따라서 수직으로 게이트 절연층을 형성하는 단계를 더 포함하는,

강유전체 메모리 소자의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 복수의 층간 절연층들은 실리콘 산화막을 포함하고,

상기 복수의 회생층들은 실리콘 질화막을 포함하는,

강유전체 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더 상세하게는 강유전체 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고속도의 데이터 처리와 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 메모리 칩의 부피를 줄이면서 그 성능과 집적도를 높일 필요가 있다.

[0003] 이에 따라, 종래 메모리 소자의 한계를 극복하기 위한 차세대 메모리 소자가 연구되고 있다. 예를 들어, 강유전체 전계효과 트랜지스터(Ferroelectric field effect transistor, FeFET) 또는 강유전체 메모리 소자

(Ferroelectric memory device)는 단일 트랜지스터 동작 및 빠른 동작 속도 등의 이유로 이러한 차세대 메모리 소자의 하나로 주목을 받고 있다.

[0004] 하지만, 강유전체 메모리 소자는 충분한 내구성(endurance) 특성을 확보하지 못하여, 상업화에 제약을 받고 있다. 강유전체 메모리 소자의 성능 개선을 위해서는 탈분극(depolarization)을 억제하고 강유전체층의 전계를 높일 필요가 있다. 하지만, 성능 개선을 위해서 게이트 절연층의 두께가 얇아지면서 절연 파괴 가능성이 높아지면서 그 신뢰성이 나빠지고 있다.

[0005] 아울러, 메모리 칩의 집적도를 높이기 위하여, 종래의 평면형 구조 대신에 기판 상에 메모리셀들을 수직으로 적층하는 3차원 구조가 연구되고 있다. 이러한 3차원 구조에서는 메모리셀들의 적층 수를 늘림으로써 동일한 평면 상에서 그 용량을 크게 늘릴 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 동작 신뢰성 및 메모리 용량을 늘릴 수 있는 강유전체 메모리 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 관점에 의한 강유전체 메모리 소자는, 기판과, 상기 기판 상에 복수의 층간 절연층들을 개재하여 수직으로 적층된 복수의 게이트 전극층들 및 상기 복수의 게이트 전극층들을 관통하는 적어도 하나의 수직 홀을 포함하고, 상기 적어도 하나의 수직 홀 내의 상기 복수의 게이트 전극층들의 측벽들은 둥근 형상을 갖는, 수직 게이트 구조체와, 상기 적어도 하나의 수직 홀의 내벽 상에 수직으로 형성되고, 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된 강유전체층과, 상기 적어도 하나의 수직 홀의 내벽 상의 상기 강유전체층 상에 형성되는 반도체 채널층을 포함한다.

[0008] 상기 강유전체 메모리 소자에 따르면, 상기 수직 게이트 구조체에서, 상기 적어도 하나의 수직 홀 내 상기 복수의 게이트 전극층들의 측벽들은 상기 복수의 층간 절연층들보다 상기 적어도 하나의 수직 홀 내로 돌출되게 형성될 수 있다.

[0009] 상기 강유전체 메모리 소자에 따르면, 상기 반도체 채널층은 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성될 수 있다.

[0010] 상기 강유전체 메모리 소자에 따르면, 상기 강유전체층 및 상기 반도체 채널층 사이에 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상을 따라서 형성된 게이트 절연층을 더 포함할 수 있다.

[0011] 상기 강유전체 메모리 소자에 따르면, 상기 복수의 게이트 전극층들의 측벽들의 둥근 형상 상에서, 상기 강유전체층의 곡률 반경은 상기 게이트 절연층의 곡률 반경보다 작을 수 있다.

[0012] 상기 강유전체 메모리 소자에 따르면, 상기 강유전체층의 두께는 상기 게이트 절연층의 두께보다 클 수 있다.

[0013] 상기 과제를 해결하기 위한 본 발명의 다른 관점에 의한 강유전체 메모리 소자의 제조 방법은, 기판 상에, 복수의 층간 절연층들 및 복수의 희생층들을 교대로 형성하는 단계와, 상기 복수의 층간 절연층들 및 복수의 희생층들을 관통하는 적어도 하나의 수직 홀을 형성하는 단계와, 상기 적어도 하나의 수직 홀에 의해서 노출된 상기 복수의 희생층들의 측벽들을 둥근 형상으로 라운딩 처리하는 단계와, 상기 적어도 하나의 수직 홀의 내벽 상에, 상기 복수의 희생층들의 측벽들의 둥근 형상을 따라서 수직으로 강유전체층을 형성하는 단계와, 상기 적어도 하나의 수직 홀의 내벽 상의 상기 강유전체층 상에 반도체 채널층을 형성하는 단계와, 상기 복수의 희생층들을 제거하여, 복수의 수평 홀들을 형성하는 단계와, 상기 복수의 층간 절연층들을 개재하여 수직으로 적층되고, 상기 적어도 하나의 수직 홀 내에서 둥근 형상의 측벽들을 갖도록, 상기 복수의 수평 홀들을 채우는 복수의 게이트 전극층들을 형성하는 단계를 포함할 수 있다.

[0014] 상기 강유전체 메모리 소자의 제조 방법에 따르면, 상기 라운딩 처리하는 단계에서, 상기 적어도 하나의 수직 홀에서 노출된 상기 복수의 층간 절연층들을 일부 식각하여 상기 복수의 희생층들이 상기 복수의 층간 절연층들보다 상기 적어도 하나의 수직 홀 내로 돌출되게 할 수 있다.

[0015] 상기 강유전체 메모리 소자의 제조 방법에 따르면, 상기 강유전체층을 형성하는 단계 후, 상기 적어도 하나의 수직 홀 내 상기 강유전체층 상에 상기 복수의 희생층들의 측벽들의 둥근 형상을 따라서 수직으로 게이트 절연층을 형성하는 단계를 더 포함할 수 있다.

[0016] 상기 강유전체 메모리 소자의 제조 방법에 따르면, 상기 복수의 층간 절연층들은 실리콘 산화막을 포함하고, 상기 복수의 희생층들은 실리콘 질화막을 포함할 수 있다.

발명의 효과

[0017] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 강유전체 메모리 소자 및 그 제조 방법에 의하면, 동작 신뢰성을 향상시키고 메모리 용량을 늘릴 수 있다.

[0018] 물론 이러한 효과는 예시적인 것이고, 이러한 효과에 의해서 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 강유전체 메모리 소자를 보여주는 단면도이다.

도 2는 도 1의 강유전체 메모리 소자의 동작 특성을 보여주는 그래프이다.

도 3은 본 발명의 다른 실시예에 따른 강유전체 메모리 소자를 보여주는 단면도이다.

도 4 내지 도 9는 도 3의 강유전체 메모리 소자의 제조 방법을 보여주는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 적어도 일부의 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 도면에서 동일한 부호는 동일한 요소를 지칭한다.

[0021] 다르게 정의되지 않는 한, 여기에 사용된 모든 용어들은 해당기술 분야에서 통상의 지식을 가진 자에 의해서 통상적으로 이해되는 것과 같은 의미로 사용된다. 도면에서, 층 및 영역의 크기는 설명을 위해 과장되었고, 따라서 본 발명의 일반적인 구조들을 설명하기 위해 제공된다.

[0022] 동일한 참조 부호들은 동일한 구성 요소를 나타낸다. 층, 영역, 또는 기판과 같은 한 구성이 다른 구성 상(on)에 있다고 지칭할 때, 그것은 다른 구성의 바로 상부에 있거나 또는 그 사이에 다른 개재된 구성이 또한 존재할 수 있는 것으로 이해될 것이다. 반면에, 한 구성이 다른 구성의 “바로 위에(directly on)” 있다고 지칭할 때는 중간 개재 구성들이 존재하지 않는다고 이해된다.

[0023] 도 1은 본 발명의 일 실시예에 따른 강유전체 메모리 소자(50)를 보여주는 단면도이다.

[0024] 도 1을 참조하면, 강유전체 메모리 소자(50)는 평면형 게이트 구조와 대비되는 리세스 게이트 구조를 가질 수 있다. 이러한 리세스 게이트 구조에서 게이트 전극층(60)은 기판(52) 내에 소정 깊이만큼 리세스 되게 형성될 수 있다. 강유전체 메모리 소자(50)는 강유전체 랜덤 액세스 메모리(Ferroelectric random access memory, ReRAM)로 불리거나 또는 전계효과 트랜지스터(field effect transistor, FET)의 구조를 갖는다는 점에서 강유전체 전계효과 트랜지스터(ferroelectric FET, FeFET)로 불릴 수도 있다.

[0025] 보다 구체적으로 보면, 기판(52)은 반도체 물질, 예컨대 실리콘, 게르마늄, 또는 실리콘-게르마늄 등을 포함할 수 있다. 예를 들어, 기판(52)은 반도체 웨이퍼 형태로 제공될 수 있다.

[0026] 기판(52) 내에는 소정 깊이로 홈(54)이 형성될 수 있다. 홈(54)의 바닥면은 둥근 형상을 갖도록 라운딩 처리될 수 있다. 이러한 둥근 형상은 뾰족한 모서리를 제거하여 모서리에서 전계가 집중되는 것을 완화시킬 수 있다.

[0027] 홈(54) 내 기판(52)의 표면 상에는 게이트 절연층(56)이 형성되고, 게이트 절연층(56) 상에는 강유전체층(56)이 형성되고, 강유전체층(56) 상에는 게이트 전극층(60)이 형성될 수 있다. 예를 들어, 게이트 전극층(60)은 홈(54)을 채우도록 형성될 수 있다.

[0028] 예를 들어, 게이트 절연층(56)은 실리콘 산화막을 포함할 수 있고, 강유전체층(58)은 분극(polarization) 현상을 이용하여 데이터를 저장할 수 있는 층으로, 고유전율 물질을 포함할 수 있다. 게이트 절연층(56)은 버퍼 절

연층의 기능을 한다는 점에서 상대적으로 얇게 형성할 수 있고, 강유전체층(58)은 데이터 저장을 위해서 필요한 두께로 형성될 수 있다. 따라서, 강유전체층(58)이 두께는 게이트 절연층(56)의 두께보다 클 수 있고, 예컨대 5 배 이상일 수 있다.

[0029] 예를 들어, 강유전체층(58)은 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2) 또는 하프늄-지르코늄 산화물($\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$)을 포함하거나 또는 이들의 적층 구조를 포함할 수 있다. 선택적으로, 강유전체층(56)은 불순물로 도핑될 수도 있다.

[0030] 홈(54) 양측의 기판(52) 내에는 소정 깊이로 소오스 영역(62) 및 드레인 영역(64)이 각각 형성될 수 있다. 소오스 영역(62) 및 드레인 영역(64)은 기판(52) 내에 불순물을 고농도로 도핑하여 형성할 수 있다.

[0031] 예를 들어, 홈(54) 주변의 기판(52)은 제 1 도전형의 불순물로 도핑될 수 있고, 소오스 영역(62) 및 드레인 영역(64)은 제 2 도전형의 불순물로 도핑될 수 있다. 홈(54) 주변의 제 1 도전형의 불순물로 도핑된 영역은 웰 영역으로 불릴 수도 있다.

[0032] 전술한 강유전체 메모리 소자(50)에 있어서, 제 1 도전형 및 제 2 도전형은 서로 반대의 도전형을 가지되 n형 및 p형 중 각각 어느 하나일 수 있다. 예를 들어, 제 1 도전형은 n형이면 제 2 도전형이 p형이고, 그 반대일 수도 있다.

[0033] 전술한 강유전체 메모리 소자(50)는 리세스 게이트 구조를 가짐으로써, 소오스 영역(62) 및 드레인 영역(64) 사이에서 홈(54) 내 게이트 전극층(60)의 하부의 기판(52) 표면을 따라서 형성되는 채널이 길어지는 효과를 가질 수 있다.

[0034] 나아가, 홈(54)의 바닥면의 둥근 형상을 따라서, 게이트 절연층(56), 강유전체층(58)이 둥근 형태로 형성됨에 따라서, 게이트 절연층(56)보다 강유전체층(58)에 상대적으로 전계가 높게 걸리는 효과를 얻을 수 있다. 이러한 효과는 일반적인 전계효과 트랜지스터(FET) 또는 다른 메모리 소자에서는 필요하지 않지만, 강유전체 메모리 소자(50)에서는 중요한 역할을 할 수 있다.

[0035] 보다 구체적으로 보면, 홈(54)의 바닥면 부근에서, 강유전체층(58)의 곡률 반경보다 게이트 절연층(56)의 곡률 반경이 더 크게 형성됨에 따라서, 같은 두께를 평면 상에 형성할 때에 비해서 강유전체 메모리 소자(50)의 동작 시 강유전체층(58)에는 전계가 상대적으로 크게 걸리고 게이트 절연층(56)에는 상대적으로 전계가 약하게 걸릴 수 있다.

[0036] 평면형 게이트 구조에서는 게이트 절연층(56)과 강유전체층(58)의 두께나 유전 상수를 변화시켜야 전계 배분을 변화시킬 수 있지만, 이 실시예에 따른 리세스 게이트 구조에서는 곡률 반경 차이를 이용하여, 동일한 두께와 동일한 물질 조건에서도 게이트 절연층(56)에는 상대적으로 전계가 약하게 걸리고, 강유전체층(58)에는 상대적으로 전계가 높게 걸리게 할 수 있다.

[0037] 이에 따르면, 강유전체층(58)에 걸리는 전계를 높게 함에 따라서, 프로그램 또는 소거 속도를 향상시키고, 메모리 윈도우를 크게 할 수 있다. 나아가, 게이트 절연층(56)에 걸리는 전계를 줄임으로써, 스트레스에 의한 신뢰성 저하를 완화시킬 수 있다.

[0038] 도 2는 도 1의 강유전체 메모리 소자(50)의 동작 특성을 보여주는 그래프이다.

[0039] 도 2를 참조하면, 본 발명에 따른 리세스 게이트 구조의 강유전체 메모리 소자(50)에 대한 시뮬레이션에 의한 IV 그래프(R-FEFET)로부터 얻어지는 메모리 윈도우(MW)가 비교예에 따른 평면형 게이트 구조의 강유전체 메모리 소자의 실험 또는 시뮬레이션에 의한 IV 그래프(C-FEFET)로부터 얻어지는 메모리 윈도우보다 크다는 것을 알 수 있다.

[0040] 도 3은 본 발명의 다른 실시예에 따른 강유전체 메모리 소자(100)를 보여주는 단면도이다. 강유전체 메모리 소자(100)는 도 1의 강유전체 메모리 소자(50)를 수평 구조로 변형하여 3차원 적층 구조로 구현한 것으로서, 두 실시예들은 서로 참조할 수 있고 중복된 설명은 생략된다.

[0041] 도 3을 참조하면, 강유전체 메모리 소자(100)는 기판(102)과 기판(102) 상의 수직 게이트 구조체(135)를 포함할 수 있다. 기판(102)은 베이스 구조체로서 다양한 물질로 형성될 수 있다. 예를 들어, 기판(102)은 반도체 물질, 예컨대 실리콘, 게르마늄, 또는 실리콘-게르마늄 등을 포함할 수 있다. 예를 들어, 기판(102)은 반도체 웨이퍼 형태로 제공될 수 있다.

- [0042] 수직 게이트 구조체(135)는 기판(102) 상에 복수의 층간 절연층들(104)을 개재하여 수직으로 적층된 복수의 게이트 전극층들(130) 및 복수의 게이트 전극층들(130)을 관통하는 적어도 하나의 수직 홀(110)을 포함할 수 있다. 예를 들어, 복수의 층간 절연층들(104) 및 복수의 게이트 전극층들(130)은 교대로 적층될 수 있다.
- [0043] 예를 들어, 수직 홀(110)은 게이트 전극층들(130)을 수직으로 관통하고, 층간 절연층들(104)을 전체적으로 수직으로 관통하거나 또는 제일 하부의 층간 절연층(104)의 일부 또는 전부를 남기는 구조로 형성될 수 있다. 수직 홀(110)의 개수는 메모리의 용량에 하나 또는 복수로 형성될 수 있다.
- [0044] 일부 실시예에서, 수직 게이트 구조체(135)에서 게이트 전극층들(130) 및 층간 절연층들(104)은 복수의 라인들로 패터닝될 수 있다. 이 경우, 적어도 하나의 수직 홀(110)이 각 라인의 게이트 전극층들(130) 및 층간 절연층들(104)에 각각 형성될 수 있다. 강유전체 메모리 소자(100)에서 각 층의 게이트 전극층들(130)은 각 층의 워드 라인(미도시)에 연결될 수 있다.
- [0045] 수직 홀(110) 내의 게이트 전극층들(130)의 측벽들(130a)은 둥근 형상을 가질 수 있다. 이러한 게이트 전극층들(130)의 구조는 도 1의 게이트 전극층(60)이 수평으로 누워있는 구조에 대응될 수 있다.
- [0046] 예를 들어, 수직 게이트 구조체(135)에서, 수직 홀(110) 내 게이트 전극층들(130)의 측벽들(130a)은 층간 절연층들(104)보다 수직 홀(110) 내로 돌출되게 형성될 수 있다. 이에 따라, 게이트 전극층들(130)의 측벽들(130a)은 수직 홀(110)의 측벽 내부로 돌출된 형상을 가질 수 있다. 이러한 게이트 전극층들(130)의 돌출 구조는 수평 상에서 리세스 게이트 구조를 구현할 수 있다.
- [0047] 강유전체층(112)은 수직 홀(110)의 내벽 상에 형성될 수 있다. 예를 들어, 강유전체층(112)은 게이트 전극층들(130)의 측벽들(130a)의 둥근 형상을 따라서 적어도 일 부분이 둥근 형상을 갖도록 형성될 수 있다. 강유전체층(112)은 수직 홀(110)의 내벽을 따라서 실질적으로 수직 방향으로 신장되도록 형성될 수 있다.
- [0048] 강유전체층(112)은 분극(polarization) 현상을 이용하여 데이터를 저장할 수 있는 층으로, 고유전율 물질을 포함할 수 있다. 강유전체층(112)은 데이터 저장을 위해서 필요한 두께로 형성될 수 있다. 예를 들어, 강유전체층(112)은 하프늄 산화물(HfO_2), 지르코늄 산화물(ZrO_2) 또는 하프늄-지르코늄 산화물($\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$)을 포함하거나 또는 이들의 적층 구조를 포함할 수 있다. 선택적으로, 강유전체층(112)은 불순물로 도핑될 수도 있다.
- [0049] 반도체 채널층(120)은 수직 홀(110)의 내벽 상의 강유전체층(112) 상에 형성될 수 있다. 예를 들어, 반도체 채널층(120)은 게이트 전극층들(130)의 측벽들(130a)의 둥근 형상을 따라서 적어도 일 부분이 둥근 형상을 갖도록 형성될 수 있다. 반도체 채널층(120)은 수직 홀(110)의 내벽을 따라서 실질적으로 수직 방향으로 신장되도록 형성될 수 있다.
- [0050] 반도체 채널층(120)은 반도체 물질, 예컨대 실리콘, 게르마늄, 또는 실리콘-게르마늄 등을 포함할 수 있다. 반도체 채널층(120)은 단결정 또는 다결정 구조를 가질 수 있다. 예를 들어, 반도체 채널층(120)은 수직 홀(110) 내에 다결정 실리콘층으로 형성할 수 있다. 다른 예로, 수직 홀(110)이 기판(102)을 노출하도록 형성되고, 반도체 채널층(120)은 단결정 구조의 기판(102) 상에 단결정 구조로 형성되거나 또는 다결정 구조로 형성된 후 열처리 등을 통하여 단결정 구조로 변경될 수도 있다.
- [0051] 강유전체 메모리 소자(100)에서 반도체 채널층(120)은 비트 라인(미도시)에 연결될 수 있다.
- [0052] 선택적으로, 게이트 절연층(112)은 강유전체층(112) 및 반도체 채널층(120) 사이에 형성될 수 있다. 예를 들어, 게이트 절연층(112)은 수직 홀(11) 내의 강유전체층(112) 상에 게이트 전극층들(130)의 측벽들(130a)을 따라서 적어도 일부분이 둥근 형상을 가지면서 실질적으로 수직 방향으로 신장되도록 형성될 수 있다. 예를 들어, 게이트 절연층(112)은 적절한 절연물, 예컨대 실리콘 산화막을 포함할 수 있다.
- [0053] 게이트 절연층(114)은 버퍼 절연층의 기능을 한다는 점에서 상대적으로 얇게 형성할 수 있고, 강유전체층(112)은 데이터 저장을 위해서 필요한 두께로 형성될 수 있다. 따라서, 강유전체층(112)이 두께는 게이트 절연층(114)의 두께보다 클 수 있고, 예컨대 5배 이상일 수 있다.
- [0054] 게이트 전극층들(130)의 측벽들(130a) 상에서 강유전체층(112)의 게이트 절연층(114)의 곡률 반경보다 작을 수 있다. 게이트 전극층들(130)의 측벽들(130a)로부터 강유전체층(112)이 더 가깝고, 게이트 절연층(114)이 더 멀기 때문에, 게이트 절연층(114)의 곡률 반경이 강유전체층(112)의 곡률 반경보다 더 크게 될 수 있다.
- [0055] 이에 따라, 강유전체층(112)의 곡률 반경보다 게이트 절연층(114)의 곡률 반경이 더 크게 형성됨에 따라서, 같은 두께를 평면 상에 형성할 때에 비해서 강유전체 메모리 소자(100)의 동작 시 강유전체층(112)에는 전계가 상

대적으로 크게 걸리고 게이트 절연층(114)에는 상대적으로 전계가 약하게 걸릴 수 있다.

- [0056] 평면형 게이트 구조에서는 게이트 절연층(114)과 강유전체층(112)의 두께나 유전 상수를 변화시켜야 전계 배분을 변화시킬 수 있지만, 이 실시예에 따른 리세스 게이트 구조에서는 곡률 반경 차이를 이용하여, 동일한 두께와 동일한 물질 조건에서도 게이트 절연층(114)에는 상대적으로 전계가 약하게 걸리고, 강유전체층(112)에는 상대적으로 전계가 높게 걸리게 할 수 있다.
- [0057] 이에 따르면, 강유전체층(112)에 걸리는 전계를 높게 함에 따라서, 강유전체 메모리 소자(110)의 프로그램 또는 소거 속도를 향상시키고, 메모리 윈도우를 크게 할 수 있다. 나아가, 게이트 절연층(114)에 걸리는 전계를 줄임으로써, 스트레스에 의한 신뢰성 저하를 완화시킬 수 있다. 이러한 강유전체 메모리 소자(100)의 동작 특성에도 2의 강유전체 메모리 소자(50)의 동작 특성을 더 참조할 수 있다.
- [0058] 도 4 내지 도 9는 도 3의 강유전체 메모리 소자(100)의 제조 방법을 보여주는 단면도들이다.
- [0059] 도 4를 참조하면, 기판(102) 상에, 복수의 층간 절연층들(104) 및 복수의 희생층들(106)을 교대로 형성할 수 있다. 층간 절연층들(104) 및 희생층들(106)은 상대적으로 식각 선택비를 갖는 물질로 선택될 수 있다. 예를 들어, 층간 절연층들(104)은 실리콘 산화막을 포함하고, 희생층들(106)은 실리콘 질화막을 포함할 수 있다.
- [0060] 도 5를 참조하면, 층간 절연층들(104) 및 희생층들(106)을 관통하는 적어도 하나의 수직 홀(110)을 형성할 수 있다.
- [0061] 예를 들어, 도 4의 구조 상에 수직 홀(110)이 형성될 부분을 노출하는 마스크 패턴을 형성하고, 이러한 마스크 패턴을 식각 보호막으로 하여 하부 구조물을 식각함으로써 수직 홀(110)을 형성할 수 있다.
- [0062] 도 6을 참조하면, 수직 홀(110)에 의해서 노출된 희생층들(106)의 측벽들(106a)을 둥근 형상으로 라운딩 처리할 수 있다. 예를 들어, 희생층들(106)의 측벽들(106a)을 등방성 식각함으로써 라운딩 처리를 수행할 수 있다. 예를 들어, 등방성 식각은 습식 식각(wet etch) 또는 화학적 건식 식각(chemical dry etch)를 포함할 수 있다.
- [0063] 선택적으로, 이러한 라운딩 처리 단계에서, 수직 홀(110)에서 노출된 층간 절연층들(104)을 일부 식각하여 희생층들(106)이 층간 절연층들(104)보다 수직 홀(110) 내로 돌출되게 할 수 있다. 예를 들어, 등방성 식각 조건으로 층간 절연층들(104)을 식각하여 수직 홀(110)을 확장하면서, 희생층들(106)의 측벽들(106a)을 라운딩 처리할 수 있다. 희생층들(106)은 층간 절연층들(104)의 식각 조건에서 매우 천천히 식각되기 때문에 모서리 부분만 식각되면서 라운딩 처리될 수 있다.
- [0064] 도 7을 참조하면, 수직 홀(110)의 내벽 상에, 희생층들(106)의 측벽들(106a)의 둥근 형상을 따라서 수직으로 강유전체층(112)을 형성할 수 있다. 예를 들어, 강유전체층(112)은 화학기상증착법(chemical vapor deposition, CVD)으로 수직 홀(110)의 내벽 상에 형성될 수 있다.
- [0065] 선택적으로, 강유전체층(112)을 형성하는 단계 후, 수직 홀(110) 내 강유전체층(112) 상에 희생층들(106)의 측벽들(106a)의 둥근 형상을 따라서 수직으로 게이트 절연층(114)을 형성할 수 있다. 예를 들어, 게이트 절연층(114)은 화학기상증착법(CVD)으로 수직 홀(110)의 강유전체층(112) 상에 형성될 수 있다.
- [0066] 이어서, 수직 홀(110)의 내벽 상의 강유전체층(112) 상에 반도체 채널층(120)을 형성할 수 있다. 예를 들어, 수직 홀(110) 내 강유전체층(112) 또는 게이트 절연층(114) 상에 화학기상증착법(CVD)으로 반도체 채널층(120)을 형성할 수 있다.
- [0067] 도 8을 참조하면, 희생층들(106)을 제거하여, 수평 홀들(125)을 형성할 수 있다. 예를 들어, 등방성 식각을 이용하여 희생층들(106)의 노출된 부분을 통해서 희생층들(106)을 선택적으로 제거할 수 있다. 이러한 등방성 식각은 습식 식각(wet etch) 또는 화학적 건식 식각(chemical dry etch)를 포함할 수 있다.
- [0068] 도 9를 참조하면, 희생층들(106)이 제거되고 남은 수평 홀들(125)을 채우도록 복수의 게이트 전극층들(130)을 형성할 수 있다. 예를 들어, 게이트 전극층들(130)은 화학기상증착법(CVD)을 이용하여 도전층으로 수평 홀들(125)을 채우도록 형성할 수 있다.
- [0069] 게이트 전극층들(130)은 층간 절연층들(104)을 개재하여 수직으로 적층되고, 수직 홀(110) 내에서 둥근 형상의 측벽들(130a)을 가질 수 있다.
- [0070] 이에 따라, 게이트 전극층들(130)과 수직 홀(110)을 갖는 수직 구조체(135)가 형성될 수 있다.
- [0071] 전술한 제조 방법에 따르면, 반도체 제조 공정을 이용하여 리세스 게이트 구조를 가지면서도 수직 적층 구조를

갖는 강유전체 메모리 소자(100)를 경제적으로 제조할 수 있다.

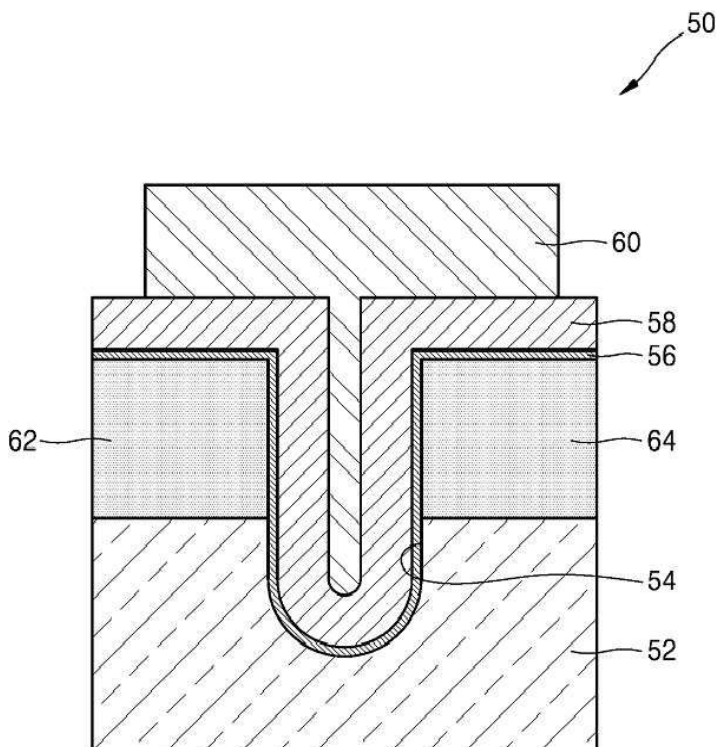
[0072] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

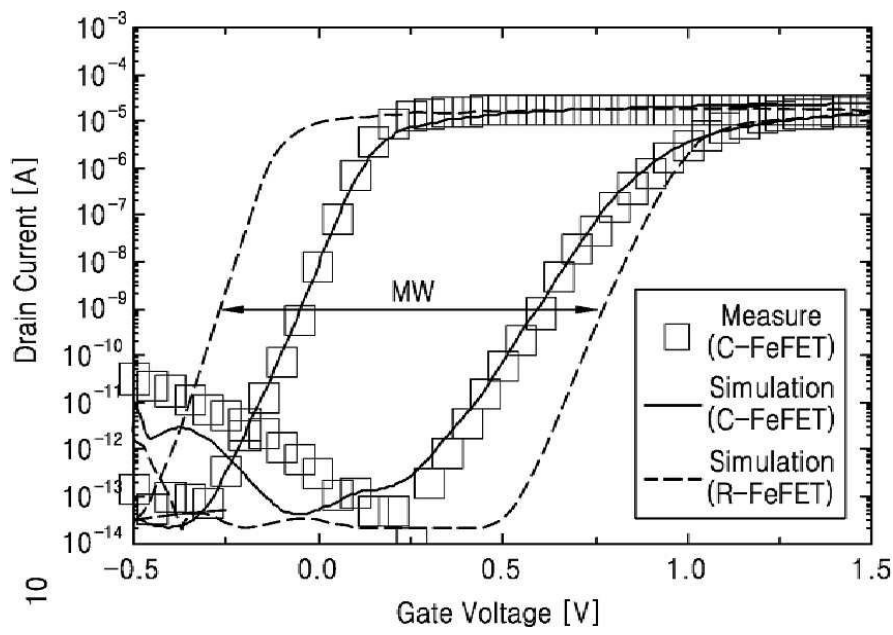
[0073] 50, 100: 강유전체 메모리 소자
52, 102: 기판
104: 층간 절연층
106: 희생층
56, 112: 강유전체층
58, 114: 게이트 절연층
120: 반도체 채널층
60, 130: 게이트 전극층
135: 수직 구조체

도면

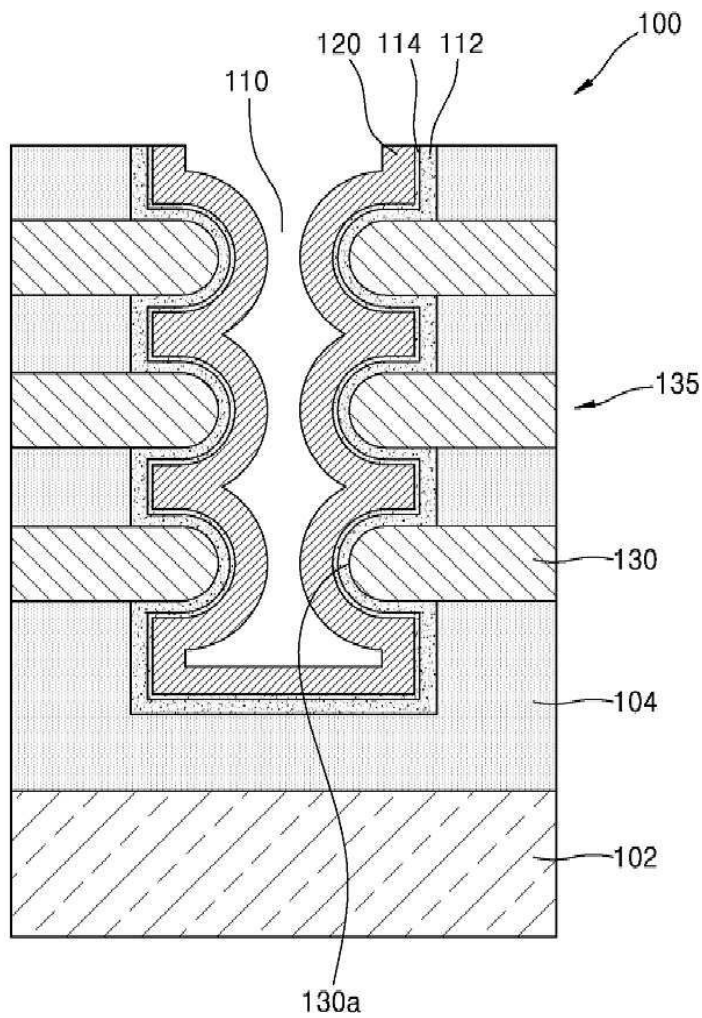
도면1



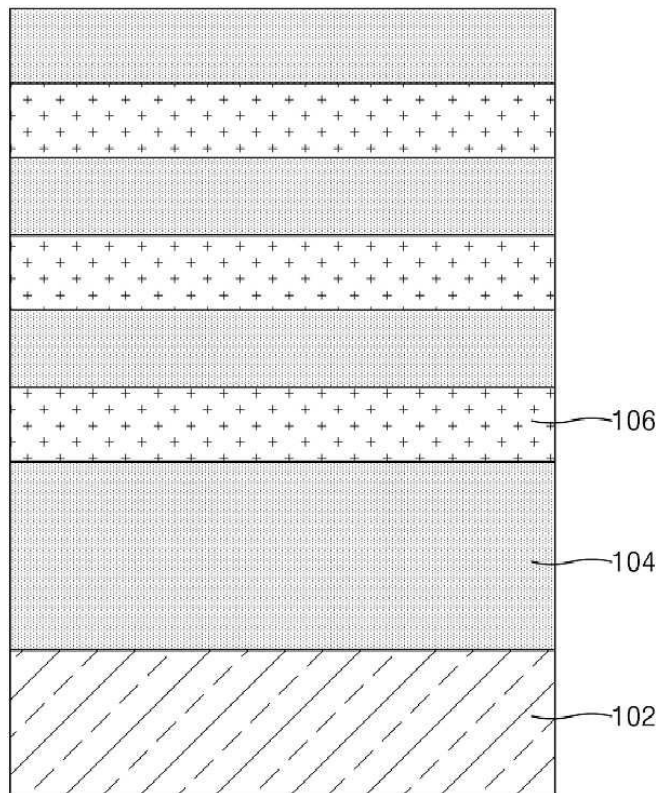
도면2



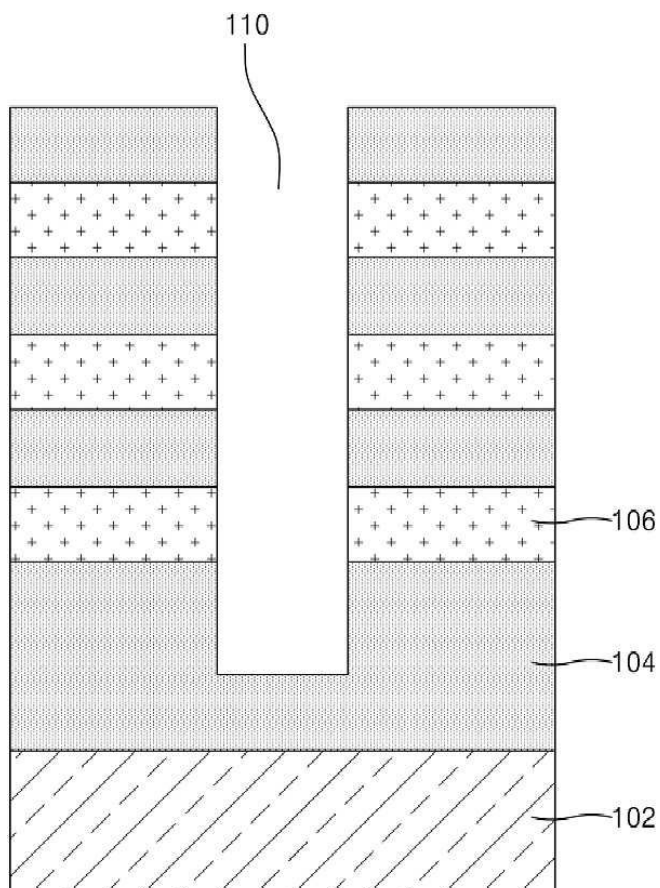
도면3



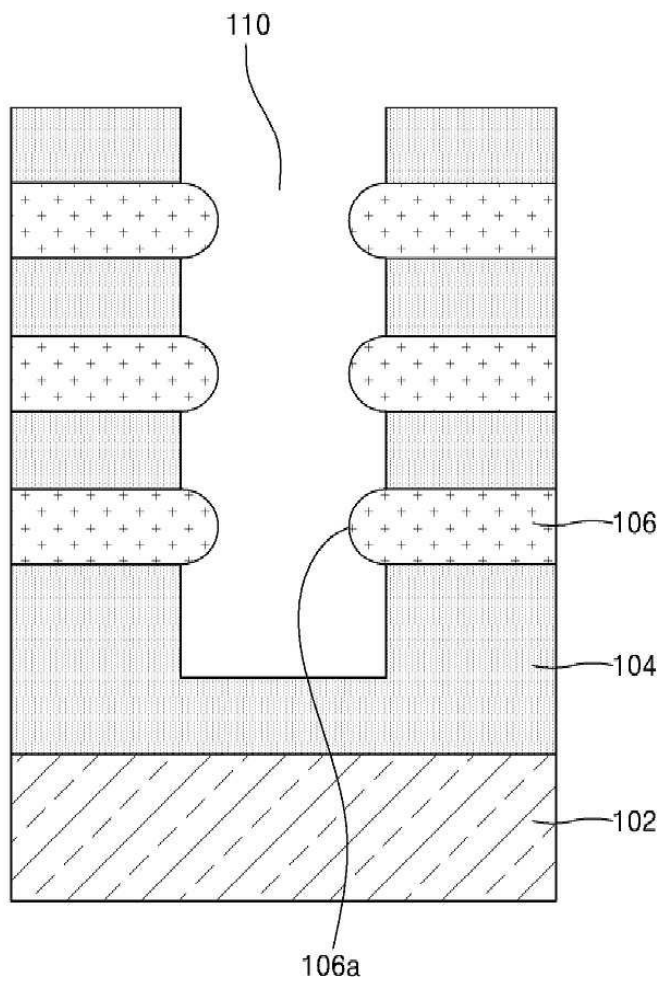
도면4



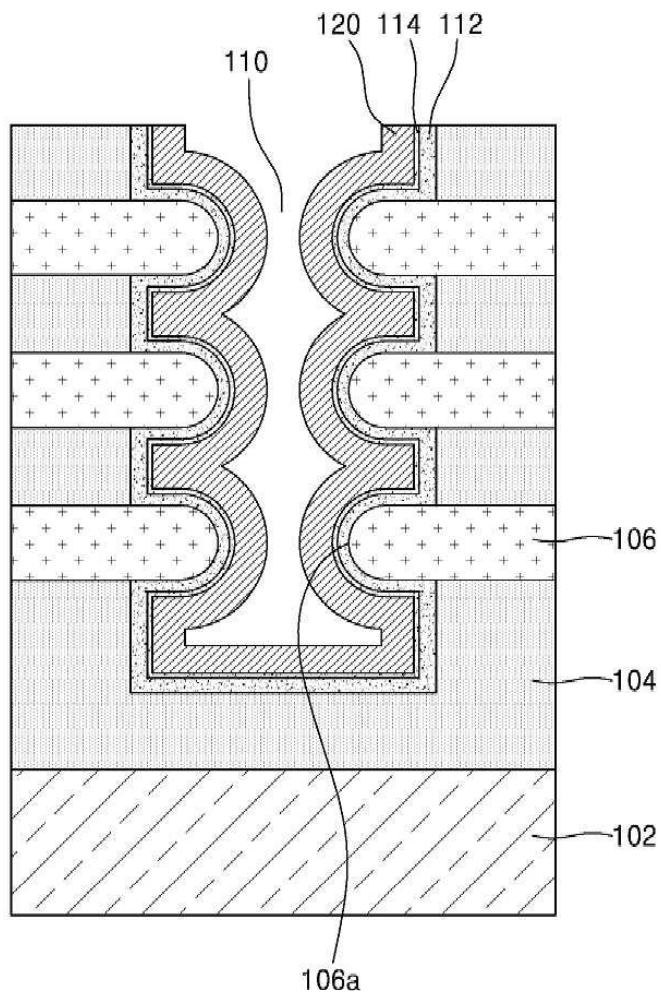
도면5



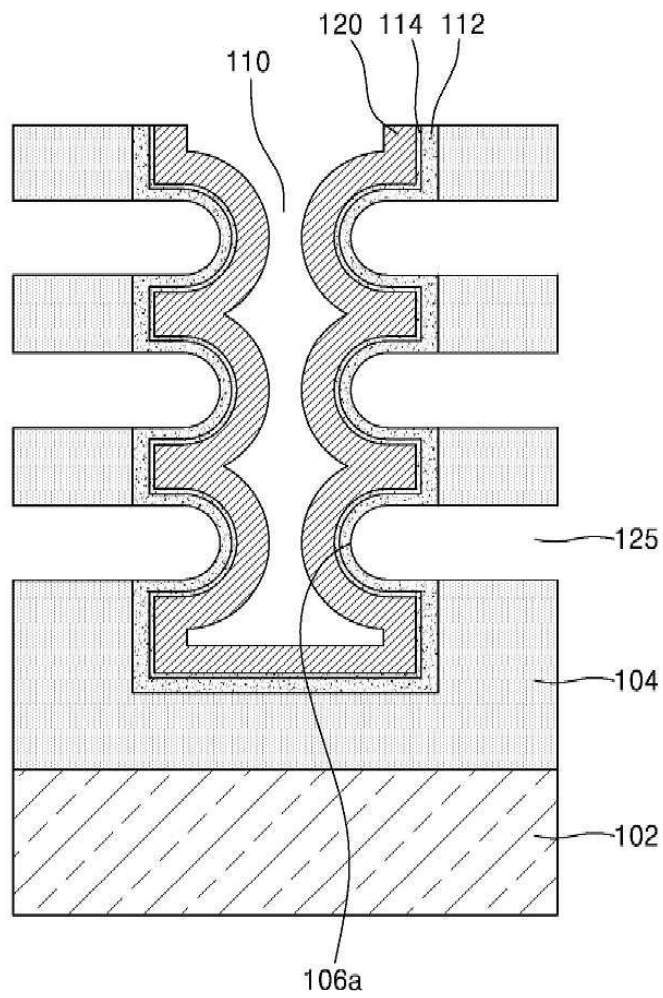
도면6



도면7



도면8



도면9

