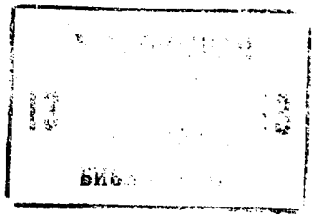
СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1075289 A

3(51) G 08 C 19/28

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3527858/18-24
(22) 27.12.82
(46) 23.02.84, Бюл. № 7
(72) А. Г. Мамедов, А.С. Лакерник и И. П. Кудерко
(71) Институт технической кибернетики АН Белорусской ССР
(53) 621.398(088.8)
(56) 1. Авторское свидетельство СССР № 523438, кл. G 08 C 19/28, 1975.
2. Авторское свидетельство СССР № 959129, кл. G 08 C 19/28, 1980 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ СОКРАЩЕНИЯ ИЗБЫТОЧНОСТИ ИНФОРМАЦИИ, содержащее блок синхронизации, элементы И, триггер, вычитатели, ключ, умножители, блок сравнения, элементы задержки, элементы ИЛИ, регистры, выход первого регистра подключен к первым входам второго регистра и первого вычитателя, выход второго регистра подключен к первым входам третьего регистра и второго вычитателя, выход третьего регистра подключен к первому входу ключа и вторым входам первого и второго вычитателей, первый выход первого вычитателя подключен к первому входу первого умножителя, выход которого подключен к первому входу блока сравнения, первый выход второго вычитателя подключен к первому входу второго умножителя, выход которого подключен к второму входу блока сравнения, первый выход которого подключен к первому входу первого элемента ИЛИ, второй вход которого является первым управляющим входом устройства, выход первого элемента ИЛИ подключен к второму входу ключа и первому входу второго элемента ИЛИ и через первый элемент задержки подключен к второму входу третьего регистра, второй выход блока сравнения подключен к второму входу второго элемента ИЛИ, выход которого через второй элемент задержки подключен к второму входу второго регистра, первый вход блока синхронизации объединен с первым входом триггера и является вторым управляющим входом устройства, второй вход блока синхронизации является третьим управляющим входом устройства, первый, второй и третий выходы блока синхронизации подключены соответственно к синхронизирующим входам первого и второго вычитателей, первого и второго умножителей и блока сравнения, о т л и ч а ю щ е е с я тем, что, с целью упрощения устройства, в него введен распределитель импульсов, первый и второй входы которого подключены соответственно к второму и третьему управляющим входам устройства, первый выход распределителя импульсов подключен к первому входу первого элемента И, выход которого подключен к третьему входу третьего регистра, второй выход распределителя импульсов подключен к первому входу второго элемента И, выход которого подключен к третьему входу второго регистра, третий выход распределителя импульсов подключен к второму входу триггера, выход которого подключен к первому входу третьего элемента И и третьему входу блока синхронизации, выход третьего элемента И подключен к первому входу первого регистра, вторые входы первого, второго и третьего элементов И объединены и являются информационным входом устройства, четвертый выход блока синхроинзации подключен к третьему входу третьего элемента И, второй выход второго вычитателя подключен к второму входу второго умножителя, второй выход первого вычитателя подключен к второму входу первого умножителя.

(19) SU (11) 1075289 A

Изобретение относится к области приема, передачи и обработки информации и может быть использовано в различных системах обработки больших информационных массивов.

Известно устройство для сокращения избыточности информации, содержащее регистр текущей выборки, выход которого соединен со входом регистра памяти выборки, первым входом блока вычитания и через второй арифметический блок с первым арифметическим блоком, выход регистра памяти соединен с вторым входом блока вычитания и первым входом электронного ключа, выход блока вычитания соединен через дешифратор и первый арифметический блок с вторым арифметическим блоком, выход которого подключен к второму входу электронного ключа, второму арифметическому блоку и к второму входу счетчика, первый вход которого соединен с входом устройства, а выход подключен ко второму входу дешифратора [1].

Недостатками такого устройства являются сложность его аппаратурной реализации, а также ограниченность его использования для сжатия информации процессов с повышенной динамикой, т.е. низкое быстродействие.

Наиболее близким по технической сущности к изобретению является устройство для сокращения избыточности информации, содержащее первый регистр, второй регистр, вход которого является информационным входом устройства, первый блок вычитания, первым и вторым входами соединенный с выходами первого и второго регистров, выход первого блока вычитания соединен с первым арифметическим блоком, второй арифметический блок, блок синхронизации, соединенный с входными шинами, ключ, первым входом соединенный с выходом первого регистра, а выходом - с выходной шиной, выход первого элемента И подключен к первым входам первого и третьего регистров, выход второго регистра подключен к второму входу третьего регистра, выход которого соединен с первым входом второго блока вычитания, к второму входу которого подключен выход первого регистра, первый, второй, третий и четвертый входы блока анализа соединены с первым и вторым входами соответственно первого и второго блоков вычитания, третий выход второго блока вычитания подключен к первому входу второго арифметического блока, управляющие входы первого и второго арифметических блоков через второй элемент И подключены к первому выходу блока анализа, выходы первого и второго арифметических блоков соединены с первым и вторым входами блока сравнения, выходы которого соединены с пятым и шестым входами блока анализа, нулевой выход триггера соединен с вторым входом первого элемента И и с информационным входом регистра сдвига, выход которого соединен с первым входом третьего элемента И, выход которого подключен ко второму входу ключа, второй, третий и четвертый выходы блока анализа соединены с управляющими входами третьего и первого регистров и со вторым входом третьего элемента И соответственно, седьмой вход блока анализа и R-вход триггера соединены с соответствующими входами устройства, первый выход блока синхронизации соединен с управляющим входом регистра сдвига, второго регистра и с третьим входом первого элемента И, второй выход - с управляющими входами блоков вычитания и с S-входом триггера, третий выход - с вторым входом второго элемента И, четвертый выход - с управляющим входом блока сравнения [2].

Недостатком такого устройства является то, что при обработке начальных (трех) точек кривой производятся дополнительные затраты времени на вычисление Δx_i и Δy_i и их отношений. Для блокировки в арифметических блоках вычислений запрещенных комбинаций деления (например, знаменатель дроби равен нулю) требуются дополнительные аппаратурные затраты. Кроме того, структура арифметического блока, выполняющего операцию деления в известном устройстве, сложнее структуры арифметического блока, выполняющего операцию умножения.

Целью изобретения является упрощение устройства.

Поставленная цель достигается тем, что в устройство, содержащее блок синхронизации, элементы И, триггер, вычитатели, ключ, умножители, блок сравнения, элементы задержки, элементы ИЛИ, регистры, выход первого регистра подключен к первым входам второго регистра и первого вычитателя, выход второго регистра подключен к первым входам третьего регистра и второго вычитателя, выход третьего регистра подключен к первому входу ключа и вторым входам первого и второго вычитателей, первый выход первого вычитателя подключен к первому входу первого умножителя, выход которого подключен к первому входу блока сравнения, первый выход второго вычитателя подключен к первому входу второго умножителя, выход которого подключен к второму входу блока сравнения, первый выход которого подключен к первому входу первого элемента ИЛИ, второй вход которого является первым управляющим входом устройства, выход первого элемента ИЛИ подключен к вто-

рому входу ключа и первому входу второго элемента ИЛИ и через первый элемент задержки подключен к второму входу третьего регистра, второй выход блока сравнения подключен к второму входу второго элемента ИЛИ, выход которого через второй элемент задержки подключен к второму входу второго регистра, первый вход блока синхронизации объединен с первым входом триггера и является вторым управляющим входом устройства, второй вход блока синхронизации является третьим управляющим входом устройства, первый, второй и третий выходы блока синхронизации подключены соответственно к синхронизирующим входам первого и второго вычитателей, первого и второго умножителей и блока сравнения, введен распределитель импульсов, первый и второй входы которого подключены соответственно к второму и третьему управляющим входам устройства, первый выход распределителя импульсов подключен к первому входу первого элемента И, выход которого подключен к третьему входу третьего регистра, второй выход распределителя импульсов подключен к первому входу второго элемента И, выход которого подключен к третьему входу второго регистра, третий выход распределителя импульсов подключен к второму входу триггера, выход которого подключен к первому входу третьего элемента И и третьему входу блока синхронизации, выход третьего элемента И подключен к первому входу первого регистра, вторые входы первого, второго и третьего элемента И объединены и являются информационным входом устройства, четвертый выход блока синхронизации подключен к третьему входу третьего элемента И, второй выход второго вычитателя подключен к второму входу второго умножителя, второй выход первого вычитателя подключен к второму входу первого умножителя.

На фиг. 1 приведена схема устройства; на фиг. 2 - кривая для пояснения принципа сокращения избыточности.

Устройство содержит регистры 1-3, вычитатели 4 и 5, умножители 6 и 7, блок 8 сравнения, элементы ИЛИ 9 и 10, элементы 11 и 12 задержки, ключ 13, распределитель 14 импульсов, элементы И 15-17, триггер 18, блок 19 синхронизации, информационный вход 20, управляющие входы 21-23, выходную шину 24.

Суть метода обработки информации, заложенного в предлагаемом устройстве, состоит в определении Δx_i, Δy_i для каждой точки двухмерного информационного массива, определении произведений $\Delta x_i \cdot \Delta y_{i-1}$ и $\Delta x_{i-1} \cdot \Delta y_i$ и сравнения этих произведений с заданной точностью, где

$$\Delta x_i = x_i - x_0; \quad \Delta x_{i-1} = x_{i-1} - x_0;$$

$$\Delta y_i = y_i - y_0; \quad \Delta y_{i-1} = y_{i-1} - y_0,$$

где x_0, y_0, x_i, y_i, x_{i-1}, y_{i-1} - координаты начальной (или информативной), i-ой и (i-1)-ой точки соответственно.

Иными словами, реализуется с заданной точностью критерий выборки в соответствии с выражением

$$\Delta x_i \cdot \Delta y_{i-1} = \Delta x_{i-1} \cdot \Delta y_i.$$

При этом точность (или погрешность) сравнения задается оператором длиной разрядной сетки сравниваемых произведений $\Delta x_i \cdot \Delta y_{i-1}$, $\Delta x_{i-1} \cdot \Delta y_i$.

Устранение избыточности вводимой двухмерной информации осуществляется в реальном масштабе времени в процессе анализа текущих координат. При этом выявляются прямолинейные участки кривой. Точки перехода из криволинейного участка в прямолинейный и наоборот считываются характерными точками данной кривой. В процессе такой обработки координаты характерных точек поступают на выход устройства для ввода в ЭВМ, а координаты точек, лежащих на прямолинейных участках вводимой кривой, на выход устройства не поступают и в ЭВМ не вводятся.

Для анализа формы вводимой кривой в устройстве определяются элементарные приращения координат x и y каждой последующей точки относительно предыдущей, для чего координаты первой точки (A_{00}) записываются в регистр 1, второй точки (A_{01}) в регистр 3, третьей точки (A_{02}) - в регистр 2, при этом на вычитатель 5 поступают координаты из регистров 1 и 3, а на вычитатель 4 из регистров 1 и 2. Вычитатель 5 определяет разность $\Delta x_1 = x_{A_{01}} - x_{A_{00}}$ и $\Delta y_1 = y_{A_{01}} - y_{A_{00}}$, а вычитатель 4 определяет разности $\Delta x_2 = x_{A_{02}} - x_{A_{00}}$; $\Delta y_2 = y_{A_{02}} - y_{A_{00}}$.

Значения Δx_1 и Δy_2 поступают в умножитель 7, а значения Δx_2 и Δy_1 поступают в умножитель 6, причем на выходе умножителя 7 получается произведение $\Delta x_1 \cdot \Delta y_2$, а на выходе умножителя 6 - произведение $\Delta x_2 \cdot \Delta y_1$. Сравнивая между собой значения $\Delta x_1 \cdot \Delta y_2$ и $\Delta x_2 \cdot \Delta y_1$, можно определить, лежат точки A_{00}, A_{01}, A_{02} на одной прямой или нет. При неравенстве произведений $\Delta x_1 \cdot \Delta y_2$ и $\Delta x_2 \cdot \Delta y_1$ дается разрешение на вывод координат точки A_{00} в ЭВМ, а также перезаписи координат точки A_{01} в регистр 1, а точки

A_{02} - в регистр 3, при этом координаты точки A_{01} стираются. При обнаружении признака прямолинейного участка координаты каждой последующей точки на этой кривой сопоставляются с координатами начальной точки участка A_{00}, им достигается высокая точность анализа и исключается ошибочное представление криволинейных участков с большим радиусом кривизны прямолинейными. При обнаружении криволинейного участка координаты каждой последующей точки на этой кривой анализируются с координатами каждой предыдущей точки, и при выполнении условия неравенства координаты предыдущей точки передаются в ЭВМ.

При этом количество выводимых точек на единицу длины участка кривой зависит от кривизны участка и величины координаты.

Устройство работает следующим образом.

Перед началом ввода двухмерного массива сигналом, поступающим по шине 21, устанавливается в нулевое состояние триггер 18, блок 19 синхронизации и распределитель 14 импульсов, состоящий из последовательно соединенных элемента И, двухразрядного счетчика и дешифратора, причем выходы счетчика через элемент И-НЕ подключены к одному из входов элемента И (не указаны). Нулевым сигналом с единичного выхода триггера 18 элемент И 17 и блок 19 блокируются.

При вводе первой точки по входной шине 22 на вход элемента И распределителя 14 импульсов поступает сигнал ввода, при этом по сигналу с первого выхода распределителя 14 через элемент И 15 в регистр 1 записываются координаты X, Y точки A_{00}, поступающие одновременно с сигналом ввода по шине 20 из устройства съема данных в цифровом параллельном коде. При вводе следующей точки сигнал на первом выходе распределителя 14 снимается, чем блокируется элемент И 15, а сигналом с второго выхода распределителя 14 разрешается запись координат точки A_{01} через элемент И 16 в регистр 3.

Третий сигнал ввода, поступающий по шине 22 на вход распределителя 14 импульсов, формирует сигнал на третьем выходе распределителя 14, который поступает на S-вход триггера 18 и устанавливает его в единичное состояние. Сигнал с единичного выхода триггера 18 поступает на входы элемента И 17 и блока 19 синхронизации, при этом на выходах блока 19 поочередно формируются тактовые импульсы. По сигналу с первого выхода блока 19 синхронизации через элемент И 17 в регистр 2 записываются координаты точки A_{02}, поступающие по шине 20. Далее по сигналу "α" с второго выхода блока 19 синхронизации, поступающему на управляющие входы вычитателей 4 и 5, разрешается ввод координат точек A_{00}, A_{01} и A_{00}, A_{02} в вычитатели 5 и 4 соответственно, при этом вычитатель 5 определяет разность координат $A_{01}-A_{00}$, а вычитатель 4 $A_{02}-A_{01}$. При этом на первом и втором выходах вычитателей 5 и 4 формируются сигналы, соответствующие значениям Δx_1, Δy_1 и Δx_2, Δy_2, которые поступают на входы умножителей 7 и 6, где по сигналу "δ" с третьего выхода блока 19 синхронизации определяются значения произведений $\Delta x_1 \cdot \Delta y_2$ и $\Delta x_2 \cdot \Delta y_1$.

Результаты вычислений в умножителях 7 и 6 поступают в блок 8 сравнения, где по сигналу "в" с четвертого выхода блока 19 синхронизации они сравниваются.

В данном случае результатом является сигнал неравенства, который через элемент ИЛИ 9 поступает в ключ 13, тем самым разрешая задачу координат точки A_{00}, находящейся в регистре 1, в ЭВМ. Далее этот же сигнал, пройдя элемент 11 задержки, разрешает перезапись координат точки A_{01} из регистра 3 в регистр 1. Кроме того, сигнал неравенства с элемента ИЛИ 9 поступает через элемент ИЛИ 10 и элемент 12 задержки, время задержки которого больше, чем элемента 11 задержки, в регистр 3, чем разрешает перезапись координат точки A_{02} из регистра 2 в регистр 3, при этом координаты точки A_{01} в регистре 3 автоматически стираются.

По очередному сигналу ввода, поступающему по шине 22, запускается только блок 19 синхронизации (так как для запуска распределителя 14 импульсов необходимо повторное появление сигнала на шине 21, т.е. сигнала начала кривой), при этом по сигналу с первого выхода блока 19 синхронизации в регистр 2 через элемент И 17 записываются координаты точки A_{03}, поступающей по шине 20. Дальнейшая обработка введенной координаты точки A_{03} производится аналогично вышеописанному.

Аналогичные операции производятся до поступления из устройства съема координат точки A_{11} (табл.). В этом случае произведения $\Delta x_1 \cdot \Delta y_2$ и $\Delta x_2 \cdot \Delta y_1$ равны. Сигнал равенства с второго выхода блока 8 сравнения через элемент ИЛИ 10 и элемент 12 задержки поступает на управляющий вход регистра 3 и разрешает, таким образом, перезапись координаты точки A_{11} из регистра 2 в регистр 3. В следующем цикле в регистр 2 вводятся координаты точки A_{12}, как и ранее производятся определения

разностей в блоке 5 $A_{11}-A_{09}$, в блоке 4 $A_{12}-A_{09}$ определяются произведения $\Delta x_1 \cdot \Delta y_2$ и $\Delta x_2 \cdot \Delta y_1$,

где

$$\Delta x_1 = x_{A_{11}} - x_{A_{09}} \qquad \Delta x_2 = x_{A_{12}} - x_{A_{09}}$$

$$\Delta y_1 = y_{A_{11}} - y_{A_{09}} \qquad \Delta y_2 = y_{A_{12}} - y_{A_{09}}$$

Далее производится сравнение произведений. В этом случае на выходе блока 8 сравнения появляется сигнал неравенства, который через элемент ИЛИ 9 разрешает выдачу в ЭВМ координаты точки A_{09} из регистра 1, через элемент 11 задержки разрешает перезапись координаты точки A_{11} из регистра 3 в регистр 1, и через элемент ИЛИ 10 и элемент 12 задержки разрешает перезапись координаты точки A_{12} из регистра 2 в регистр 3.

Далее устройство работает, как описывалось выше.

При окончании ввода кривой из устройства съема по шине 23 поступает сигнал окончания съема, представляющий собой два последовательных импульса, причем первый импульс через элемент ИЛИ 9 поступает на ключ 13, разрешая выход координаты A_{50} в ЭВМ, затем с выхода элемента 11 задержки поступает на управляющий вход регистра 1, разрешая перезапись координат точки A_{55} из регистра 3 в регистр 1. Второй импульс окончания съема через элемент ИЛИ 9 разрешает выдачу в ЭВМ через ключ 13 содержимое регистра 1, т.е. координаты точки A_{55}.

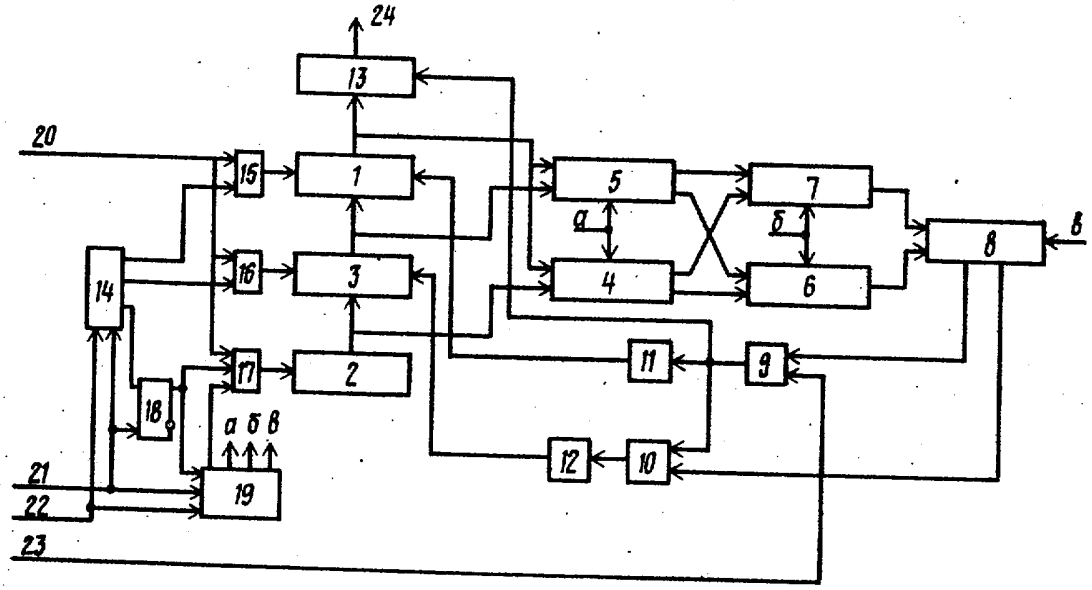
Процесс анализа вводимой кривой (фиг. 2), а также результаты записи, перезаписи, вычитания и сравнения координат точек приведены в таблице.

Запись координат в регистр 2	Результат вычитания в блоке 5 вычитания	Результат вычитания в блоке 4 вычитания	Результат сравнения в блоке 8 сравнения	Перезапись из регистра 2 в регистр 3	Перезапись из регистра 3 в регистр 1	Вывод в ЭВМ
1	2	3	4	5	6	7
$БА_{02}$	$A_{01}-A_{00}$	$A_{02}-A_{00}$	$\neq$	A_{02}	A_{01}	A_{00}
A_{03}	$A_{02}-A_{01}$	$A_{03}-A_{01}$	$\neq$	A_{03}	A_{02}	A_{01}
.						
.						
.						
A_{10}	$A_{09}-A_{08}$	$A_{10}-A_{09}$	$\neq$	A_{10}	A_{09}	A_{08}
A_{11}	$A_{10}-A_{09}$	$A_{11}-A_{09}$	$=$	A_{11}	A_{09}	A_{08}
A_{12}	$A_{11}-A_{09}$	$A_{12}-A_{09}$	$\neq$	A_{12}	A_{11}	A_{09}
.						
.						
.						
A_{25}	$A_{24}-A_{23}$	$A_{25}-A_{23}$	$\neq$	A_{25}	A_{24}	A_{23}
A_{26}	$A_{25}-A_{24}$	$A_{26}-A_{24}$	$\neq$	A_{26}	A_{25}	A_{24}
A_{27}	$A_{26}-A_{25}$	$A_{27}-A_{25}$	$=$	A_{27}	A_{25}	A_{24}
A_{28}	$A_{27}-A_{25}$	$A_{28}-A_{26}$	$\neq$	A_{28}	A_{27}	A_{25}
A_{29}	$A_{28}-A_{27}$	$A_{29}-A_{27}$	$\neq$	A_{29}	A_{28}	A_{27}
A_{30}	$A_{29}-A_{28}$	$A_{30}-A_{28}$	$=$	A_{30}	-"-	-
A_{31}	$A_{30}-A_{28}$	$A_{31}-A_{28}$	$\neq$	A_{31}	A_{30}	A_{28}
A_{32}	$A_{31}-A_{30}$	$A_{32}-A_{30}$	$\neq$	A_{32}	A_{31}	A_{30}
A_{33}	$A_{32}-A_{31}$	$A_{33}-A_{31}$	$\neq$	A_{33}	A_{32}	A_{31}

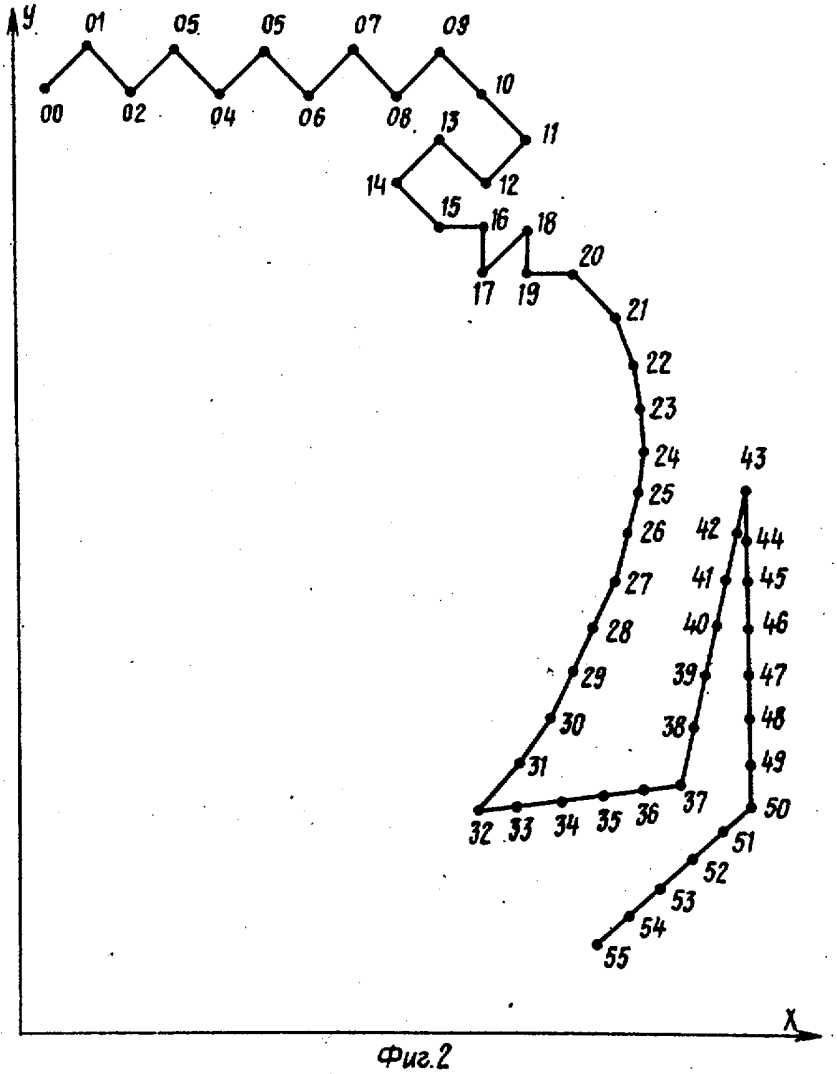
Продолжение таблицы

1	2	3	4	5	6	7
A_{34}	$A_{33}-A_{32}$	$A_{34}-A_{32}$	=	A_{34}	A_{32}	-
A_{35}	$A_{34}-A_{32}$	$A_{35}-A_{32}$	=	A_{35}	A_{32}	-
A_{36}	$A_{35}-A_{32}$	$A_{36}-A_{32}$	=	A_{36}	A_{32}	-
A_{37}	$A_{36}-A_{32}$	$A_{37}-A_{32}$	=	A_{37}	A_{32}	-
A_{38}	$A_{37}-A_{32}$	$A_{38}-A_{32}$	≠	A_{38}	A_{37}	A_{32}
A_{39}	$A_{38}-A_{37}$	$A_{39}-A_{37}$	=	A_{39}	A_{37}	-
A_{40}	$A_{39}-A_{37}$	$A_{40}-A_{37}$	=	A_{40}	A_{37}	-
.						
.						
.						
A_{43}	$A_{42}-A_{37}$	$A_{43}-A_{37}$	=	A_{43}	A_{37}	-
A_{44}	$A_{43}-A_{37}$	$A_{44}-A_{37}$	≠	A_{44}	A_{43}	A_{37}
A_{45}	$A_{44}-A_{43}$	$A_{45}-A_{43}$	=	A_{45}	A_{43}	-
.						
.						
.						
A_{50}	$A_{49}-A_{43}$	$A_{50}-A_{43}$	=	A_{50}	A_{43}	-
A_{51}	$A_{50}-A_{43}$	$A_{51}-A_{43}$	≠	A_{51}	A_{50}	A_{43}
A_{52}	$A_{51}-A_{50}$	$A_{52}-A_{50}$	=	A_{52}	A_{50}	-
.						
.						
.						
A_{55}	$A_{54}-A_{53}$	$A_{55}-A_{53}$	=	A_{55}	A_{50}	-
Конец				A	A_{55}	A_{50}
	÷	-	-	-	-	A_{55}

В предлагаемом устройстве, как уже указывалось выше, в качестве критерия выборки характерных точек информационного массива используется неравенство произведений приращений по ортогональным координатам, в отличие от неравенства частных делений приращений в известном устройстве. Это позволяет упростить структуру умножителей, так как для аппаратурной реализации функции умножения требуется в 1,2-1,5 раза (в зависимости от структуры умножителя и делителя) меньше аппаратурных затрат, чем для реализации функции деления, приблизительно в это же количество раз уменьшаются временные затраты на выполнение функции умножения относительно функции деления, отказаться от блока анализа, имеющегося в известном устройстве, так как значения множителя и множимого в предлагаемом устройстве могут быть любыми, в том числе и равны нулю, что также упрощает устройство, однако несколько снижает быстродействие устройства при обработке прямых линий, параллельных одной из осей координат. Непосредственная запись трех первых точек каждого нового информационного массива без определения приращений и дальнейшего их анализа повышает быстродействие предлагаемого устройства при начале ввода каждого массива.



Фиг.1



Фиг.2

ВНИИПИ Заказ 506/44 Тираж 569 Подписное
Филиал ППП "Патент", г. Ужгород, ул.Проектная, 4