



①9



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

①1 Número de publicación: **2 267 977**

⑤1 Int. Cl.:

G11C 7/12 (2006.01)

G11C 8/08 (2006.01)

G11C 11/22 (2006.01)

①2

TRADUCCIÓN DE PATENTE EUROPEA

T3

⑧6 Número de solicitud europea: **02700903 .4**

⑧6 Fecha de presentación : **15.02.2002**

⑧7 Número de publicación de la solicitud: **1364372**

⑧7 Fecha de publicación de la solicitud: **26.11.2003**

⑤4 Título: **Lectura no destructiva.**

③0 Prioridad: **26.02.2001 NO 20010968**

④5 Fecha de publicación de la mención BOPI:
16.03.2007

④5 Fecha de la publicación del folleto de la patente:
16.03.2007

⑦3 Titular/es: **Thin Film Electronics ASA**
P.O. Box 1872 Vika
0124 Oslo, NO

⑦2 Inventor/es: **Nordal, Per-Erik;**
Gudesen, Hans, Gude y
Leistad, Geirr, I.

⑦4 Agente: **Carpintero López, Francisco**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Lectura no destructiva.

La presente invención se refiere a un procedimiento para determinar un estado lógico de células de memoria seleccionadas, proporcionadas en un dispositivo pasivo de almacenamiento de datos matricialmente direccionables, que contiene líneas de palabras y bits, en el cual a un estado lógico específico se le asigna un único valor lógico según un protocolo predeterminado, en el cual dichas células almacenan datos, en forma de un estado de polarización eléctrica, en estructuras similares a condensadores que comprenden un material polarizable, en particular, un material ferroeléctrico o "electret", capaz de manifestar histéresis, en donde dicho material polarizable es capaz de mantener una polarización eléctrica no volátil en ausencia de un voltaje externamente impreso a través de dichas estructuras similares a condensadores, en donde tiene lugar una selección de células de memoria al activar la línea de palabra o la línea de bit, o ambas, que se cruzan en una célula de memoria en cuestión, en donde la activación de una línea de palabra o una línea de bit se efectúa por medio de diferencias de potencial aplicadas externamente entre las mismas, sometiendo de tal manera dichas células seleccionadas a un voltaje de sondeo de señal reducida, que surge de la diferencia de potencial aplicado, por lo cual se genera una corriente de respuesta desde dichas células, en donde dicho voltaje de sondeo de señal reducida depende del tiempo en forma arbitrariamente seleccionable, y tiene amplitudes y/o duraciones de voltaje menores que aquellas requeridas para causar un cambio significativo permanente en los estados de polarización de dichas células, en donde dicho estado lógico se determina detectando componentes en dicha corriente de respuesta desde dicha célula seleccionada, en donde los componentes de la corriente de respuesta se correlacionan temporalmente con dicho voltaje de sondeo de señal reducida o con las señales de referencia derivadas del mismo, y en donde una decisión sobre un estado lógico de una célula seleccionada se lleva a cabo sobre la base de una comparación de dicha corriente de respuesta con un conjunto de criterios predefinidos.

La presente invención también se refiere a los dispositivos para realizar el procedimiento.

Durante los años recientes, el almacenamiento de datos ha sido presentado en medios eléctricamente polarizables que consisten en películas delgadas. De particular interés en el presente contexto son los "electrets", y los materiales ferroeléctricos cerámicos o poliméricos, donde el estado lógico de una célula de memoria individual está representada por la dirección de polarización de la película delgada en esa célula. En el caso de los materiales ferroeléctricos, los datos se graban en las células de memoria polarizando la película en la dirección deseada a través de la aplicación de un campo eléctrico debidamente dirigido que excede el campo coercitivo del material ferroeléctrico. Una ventaja principal de tales materiales es que retienen su polarización sin el suministro continuo de energía eléctrica, es decir, el almacenamiento de datos es no volátil.

Se han presentado dos clases principales de dispositivos de memoria, con arquitecturas de dispositivo fundamentalmente distintas.

En la primera clase de dispositivos, cada célula de

memoria incorpora al menos un transistor. La arquitectura general de la memoria es del tipo de matriz activa, siendo la principal ventaja, en comparación con los tradicionales dispositivos de SRAM y DRAM, la naturaleza no volátil del estado lógico ferroeléctricamente almacenado. En estos tipos de dispositivos, la necesidad de uno o más transistores en cada célula representa una desventaja mayor en términos de complejidad y de almacenamiento reducido de datos con respecto al área del dispositivo.

En la segunda clase de dispositivos, que aquí es de especial relevancia, las células de memoria se disponen en una arquitectura matricial pasiva donde dos conjuntos de electrodos mutuamente ortogonales forman matrices de estructuras similares a condensadores en los puntos de cruce entre los electrodos. Cada condensador constituye una célula de memoria con la película ferroeléctrica embutida entre los electrodos.

Según la tecnología anterior, los datos se graban o se leen de las células de memoria individuales aplicando al material en cada célula en cuestión un campo eléctrico de la suficiente magnitud como para vencer el efecto de histéresis y alinear la polarización eléctrica en la célula en la dirección del campo aplicado. Si el material ya estaba polarizado en esa dirección antes de la aplicación del campo, no tiene lugar ninguna inversión de polarización, y sólo una leve corriente transitoria fluye a través de la célula. Sin embargo, si el material estaba polarizado en la dirección opuesta, tiene lugar la inversión de polarización, lo que causa que una corriente transitoria mucho mayor fluya a través de la célula. De esta manera, la lectura del estado lógico en una célula de memoria individual, es decir, la determinación de la dirección de la polarización eléctrica en la célula, se logra por medio de la aplicación de un voltaje de la magnitud suficiente como para exceder el campo coercitivo en el material ferroeléctrico, y de la detección de la corriente resultante.

En comparación con los dispositivos activos basados en matrices, los pasivos basados en matrices pueden hacerse con una densidad mucho más alta de células de memoria, y la matriz de memoria en sí es mucho menos compleja. Sin embargo, el proceso de lectura según la tecnología anterior es destructivo, involucrando la pérdida del contenido de datos en la célula que se lee. De esta manera, los datos que se leen deben grabarse nuevamente en el dispositivo de memoria si se desea un almacenamiento posterior de esos datos. Una consecuencia más seria de la conmutación de la polarización es la fatiga, es decir, una pérdida gradual de la polarización conmutable, que está acompañada, típicamente, por una necesidad de un mayor voltaje aplicado a la célula a fin de efectuar la inversión de polarización. La fatiga limita el número de ciclos de lectura que pueden ser soportados por una célula de memoria dada y, por ende, la gama de aplicaciones. Además, conduce a una respuesta más lenta y a requisitos de mayores voltajes para el dispositivo de memoria. La variación gradual concomitante en los parámetros de operación para las células de memoria individuales en un dispositivo dado rara vez puede predecirse *a priori*, y lleva a la necesidad de un diseño y una operación para el "peor caso", lo que está por debajo del óptimo.

Se han realizado esfuerzos para desarrollar técnicas que permitan la lectura no destructiva de memorias basadas en materiales ferroeléctricos, manteniendo

do a la vez una arquitectura simple de células de memoria elementales.

C. J. Brennan revela células condensadoras ferroeléctricas y módulos asociados de circuitos elementales para el almacenamiento de datos en las patentes estadounidenses N° 5.343.421, 5.309.390, 5.262.983, 5.245.568, 5.151.877 y 5.140.548. Sondeando los valores de capacidad de señal reducida, sometiendo simultáneamente a la vez el material ferroeléctrico a campos de polarización moderada, es decir, campos de polarización que no conduzcan al voltaje máximo a través de la célula durante lecturas que excedan el campo coercitivo en el material ferroeléctrico, se determina la dirección de la polarización espontánea en el condensador y, por ello, el estado lógico de la célula de memoria. Sin embargo, hay ciertas premisas muy específicas para aplicar los procedimientos y dispositivos según lo descrito por Brennan, al invocar fenómenos basados en la acumulación de una carga espacial en los electrodos, lo que depende explícitamente de los materiales utilizados en los electrodos y en el material ferroeléctrico adyacente. La lectura de datos involucra el sondeo de la carga espacial, lo cual debe llevarse a cabo en escalas temporales que sean compatibles con tal acumulación de carga. Además, las patentes de Brennan no contienen instrucciones en cuanto a cómo se sincronizarán y correlacionarán entre sí los voltajes de señal reducida y de polarización, lo cual es de importancia crucial para la implementación en dispositivos prácticos. Tampoco hay ninguna instrucción sobre cómo pueden disponerse y direccionarse las células de memoria en cuestión en grandes matrices que permitan operaciones de lectura y escritura eficientes y fiables.

En la solicitud de patente internacional N° PCT/NO01/00472, que está asignada al presente solicitante, se revela y expone un conjunto de técnicas de lectura no destructiva y de dispositivos asociados, conjuntamente con los dispositivos ferroeléctricos de memoria condensadora de película delgada. La lectura se efectúa sometiendo las células de memoria a una combinación de voltajes dependientes del tiempo, lo que provoca una corriente de respuesta de señal reducida, con componentes lineales y no lineales que son procesadas para determinar el estado lógico de cada célula. Mientras que las estructuras de células de memoria en cuestión son eminentemente adaptables a esquemas pasivos de direccionamiento matricial, no se revela la cuestión de cómo se hará esto en la práctica. Es éste un asunto de gran importancia, cuya resolución determinará si los esquemas de lectura no destructiva citados anteriormente son viables o no en última instancia.

La patente estadounidense N° 5666305 (Mihara *et al.*) revela cómo una célula de memoria ferroeléctrica puede leerse no destructivamente cuando la célula de memoria para el almacenamiento de datos está polarizada de una manera particular. La célula de memoria se polariza hasta el grado de permanencia en cada dirección para grabar un primer valor lógico, mientras que, para grabar un segundo valor lógico, se somete a una polarización parcial con una mezcla de dominios ferroeléctricos polarizados tanto en la dirección positiva como en la negativa. Para la lectura, se aplica un pulso de voltaje, o un tren de pulsos de voltaje con una amplitud de sólo una fracción de un voltaje de conmutación, a la célula de memoria, y se determina su estado lógico efectivo detectando un valor de

capacidad o de corriente. Mihara *et al.* se refieren, en efecto, a dos variantes de realización de una memoria ferroeléctrica. La primera es una memoria híbrida de transistor/material ferroeléctrico, en la cual se proporciona un material de memoria ferroeléctrica como una película delgada entre el electrodo de compuerta y la región de canal del transistor de efecto de campo, actuando así como el aislante de compuerta. El estado de polarización del material ferroeléctrico influye en la conductividad del canal del transistor, y la lectura se realiza polarizando la compuerta y detectando la corriente de drenaje. La otra realización según Mihara *et al.* es una memoria convencional ferroeléctrica pasiva matricialmente direccionable, en la cual las células de memoria se polarizan nuevamente según lo mencionado anteriormente para almacenar un valor lógico y la lectura se realiza aplicando un pulso de señal reducida o, mejor aún, un tren de pulsos de señal reducida a fin de proporcionar una lectura no destructiva de un valor de capacidad que representa el estado lógico.

Resumiendo la exposición de la tecnología anterior, indica que, además de las células de memoria proporcionadas en estructuras pasivas de memoria matricialmente direccionable, donde las células tienen la forma de condensadores que están llenos de un material eléctricamente polarizable que manifiesta histéresis, p. ej., un material ferroeléctrico, hay una necesidad de dispositivos y procedimientos por los cuales puedan leerse datos no destructivamente, sin contribuciones parasitarias de células no direccionadas en la matriz, que corrompan la lectura.

Es un objeto principal de la presente invención proporcionar estrategias y procedimientos para la lectura no destructiva del estado lógico de células de memoria seleccionadas que son direccionadas por medio de una formación matricial pasiva, evitando a la vez la corrupción de las mediciones por contribuciones de señales parasitarias, debidas a acoplamientos especialmente capacitivos en la matriz, tales como los acoplamientos capacitivos que se manifestarán, por ejemplo, en la recogida capacitiva de señales (cargas) de las células no direccionadas en la matriz, o la recogida capacitiva de la red de electrodos y células que rodean a las células seleccionadas en la matriz.

Es un objeto adicional de la presente invención describir los procedimientos genéricos y proporcionar ejemplos específicos de dispositivos para implementar las estrategias y procedimientos precitados.

Es un objeto adicional de la presente invención lograr la lectura esencialmente libre de fatiga de los dispositivos de memoria, sin ninguna necesidad de regrabación después de cada operación de lectura.

Los objetos anteriores, así como las características y ventajas adicionales, se realizan con un procedimiento para determinar un estado lógico de células de memoria seleccionadas, proporcionadas en un dispositivo pasivo de almacenamiento de datos matricialmente direccionable, que contiene líneas de palabra y líneas de bit, en donde a un estado lógico específico se le asigna un único valor lógico según un protocolo predeterminado, en donde dichas células almacenan datos en forma de un estado de polarización eléctrica en estructuras similares a condensadores, que comprenden un material polarizable, en particular, un material ferroeléctrico o "electret", capaz de manifestar histéresis, en donde dicho material polarizable es capaz de mantener una polarización eléctrica no volátil

en ausencia de un voltaje impreso externamente a través de dichas estructuras similares a condensadores, en donde tiene lugar una selección de células de memoria por la activación de la línea de palabra o de la línea de bit, o ambas, que cruzan por la célula de memoria en cuestión, en donde la activación de una línea de palabra o de una línea de bit se efectúa por medio de diferencias de potencial externamente aplicadas entre las mismas, sometiendo así a dichas células seleccionadas a un voltaje de sondeo de señal reducida que surge desde la diferencia de potencial aplicado, por lo cual se genera una corriente de respuesta desde dichas células, en donde dicho voltaje de sondeo de señal reducida depende del tiempo de una manera arbitrariamente seleccionable, y tiene amplitudes y/o duraciones de voltaje menores que aquellas requeridas para causar un cambio significativo permanente en los estados de polarización de dichas células, en donde dicho estado lógico se determina detectando componentes en dicha corriente de respuesta desde dicha célula seleccionada, en donde los componentes de la corriente de respuesta están temporalmente correlacionados con dicho voltaje de sondeo de señal reducida, o señales de referencia derivadas del mismo, en donde una decisión sobre un estado lógico de una célula seleccionada se lleva a cabo sobre la base de una comparación de dicha corriente de respuesta con un conjunto de criterios predefinidos, y en donde los potenciales dependientes del tiempo se aplican sobre líneas seleccionadas de palabra y de bit, o grupos de líneas de palabra y de bit, estando dichos potenciales dependientes del tiempo mutuamente coordinados en magnitud y en tiempo, de manera tal que los voltajes resultantes a través de todas, o de algunas, de las células no seleccionadas en los puntos de cruce entre las líneas de palabra inactivas y una o más líneas activas de bit, y/o entre líneas de bit inactivas y al menos una línea activa de palabra, lleguen a contener solamente componentes de voltaje despreciable que estén temporalmente correlacionados con dicho voltaje de sondeo de señal reducida, o con señales de referencia derivadas del mismo.

Generalmente, y para mayor conveniencia, sólo se activará una única línea de palabra por vez al llevar a cabo el procedimiento según la invención.

En el procedimiento según la invención se considera ventajoso someter las líneas inactivas de palabra y/o bit a potenciales que rastreen dinámicamente, con alta fidelidad y en tiempo real, los voltajes aplicados a las líneas activas de bit y/o palabra, respectivamente; y/o controlar los potenciales sobre líneas inactivas de palabra por medio de fuentes de señal dedicadas que derivan una señal desde una o más líneas activas de bit, a fin de rastrear dinámicamente el potencial sobre dicha(s) línea(s) activa(s) de bit; y/o controlar los potenciales sobre líneas inactivas de bit por medio de fuentes de señal dedicadas que derivan una señal de una línea de palabra activa para rastrear dinámicamente el potencial en dicha línea de palabra activa; y/o controlar los potenciales sobre líneas inactivas de palabra bloqueando eléctricamente las mismas por un breve lapso por medio de conmutadores, y conectándose al potencial sobre una o más líneas activas de bit; y/o controlando los potenciales sobre líneas inactivas de bit bloqueando eléctricamente las mismas por un breve lapso por medio de conmutadores y conectándose al potencial sobre una línea activa de palabra.

En el procedimiento según la invención se consi-

dera ventajoso emplear un circuito electrónico activo conectado con cada línea activa de bit, lo que mantiene el potencial en una línea activa de bit en un valor predefinido, y entonces es preferible seleccionar dicho valor predefinido como un potencial a tierra del sistema. Además se prefiere que todas las líneas de bit sean líneas activas de bit. Además, en esa conexión es preferible proporcionar un multiplexador o banco de compuertas de paso para conectar una línea activa de bit por vez con un circuito electrónico activo, que mantiene el potencial sobre dicha línea activa de bit en el valor predefinido; o, alternativamente, es preferible proporcionar un multiplexador o banco de compuertas de paso para conectar un conjunto seleccionado de líneas activas de bit por vez con un conjunto de circuitos electrónicos activos que mantienen el potencial en las líneas activas de bit en el valor predefinido. Además, en esa conexión se prefiere que el circuito electrónico activo proporcione información sobre la carga o corriente que fluye en la línea activa de bit.

En el procedimiento según la invención, se considera ventajoso bloquear brevemente líneas inactivas de palabra y/o líneas inactivas de bit a un potencial a tierra del sistema por medio del banco de compuertas de paso, o de los conmutadores.

En el procedimiento según la invención, se considera ventajoso proporcionar un multiplexador o compuerta de paso para conectar una línea activa de palabra por vez con un circuito electrónico que controla el potencial en dicha línea activa de palabra según un protocolo predefinido y, luego, se prefiere que el potencial sobre dicha línea activa de palabra incluya una superposición de un voltaje de sondeo de señal reducida con un voltaje de polarización de fondo.

En una primera realización del procedimiento según la presente invención, una corriente de respuesta desde las células de memoria seleccionadas es analizada con un procedimiento de vagón de carga, empleando dicho procedimiento de vagón de carga señales de sincronización derivadas de los circuitos que controlan los potenciales sobre una línea activa de palabra y/o una o más líneas activas de bit.

En una segunda realización del procedimiento según la presente invención, la corriente de respuesta desde las células de memoria seleccionadas es analizada con un procedimiento de bloqueo, empleando dicho procedimiento de bloqueo una o más señales de referencia en el dominio de frecuencia derivado de los circuitos que controlan los potenciales sobre dichas líneas activas de palabra y/o dichas líneas activas de bit. En ese contexto, se prefiere realizar el análisis con una señal de referencia, derivada del componente de voltaje de sondeo, del voltaje aplicado a través de dichas células de memoria seleccionadas; o, alternativamente, realizar el análisis con una señal de referencia, derivada de un componente de voltaje de polarización, de un voltaje aplicado a través de dichas células de memoria seleccionadas; o realizar el análisis con señales de referencia dual, derivándose una señal de referencia de un componente de voltaje de sondeo, y una de un componente de voltaje de polarización, de un voltaje aplicado a través de dichas células de memoria seleccionadas; o realizar el análisis de la corriente de respuesta utilizando los componentes de frecuencia dominante de al menos uno de los siguientes, p. ej., los armónicos fundamentales o superiores (2° , 3° , ...) de un voltaje de sondeo en el caso donde dicho voltaje de sondeo contiene una única fre-

cuencia dominante, o los armónicos fundamentales o superiores (2° , 3° , ...) de uno o más componentes de dicho voltaje de sondeo, donde dichos componentes contienen dos o más frecuencias dominantes distintas, o bien frecuencias de sumas o diferencias generadas añadiendo y/o restando dichas dos o más frecuencias dominantes.

Los objetos anteriores, así como las características y ventajas adicionales, también se realizan con un dispositivo para llevar a cabo el procedimiento de la invención, comprendiendo el dispositivo generadores de señales, estando al menos un generador de señales coordinado con al menos otro generador de señales para la aplicación coordinada de voltajes sobre todas las líneas inactivas de palabra y todas las líneas inactivas de bit, de manera tal que todas las líneas inactivas de palabra estén sometidas al mismo potencial instantáneo que una línea activa de bit, y todas las líneas inactivas de bit al mismo potencial instantáneo que una línea activa de palabra, por lo que las células de memoria no seleccionadas están sometidas a un componente despreciable de voltaje, temporalmente correlacionado con el voltaje de sondeo de señal reducida, o a las señales de referencia derivadas del mismo.

El dispositivo puede conectarse con, y forma parte de, un dispositivo de memoria ferroeléctrica, con células de memoria en una matriz pasiva direccionable, con un primer conjunto de electrodos que forma las líneas de palabra del dispositivo de memoria, y un segundo conjunto de electrodos que forma las líneas de bit del mismo, y en el cual las líneas inactivas de bit están directamente empalmadas a un potencial de línea activa de palabra, por medio de un generador de señales compartidas, para la aplicación coordinada de voltaje a dichas líneas, teniendo el generador de señales compartidas una baja impedancia de origen.

En el dispositivo, todas las líneas de palabra, excepto una línea activa de palabra, y todas las líneas de bit, pueden empalmarse directamente a un potencial de línea activa de bit por medio de un generador de señales esclavas para la aplicación coordinada de voltajes a dichas líneas.

El dispositivo puede comprender adicionalmente uno o más circuitos amplificadores sensores, conectables con el dispositivo para detectar los componentes de la corriente de respuesta desde la célula seleccionada, y uno o más amplificadores de bloqueo, cada uno conectado con una salida de uno o más respectivos circuitos amplificadores sensores, para correlacionar temporalmente dichos componentes con el voltaje de sondeo de señal reducida, o las señales de referencia derivadas de éste último.

La presente invención se hará más inmediatamente evidente a partir de la siguiente exposición detallada de las realizaciones preferidas de la invención, con referencia a las figuras de los dibujos adjuntos, de las cuales

La fig. 1 muestra una curva general de histéresis para un material de memoria del tipo ferroeléctrico,

Fig. 2: la disposición de electrodos en la memoria con direccionamiento matricial pasivo, tal como, por ejemplo, una memoria ferroeléctrica utilizada en la presente invención,

Fig. 3: un típico comportamiento de la corriente de respuesta de señal reducida de una célula de memoria ferroeléctrica, por ejemplo,

Fig. 4a: un ejemplo de un patrón de voltaje de lectura, según lo obtenido con el procedimiento según la

presente invención,

Fig. 4b: los patrones de potencial correspondientes al patrón de voltaje de lectura,

Fig. 5: el principio de una primera realización del procedimiento según la invención,

Fig. 6: una variante de la realización en la Fig. 5,

Fig. 7: otra variante de la realización en la Fig. 5.

Fig. 8: un ejemplo de un circuito amplificador sensor según se utiliza en la presente invención,

Fig. 9: el principio de una segunda realización del procedimiento según la invención,

Fig. 10: la estructura de un primer dispositivo según la invención, para llevar a cabo la segunda realización del procedimiento según la invención, y

Fig. 11: la estructura de un segundo dispositivo para llevar a cabo la segunda realización del procedimiento según la invención.

Antes de que la invención se describa en mayor detalle, se expondrán brevemente los antecedentes generales de la presente invención.

La Fig. 1 muestra una típica curva de histéresis para un material ferroeléctrico, con los dos estados de polarización estable en el campo externo cero indicados por los estados lógicos asignados "0" y "1", respectivamente.

La curva de histéresis da la polarización eléctrica en microfaradios/cm² con respecto al potencial eléctrico en voltios. En la Fig. 1, se interpreta que la polarización positiva representa un "0" lógico, mientras que se interpreta que la polarización negativa representa un "1" lógico. Además, V_c denota el voltaje coercitivo y P_R da la polarización remanente, mientras que P^A es la diferencia entre la polarización eléctrica en el voltaje de saturación y la polarización remanente P_R . Finalmente, P^* denota el cambio total de la polarización cuando se invierte su polaridad, como será el caso cuando la célula de memoria conmute desde un "0" lógico a un "1" lógico, como puede ocurrir en una lectura destructiva de una célula de memoria.

La Figura 2 muestra la disposición de electrodos, según lo que se emplea usualmente con una memoria ferroeléctrica pasiva matricialmente direccionable. El medio de memoria en sí, es decir, el material ferroeléctrico, se proporciona embutido, respectivamente, entre una primera fila de electrodos paralelos WL_1-WL_m , denominados electrodos horizontales, y una segunda fila de electrodos paralelos BL_1-BL_n , orientados ortogonalmente con respecto al primer conjunto de electrodos, y denominados electrodos verticales, formando así una matriz de electrodos ortogonales. Al aplicar un voltaje, respectivamente, a los electrodos horizontales y verticales, las células de memoria se ven afectadas en los cruces de los electrodos en la matriz. Al aplicar un voltaje a un electrodo vertical y horizontal específico, se formará un potencial a través de la célula de memoria en cuestión, y se obtendrá una polarización eléctrica, ya sea de tipo positivo o negativo, correspondiente, respectivamente, a un "0" lógico y a un "1" lógico, según sea aplicable, o bien según un protocolo predeterminado.

En la presente invención, el foco se orientará, en particular, hacia ciertos esquemas específicos de lectura no destructiva de los tipos mencionados en la tecnología anterior, repasada anteriormente, y considerados relevantes en relación con la presente invención. Usualmente, la lectura tiene lugar al medir la respuesta de señal reducida de la célula de memoria en cuestión por medio de la aplicación de un vol-
ta-

je de prueba de señal reducida, variable en el tiempo, a través de la célula seleccionada en cuestión, mientras que a la vez se proporciona un voltaje de polarización superpuesto con una variación temporal más lenta que aquella del voltaje de prueba de señal reducida. El estado lógico se revela, generalmente, registrando la dependencia de la respuesta registrada de señal reducida con respecto al voltaje de polarización. Éste último puede escogerse para que varíe según una programación predefinida, p. ej., conmutándose entre dos valores de las mismas, o distintas, polaridades, o modulándose periódicamente entre dos valores extremos. La respuesta de señal reducida puede ser, p. ej., la capacidad de la célula de memoria a la frecuencia del voltaje de prueba de señal reducida, o puede ser la amplitud o la fase de una señal de respuesta de armónico superior.

En sintonía con el empleo usual, y con referencia a la fig. 2, se aplicará la siguiente nomenclatura en lo siguiente, p. ej., al denotar los electrodos horizontales como líneas de palabra LP, y los electrodos verticales como líneas de bit LB. Aquellas células de memoria que sean seleccionadas para grabar, leer, borrar o actualizar se denominan células seleccionadas, mientras que el resto son células no seleccionadas. Una línea de palabra LP que se conecta con una o más células seleccionadas se denomina una línea de palabra activa (abreviadamente: LPA), y una línea de bit LB que se conecta con una o más células seleccionadas se denomina una línea de bit activa (LBA). Análogamente, una línea de palabra LP y una línea de bit LB que no se conectan con ninguna célula seleccionada se denominan, respectivamente, una línea de palabra inactiva (LPI) y una línea de bit inactiva (LBI).

Un problema fundamental y recurrente al almacenar, leer y borrar datos en las formaciones de memoria pasiva matricialmente direccionables es el gran número de enlaces eléctricos dentro de la red de electrodos y de células de memoria en la matriz. Así, la aplicación de un voltaje a un conjunto de líneas de palabra y bit, cruzándose entre sí, a fin de direccionar una célula dada, o un grupo de células, en la matriz, puede a la vez causar que las células no direccionadas en la matriz sean sometidas a voltajes que pueden perturbar sus estados lógicos, o bien tales células no direccionadas pueden contribuir con cargas eléctricas que corrompan la respuesta que se mida desde las células direccionadas. Esto puede ilustrarse con referencia a la fig. 2. Supongamos, p. ej., que se desea leer el estado lógico de la célula de memoria 1 en la superposición entre la línea de palabra activa LPA y la línea de bit activa LBA en la matriz, según se muestra. Supongamos adicionalmente que la lectura ha de llevarse a cabo por medio de la aplicación de un voltaje, que depende del tiempo, a la célula 1, y de la medición de la corriente de respuesta resultante. Dado que las mediciones se realizan por medio de las conexiones con las líneas de palabra y bit activas LPA; LBA en los bordes de la matriz, los potenciales impuestos sobre esas líneas también se perciben en las células no direccionadas que se conectan con esas líneas. Así, según la distribución general de potenciales e impedancias por toda la matriz, las señales parasitarias de un gran número de células no direccionadas pueden añadirse a la respuesta medida desde la célula direccionada 1. Este problema puede ser inmediatamente reconocido por las personas versadas en la técnica electrónica, considerando que los dispositivos prácticos involucra-

rán matrices con cientos o miles de líneas de palabra y bit.

El direccionamiento matricial pasivo es único al combinar una alta densidad de células de memoria con la simplicidad y flexibilidad arquitectónica. Según el conocimiento de los inventores, sin embargo, no existe ninguna técnica anterior relevante que solucione el problema de las señales parasitarias en los dispositivos de memoria pasivos matricialmente direccionables que emplean esquemas de lectura no destructiva de los tipos revelados por Brennan en las patentes precitadas, o del tipo revelado en la precitada solicitud internacional de patente N° PCT/NO01/00472, también precitada, o de esquemas similares. Tales esquemas de lectura no destructiva sólo mantendrán interés académico, si no pueden combinarse con medios realistas y eficientes de direccionamiento.

Si bien, según lo afirmado en la introducción, la presente invención está especialmente dedicada a eliminar las contribuciones de señales parasitarias, tales como las causadas por los acoplamientos capacitivos, se entenderá que, en un dispositivo de memoria pasivo matricialmente direccionable, en el cual ha de aplicarse el procedimiento según la invención, también pueden estar presentes acoplamientos inductivos o radiantes, que causen la recogida inductiva o radiante desde la red de electrodos y células que rodean a las células seleccionadas en la matriz. Esto puede verse más evidentemente cuando se considera que la matriz de memoria puede considerarse como una red de elementos capacitivos, inductivos y resistivos, donde, además, los voltajes o corrientes variables en el tiempo, que tengan componentes de frecuencia, pueden estar fluyendo en la matriz. Sin embargo, se llevaron a cabo estudios de simulación sobre grandes matrices de memoria pasiva direccionable, y se basaron en la utilización de un modelo simplificado de la matriz, es decir, un modelo de circuito amontonado donde el acoplamiento entre las distintas líneas en la matriz puede describirse utilizando elementos capacitivos, inductivos y resistivos amontonados. Al llevar a cabo una simulación de los campos, basada en un modelo bidimensional que imita el comportamiento del dispositivo real con una exactitud razonable, resultó, no inesperadamente, que los acoplamientos eran la causa primaria de las contribuciones de señales parasitarias, mientras que los acoplamientos inductivos podían ignorarse en la práctica. También los efectos radiantes parecieron despreciables. Incluso aunque las señales que fluyen en la matriz puedan tener componentes de frecuencia, las señales pueden considerarse como de lenta variación temporal, y las frecuencias, correspondientemente bajas. Todo acoplamiento capacitivo e inductivo puede considerarse como efecto de campos próximos, y las dimensiones efectivas de la matriz también garantizan que los efectos de retardo no estarán presentes. A 1 GHz, la longitud de onda de una onda electromagnética es de 33 cm, mientras el dispositivo al cual se aplica el procedimiento según la invención sea conforme a las dimensiones de una tecnología estándar de microcircuitos, es decir, con sus dimensiones lineales en el orden de unos pocos milímetros y con un máximo de 1 cm, digamos. Aumentar la densidad de almacenamiento, es decir, la densidad celular del dispositivo de memoria, podría hacerlo más propenso a efectos parasitarios, pero toda reducción a escala de los anchos de línea, los grados

y los tamaños de célula también estará acompañada, sin alterar las densidades de carga y las potencias de campo, por una correspondiente reducción en los voltajes de operación. En todo caso, y para concluir, el dispositivo de memoria en cuestión puede considerarse esencialmente, a todos los efectos prácticos, como compuesto de estructuras capacitivas amontonadas o de cargas amontonadas en una red, siendo dichas cargas bien estáticas o bien sólo levemente afectadas en el curso de una operación de direccionamiento, introduciendo a lo más efectos de acoplamiento de campos próximos con frecuencias muy por debajo de aquellas de las que se espera que conduzcan a la ocurrencia de acoplamientos radiantes cualesquiera. A la luz de las consideraciones precedentes, las siguientes exposiciones de las realizaciones específicas del procedimiento y de los dispositivos según la invención deberían entenderse como esencialmente vinculadas con la reducción de las contribuciones de señales parasitarias que surjan solamente de los acoplamientos capacitivos, sin preocuparse demasiado con los acoplamientos inductivos o radiantes.

La presente invención se expondrá ahora en detalle y en términos más concretos, con referencia explícita a diversas realizaciones preferidas de la misma.

La idea básica de la presente invención surge de la observación de que las parasitarias derivan de corrientes que fluyen a través de las células y los electrodos en la matriz, gobernadas por diferencias de potencial. En términos sencillos, estas corrientes cesarían de fluir si todas las partes de la matriz se mantuviesen equipotenciales en todo momento. Sin embargo, los procesos relevantes de lectura demandan aquí que las células seleccionadas sean sometidas a un voltaje que varía con el tiempo.

Según la presente invención, el problema se resuelve aplicando potenciales dependientes del tiempo a los electrodos en la matriz, de manera tal que aparezcan los voltajes debidos de polarización y de sondeo a través de las células seleccionadas, mientras que todas las células no seleccionadas experimenten un voltaje cero a través de las mismas, en un sentido dinámico. Esto se logra a través del gobierno correlacionado de los potenciales en las líneas de palabra y de bit en cuanto al tiempo y a la magnitud, de manera tal que las líneas de palabra y de bit que se cruzan en las células no seleccionadas tengan potenciales que estén trabados entre sí. Así, si el potencial de la línea de palabra en una célula no seleccionada dada es forzado a ejecutar variaciones para emular, con precisión y en tiempo real, el potencial dependiente del tiempo impreso sobre la línea de bit que se conecta con esa misma célula, resulta un equipotencial dinámico a través de dicha célula. Como se describirá en relación a las realizaciones preferidas a continuación, tanto las líneas de palabra como las de bit que se cruzan en dichas células no seleccionadas pueden tener potenciales dependientes del tiempo que varían en trabazón entre sí, o ambas pueden estar empalmadas al mismo potencial semiestático.

El principio básico se ilustrará ahora con la ayuda de las figs. 3 y 4. La fig. 1 representa el comportamiento de la corriente de respuesta de señal reducida de una célula de memoria polarizada en cualquiera de las direcciones correspondientes a un "0" lógico y a un "1" lógico, respectivamente. La fig. 4a representa el patrón de lectura de voltaje según es percibido por una célula de memoria seleccionada con un vol-

je de sondeo sinusoidal de señal reducida, superpuesto sobre un voltaje de polarización de onda cuadrada. Supongamos que las células de memoria exhiben el comportamiento de la capacidad de señal reducida con respecto al voltaje mostrado en la fig. 3. Como puede verse, los estados lógicos "0" y "1" pueden determinarse aplicando un voltaje de polarización y registrando el cambio concomitante en la capacidad. El voltaje de polarización puede ser dependiente del tiempo y aplicado como una onda sinusoidal o cuadrada, por ejemplo, con un periodo característico mucho más lento que el del voltaje de señal reducida utilizada para medir la capacidad. En éste último caso, el voltaje percibido a través de la célula seleccionada variará a lo largo del tiempo, según lo indicado en la fig. 4a. Este voltaje es generado por la diferencia en los potenciales instantáneos entre la línea de palabra activa y la línea de bit activa que se cruzan en la célula seleccionada, es decir, las curvas marcadas como LPA y LBA en la fig. 4b, donde los potenciales de la línea de palabra activa y de la línea de bit activa se escogen como ondas sinusoidales de fases opuestas. Si se controla el potencial de la línea de palabra inactiva a fin de reproducir el potencial de la línea de bit activa, según lo indicado por la curva marcada como LPI en la fig. 4b, la diferencia neta de potencial entre LPI y LBA (que corresponde al voltaje percibido por todas las células no seleccionadas en la línea de bit activa) puede verse igual a cero en todo momento. Así, al registrar la corriente de respuesta con un circuito sensor conectado con la línea de bit activa, todas las células, excepto la seleccionada, experimentarán un voltaje neto igual a cero a través de ellas.

En muchas situaciones prácticas, este sencillo procedimiento de aparear exactamente el potencial a cada lado de las células no direccionadas necesita ser extendido y modificado. Según la modalidad de la discriminación del estado lógico (capacidad frente a voltaje de polarización, armónico primero o segundo, frecuencia de suma o diferencia), las contribuciones de señales más dañinas de las corrientes parasitarias ocurrirán generalmente a frecuencias sumamente alejadas de aquellas contenidas en el componente de polarización, de frecuencia típicamente inferior, del voltaje aplicado a las células de memoria seleccionadas. Así, el equilibrio del potencial dinámico de las líneas de palabra y de bit, en muchos casos, deberá aplicarse sólo en ciertas frecuencias específicas que se derivan del voltaje general aplicado sobre las células de memoria seleccionadas. Un ejemplo sencillo de esto es el caso donde se realiza una medición de la capacidad con respecto al voltaje de polarización, con un voltaje de sondeo de alta frecuencia aplicado a una frecuencia ω , superpuesto sobre un voltaje de polarización de baja frecuencia, a una frecuencia Ω . Suponiendo una respuesta lineal, es suficiente, en este caso, efectuar el equilibrio de los potenciales de líneas de palabra y bit a través de las células no seleccionadas, a frecuencia ω .

Principalmente, y como se ha mencionado en la introducción, la presente invención se centra en la eliminación o reducción de los acoplamientos capacitivos. Por ello, es un aspecto importantísimo de la invención la eliminación de la recogida capacitiva en el proceso de lectura.

A altas frecuencias, la lectura, adicionalmente, puede corromperse por la recogida parasitaria causada por los acoplamientos inductivos y radiantes con

las líneas de palabra y bit en el resto de la matriz. Aunque estos dos acoplamientos, según se muestra en una sección precedente, son de menor importancia, un aspecto adicional, y no totalmente despreciable, de la presente invención, es la minimización de la recogida de señales parasitarias que surgen también de dichos acoplamientos. Esto se logra según una clase de realizaciones de la presente invención, determinando que, durante el ciclo de lectura, todas las líneas de palabra y bit no direccionadas sean inducidas a coejecutar variaciones de potencial a fin de emular los componentes de señales relevantes impresos sobre la línea de bit o el grupo de líneas de bit activas. Esto, por supuesto, ignora los efectos de retardo, pero, en la mayoría de los dispositivos de memoria prácticos, cada matriz de direccionamiento será lo bastante pequeña, y las frecuencias lo bastante bajas, como para que esta aproximación sea válida.

El ejemplo de excitación de célula individual dado en las figs. 4a y 4b muestra cómo se evita la recogida capacitiva de las células no direccionadas en las líneas de palabra inactivas que cruzan la línea de bit activa, por medio de la aplicación coordinada de voltajes sobre todas las líneas de palabra inactivas, de manera tal que los únicos voltajes no despreciables de excitación de señal reducida ocurran a través de la célula direccionada. En lo que sigue, se abordará el problema de la incorporación de los principios expuestos en la presente invención a matrices que contengan una pluralidad de líneas de palabra y bit, y se describirán algunas realizaciones preferidas. Se entiende que esto último no representará en modo alguno el ámbito total de la presente invención.

Una primera realización del procedimiento según la invención se expondrá ahora con referencia a las figs. 5 - 8, en donde una única célula de memoria se direcciona al azar.

En la fig. 5 se muestra una lectura matricial pasiva de una única célula de memoria, efectuada con una línea de palabra activa LPA y una línea de bit activa LBA, ambas galvánicamente aisladas de las líneas de palabra y bit inactivas.

En particular, la fig. 5 muestra cómo se evita la recogida capacitiva de las células no direccionadas en la línea de palabra activa LPA y la línea de bit activa LBA, respectivamente, por medio de la aplicación coordinada de voltajes en todas las líneas de palabra inactivas LPI y de bit inactivas LBI, de manera tal que sólo los voltajes no despreciables tengan lugar a través de y en la célula direccionada 1. Como puede verse en la figura, esto se logra al reflejar todas las líneas de palabra inactivas LPI el potencial instantáneo en la línea de bit activa LBA y al reflejar simultáneamente todas las líneas de bit inactivas LBI el potencial instantáneo en la línea de palabra activa LPA. De esta manera, ningún voltaje aparece a través de ninguna de las células no direccionadas en la línea de palabra activa LPA y, a la vez, ningún voltaje aparece a través de ninguna de las células no direccionadas en la línea de bit activa LBA.

En el esquema ilustrado en la fig. 5, las líneas de palabra y de bit, activas e inactivas, son alimentadas desde dos generadores 2, 2' de señal, galvánicamente separados, pero mutuamente coordinados, por lo cual la medición de capacidad en la célula direccionada 1 puede llevarse a cabo directamente a través de los terminales hacia la línea de palabra y bit activa, por medio de una amplia gama de técnicas y hardware.

La fig. 6 muestra cómo es detectada la corriente de respuesta por un circuito 3 amplificador sensor en la línea de bit activa LBA, mientras que la línea de palabra activa LPA es alimentada por el generador 2 de señales con una baja impedancia de origen. Las líneas de bit inactivas LBI pueden, optativamente, conectarse con la línea de palabra activa LPA, según se muestra. La fig. 6 ilustra de esta manera lo que puede verse como una subclase del esquema de la fig. 5, donde las líneas de bit inactivas LBI están directamente empalmadas por voltaje a la línea de palabra activa LPA. Se supone ahora que el generador 2 de señal de la línea de palabra está "tieso", es decir, que tiene una muy baja impedancia de origen, y que la corriente de respuesta es detectada por un circuito 3 amplificador sensor que registra la corriente que fluye en la línea de bit activa LBA según se recorre el protocolo de voltaje del ciclo de lectura. Los potenciales en las líneas de palabra inactivas LPI son inducidos a reflejar el potencial en la línea de bit activa LBA por medio del generador esclavo 2' de señales, mostrado en la fig. 5. Aunque las líneas de bit inactivas LBI no proporcionan una contribución de corriente capacitiva a la línea de bit activa LBA a través de las células no seleccionadas, el esquema en la fig. 6 tiene ciertos atributos útiles, p. ej., al proporcionar el control de los potenciales sobre las líneas de bit inactivas LBI. Una alternativa más sencilla, por supuesto, es permitir que floten las líneas de bit inactivas.

La fig. 7 muestra un esquema similar al mostrado en la fig. 6, nuevamente con una célula seleccionada 1, pero ahora con todas las líneas LP y LB en la matriz de electrodos empalmadas al potencial de línea de bit activa por medio de un generador esclavo 2' de señales. La fig. 7 muestra así otra subclase del esquema de la fig. 5. Aquí, todas las líneas en la matriz, excepto la línea de palabra activa LPA, están empalmadas al potencial de la línea de bit activa. Una ventaja de este esquema es que no sólo se eliminan todas las líneas de palabra inactivas LPI que cruzan la línea de bit activa LBA, como fuentes de señales parasitarias, sino que se elimina la recogida de las otras partes de la matriz, en particular, la recogida capacitiva de las líneas de bit relativamente próximas.

Las variantes de la primera realización según la invención, mostradas en las figs. 5, 6 y 7 garantizan que, toda vez que la línea de bit activa LBA cruza una línea de palabra inactiva LPI, la célula en ese punto experimenta un voltaje cercano a cero a través de sí, y la única contribución no despreciable a la corriente de línea de bit que fluye a través del amplificador sensor 3 es desde la célula direccionada 1. Un circuito amplificador sensor 3 puede configurarse según se muestra en la fig. 8, que ilustra cómo pueden definirse líneas de bit activas LBA en la descarga virtual a tierra. Esta es una configuración estándar para medir la capacidad, pero puede emplearse para cualquiera de las modalidades de detección relevantes en el presente contexto. Al emplear un amplificador operativo con alta ganancia, el terminal de entrada y, por ello, la línea de bit, puede empalmarse en un potencial deseado, que puede seleccionarse a voluntad, pero que, en muchos casos prácticos, será idéntico al de la descarga a tierra del sistema. En ese caso, el punto de conexión con la línea de bit activa LBA será definida, en lo que sigue, como la descarga virtual a tierra. Empleando un circuito de detección con descarga virtual a tierra, se observa en la fig. 7 que la matriz entera, ex-

cepto la línea de palabra activa LPA, permanece en el potencial de descarga a tierra. Esto tiene obvias consecuencias beneficiosas, en términos de simplicidad y de protección contra la recogida de señales parasitarias. En este caso, la oscilación de voltaje (voltaje de polarización y de sondeo) a través de la célula seleccionada 1 proviene totalmente de la línea de palabra activa LPA, pero se mantiene el principio básico del equilibrio de potenciales a través de las células no seleccionadas.

Una segunda realización del procedimiento según la invención, por la cual las líneas de palabra LP son direccionadas en paralelo, se expondrá ahora con referencia a la fig. 9. Nuevamente se utiliza el direccionamiento matricial pasivo, pero ahora con el direccionamiento simultáneo de una fila completa de células de memoria en una línea de palabra, mientras que se suprimen a la vez las señales parasitarias.

En esta segunda realización, cada línea de bit es leída en paralelo con una o más y, potencialmente, con todas las otras líneas de bit, por los circuitos amplificadores sensores dedicados 3, conectados con cada línea de bit LB; véase la fig. 9. Así, la matriz entera, con la excepción de la única línea de palabra direccionada LPA, puede mantenerse en un potencial común por todo el ciclo de lectura, con todas las líneas de palabra inactivas LPI empalmadas a un potencial escogido, p. ej., el de tierra, mientras que la línea de palabra activa LPA se conecta con un generador 2 de señales que proporciona una polarización de voltaje, así como un voltaje de sondeo de señal reducida. Este generador 2 de señales tiene una baja impedancia de origen, es decir, puede mantener los voltajes programados de señales de polarización y de prueba en la línea de palabra activa LPA conectada, sin verse afectado por los drenajes de corriente a las líneas de bit que se cruzan. Cada línea de bit individual LB tiene un circuito amplificador sensor 3 asociado con ella, similar, p. ej., al mostrado en la fig. 7, por el cual puede determinarse el flujo de corriente en cada línea de bit. El potencial en las entradas del amplificador sensor y, por ello, las líneas de bit LB, se mantiene en la descarga virtual a tierra, garantizando que no tiene lugar ninguna transferencia de carga capacitiva en las células que enlazan las líneas de bit LB con las líneas de palabra inactivas (no direccionadas) LPI.

En esta realización, pueden lograrse dos importantes ventajas:

1) Además de eliminar la recogida capacitiva de la carga de las células no direccionadas en las líneas de bit activas LBA, también es deseable minimizar la interacción cruzada, por los acoplamientos capacitivos y, acaso, también inductivos o radiantes, con las líneas de palabra y bit en el resto de la matriz de direccionamiento. Tales problemas se ven exacerbados según aumentan las frecuencias de señales y/o disminuyen las distancias físicas entre las líneas de palabra y de bit, es decir, según el diseño del dispositivo se moldea con miras a mayores prestaciones. Con la presente realización preferida, puede lograrse una recogida sumamente reducida de contribuciones parasitarias a las señales de lectura, ya que la matriz entera (excepto la línea de palabra activa) puede mantenerse en el mismo potencial, es decir, el de tierra. Esto brinda oportunidades para una recogida sumamente reducida de contribuciones parasitarias a las señales de lectura.

2) Como cada línea de bit LB cruza la línea de palabra activa (direccionada) LPA y está dotada de su

amplificador sensor 3 individual, es posible la lectura paralela de todas las células en la línea de palabra direccionada LPA, con un incremento conmensurable en la velocidad de los datos de salida desde la matriz.

Como es evidente para la persona versada en la técnica electrónica, la segunda realización ofrece posibilidades para lograr la simplificación del control del potencial por cableado directo.

Esto se expondrá conjuntamente con las figs. 10 y 11, que muestran el diseño de un primer y segundo dispositivo, respectivamente, ambos empleados para llevar a cabo la segunda realización según la invención.

En el esquema de acceso completo a línea de palabra descrito anteriormente, se ha supuesto que cada línea de bit tenía un circuito amplificador sensor 3 dedicado, asociado a ella. Generalmente, se desea empaquetar células en la matriz tan estrechamente como sea posible, lo que implica que debería minimizarse el grado de la línea de bit. Esto, sin embargo, lleva al amontonamiento a lo largo de la formación de circuitos amplificadores sensores en el borde de la matriz, y el problema se exagera según los circuitos amplificadores sensores aumentan en complejidad.

Una forma de evitar el problema del amontonamiento es reducir el número de circuitos gobernadores de líneas de palabra y los circuitos amplificadores sensores de líneas de bit, conectándolos con las líneas de palabra y de bit LP, LB en la matriz por medio de conmutadores o encaminadores que consuman menos espacio vital. Con este fin, la fig. 10, en particular, muestra un primer dispositivo según la invención, para implementar un esquema de lectura de palabra completa, que emplea una conexión de línea de palabra activa multiplexada en el tiempo, sincronizada con el empalme conmutado de las líneas de palabra inactivas LP al potencial a tierra, conjuntamente con líneas de bit BL con circuitos de detección que empalman las líneas de bit a la descarga virtual a tierra. En un extremo de cada línea de bit BL se conecta un circuito amplificador sensor 3 similar al mostrado en la fig. 8, y se empalma a la descarga virtual a tierra. Para cada circuito amplificador sensor 3 hay un amplificador 4 de bloqueo con una salida para la señal de lectura y una entrada para la señal de referencia. La señal de referencia es generada por una fuente combinada 5 de voltaje de polarización y de señal, con una señal de salida de referencia conectada con los amplificadores 4 de bloqueo. La fuente 5 de voltaje de polarización y de señal también tiene una salida hacia un controlador 6 de líneas de palabra activas, que tiene una salida conectada con un multiplexador 7 que selecciona una línea de palabra LP para la lectura, es decir, la línea de palabra activa LPA, polarizando simultáneamente las líneas de palabra inactivas LPI según corresponda. Los extremos opuestos de las líneas de palabra se conectan a un banco 8 de compuertas de paso que permite el empalme de las líneas de palabra inactivas LPI a tierra, por medio del empleo de un medio 8' de conmutación adecuado. Por ello, puede leerse una línea de palabra completa, es decir, todas las células 1 de memoria, donde las líneas de bit LB cruzan las líneas de palabra activas LPA, pueden leerse en paralelo.

La fig. 11 muestra un segundo dispositivo según la invención, y bastante similar al de la fig. 10, pero ahora con la conexión multiplexada en el tiempo de las líneas de bit LB con los circuitos de detección. El dispositivo en la fig. 11 conecta un circuito amplifica-

dor sensor 3 de señales a la línea de bit activa LBA
 seleccionada, por medio de un multiplexador 9 de lí-
 nea de bit activa, conectable con un extremo de las
 líneas de bit LB. Como antes, el circuito amplificador
 sensor 3 está empalmado a la descarga virtual a tierra,
 y su salida está conectada a la entrada de un amplifi-
 cador 4 de bloqueo individual, con una primera salida
 para la señal de lectura y una entrada para la señal de
 referencia desde una fuente combinada 5 de voltaje
 de polarización y señal sensora. La disposición de la
 fuente combinada 5 de voltaje de polarización y señal
 sensora, de un controlador 6 de línea de palabra acti-
 va y de un multiplexador 7 de línea de palabra activa
 es la misma que en el dispositivo en la fig. 10 y, por
 supuesto, realiza las mismas funciones que en éste úl-
 timo. Además, en el dispositivo en la fig. 11, el otro
 extremo de las líneas de palabra LP está conectado a
 un banco 8 de compuertas de paso, que permite que
 las líneas de palabra inactivas LP se empalmen a la
 descarga a tierra, por medio del medio 8' de conmu-
 tación. Sin embargo, en el dispositivo en la fig. 11, se
 proporciona adicionalmente, en el otro extremo de las
 líneas de bit LB, un banco 10 de compuertas de paso
 de líneas de bit inactivas, que utiliza, similarmente, el
 medio 10' de conmutación, permitiendo que las líneas
 de bit inactivas LB se empalmen a la misma descarga
 a tierra que las líneas de palabra inactivas.

Como puede verse, el dispositivo en la fig. 11 im-
 plementa un esquema de lectura de fila completa, el
 cual, hasta cierto grado, se asemeja a los esquemas
 de lectura de fila completa para la lectura destructiva
 descrita en las solicitudes de patente pertenecientes al

presente solicitante. Sin embargo, es importante ob-
 servar que, al contrario de lo que ocurre con los esque-
 mas de lectura destructiva, la lectura de fila completa
 puede hacerse conjuntamente con la multiplexación,
 sin pérdida de datos. Como la lectura es no destruc-
 tiva en el presente caso, las células en las líneas de
 bit que no están direccionadas por los conmutadores
 o encaminadores en un ciclo dado de lectura retienen
 su estado lógico. Así, puede leerse una fila completa
 de células por la aplicación repetida de la excitación
 de la línea de palabra completa, conjuntamente con la
 lectura secuencial en el circuito o circuitos amplifica-
 dor(es) sensor(es).

Debería ser obvio para las personas versadas en
 la técnica que la realización del procedimiento y dis-
 positivo según la invención se da solamente a manera
 de ejemplo y que en modo alguno se considerará co-
 mo limitadora. P. ej., debería ser evidente que diversos
 esquemas para implementar las necesarias funciones
 de conmutación, control y multiplexación a fin de lle-
 var a cabo, al menos, el procedimiento según la in-
 vención, pueden ser ideados por personas versadas en
 la técnica, y sin imponer ninguna restricción sobre el
 procedimiento según la invención, de manera tal que
 el objeto principal de la invención, esto es, la elimina-
 ción de los acoplamientos capacitivos en una forma-
 ción de memoria pasiva matricialmente direccionable
 de estructuras similares a condensadores, con un ma-
 terial de memoria polarizable, sea satisfecha en todo
 caso, cuando la diferencia de potencial a través de las
 células no direccionadas se acerque al cero.

REIVINDICACIONES

1. Un procedimiento para determinar un estado lógico de células (1) de memoria seleccionadas, proporcionadas en un dispositivo pasivo de almacenamiento de datos, matricialmente direccionable, que contiene líneas de palabra y de bit (LP; LB), en el cual a un estado lógico específico se asigna un único valor lógico, según un protocolo predeterminado, en donde dichas células (1) almacenan datos en forma de un estado de polarización eléctrica en estructuras similares a condensadores, que comprenden un material polarizable, en particular, un material ferroeléctrico o "electret", capaz de manifestar histéresis, en donde dicho material polarizable es capaz de mantener una polarización eléctrica no volátil en ausencia de un voltaje impreso externamente a través de dichas estructuras similares a condensadores, en donde tiene lugar una selección de células de memoria al activar la línea de palabra (LP) o la línea de bit (LB), o ambas, que se cruzan en una célula (1) de memoria en cuestión, en donde la activación de una línea de palabra (LP) o de una línea de bit (LB) se efectúa por medio de diferencias de potencial entre las mismas, aplicadas externamente, sometiendo así a dichas células seleccionadas (1) a un voltaje de sondeo de señal reducida, que surge de la diferencia de potencial aplicada, por lo cual se genera una corriente de respuesta desde dichas células, en donde dicho voltaje de sondeo de señal reducida depende del tiempo, en forma arbitrariamente seleccionable, y tiene amplitudes y/o duraciones de voltaje menores que aquellas requeridas para causar un cambio significativo permanente en los estados de polarización de dichas células, en donde dicho estado lógico se determina detectando componentes en dicha corriente de respuesta desde dicha célula seleccionada (1), en donde los componentes en dicha corriente de respuesta están temporalmente correlacionados con dicho voltaje de sondeo de señal reducida, o con las señales de referencia derivadas del mismo, en donde una decisión sobre un estado lógico de una célula seleccionada se lleva a cabo sobre la base de una comparación de dicha corriente de respuesta con un conjunto de criterios predefinidos, y en donde los potenciales que dependen del tiempo se aplican sobre líneas seleccionadas de palabra y de bit (LP; LB) o bien grupos de líneas de palabra y bit, estando dichos potenciales que dependen del tiempo mutuamente coordinados en magnitud y en tiempo, de manera tal que los voltajes resultantes a través de todas, o de algunas, de las células no seleccionadas en los puntos de cruce entre las líneas de palabra inactivas (LPI) y una línea o líneas de bit activas (LBA), y/o entre líneas de bit inactivas (LBI) y al menos una línea de palabra activa (LPA) lleguen a contener sólo componentes de voltaje despreciables que estén temporalmente correlacionados con dicho voltaje de sondeo de señal reducida, o con las señales de referencia derivados del mismo.

2. Un procedimiento según la reivindicación 1, en el cual una única línea de palabra activa (LP) se activa cada vez.

3. Un procedimiento según la reivindicación 1, en el cual las líneas de palabra y/o bit inactivas (LPI; LBI) están sometidas a potenciales que rastrean dinámicamente, con gran fidelidad y en tiempo real, los voltajes aplicados, respectivamente, a las líneas de bit y/o palabra activas.

4. Un procedimiento según la reivindicación 3, en

el cual los potenciales sobre las líneas de palabra inactivas (LPI) están controlados por fuentes de señales dedicadas que derivan una señal desde una línea o líneas de bit activa(s) (LBA) para rastrear dinámicamente el potencial en dicha línea o líneas de bit activa(s).

5. Un procedimiento según la reivindicación 3, en el cual los potenciales en las líneas de bit inactivas (LBI) están controlados por fuentes de señales dedicadas que derivan una señal de una línea de palabra activa (LPA) para rastrear dinámicamente el potencial en dicha línea de palabra activa.

6. Un procedimiento según la reivindicación 3, en el cual los potenciales en las líneas de palabra inactivas (LPI) se controlan bloqueando eléctricamente las mismas, por medio de conmutadores, y conectando con el potencial en una o más líneas de bit activas (LBA).

7. Un procedimiento según la reivindicación 3, en el cual los potenciales en líneas de bit inactivas (LBI) se controlan bloqueando eléctricamente las mismas, por medio de conmutadores, y conectando con el potencial en una línea de palabra activa (LPA).

8. Un procedimiento según la reivindicación 1, en el cual se emplea un circuito electrónico activo conectado con cada línea de bit activa (LBA), que mantiene el potencial en una línea de bit activa en un valor predefinido.

9. Un procedimiento según la reivindicación 8, en el cual dicho valor predefinido se selecciona como un potencial de descarga a tierra del sistema.

10. Un procedimiento según la reivindicación 8, en el cual todas las líneas de bit (LB) son líneas de bit activas (LBA).

11. Un procedimiento según la reivindicación 8, en el cual se proporciona un multiplexador (7) o bien un banco (8) de compuertas de paso para conectar una línea de bit activa (LBA) a la vez con un circuito electrónico activo que mantiene el potencial en dicha línea de bit activa en el valor predefinido.

12. Un procedimiento según la reivindicación 8, en el cual se proporciona un multiplexador (7) o bien un banco (8) de compuertas de paso para conectar un conjunto seleccionado de líneas de bit activas (LBA) a la vez con un conjunto de circuitos electrónicos activos, que mantienen el potencial en las líneas de bit activas en el valor predefinido.

13. Un procedimiento según la reivindicación 8, en el cual un circuito electrónico activo proporciona información acerca de la carga o corriente que fluye en dicha línea de bit activa (LBA).

14. Un procedimiento según la reivindicación 1, en el cual las líneas de palabra inactivas (LPI) se bloquean brevemente al potencial de descarga a tierra del sistema por medio de un banco de compuertas (8) de paso o de conmutadores.

15. Un procedimiento según la reivindicación 1, en el cual las líneas de bit inactivas (LBI) se bloquean brevemente al potencial de descarga a tierra del sistema por medio de un banco de compuertas (8) de paso o de conmutadores.

16. Un procedimiento según la reivindicación 1, en el cual se proporciona un multiplexador (7) o un banco (8) de compuertas de paso para conectar una línea de palabra activa (LPA) a la vez con un circuito electrónico que controla el potencial en dicha línea de palabra activa según un protocolo predefinido.

17. Un procedimiento según la reivindicación 16,

en el cual dicho potencial en dicha línea de palabra activa (LPA) incluye una superposición de un voltaje de sondeo de señal reducida y un voltaje de polarización de fondo.

18. Un procedimiento según la reivindicación 1, en el cual se analiza una corriente de respuesta desde las células de memoria seleccionadas con un procedimiento de vagón de carga, empleando dicho procedimiento de vagón de carga señales de sincronización derivadas de circuitos que controlan los potenciales en una línea de palabra activa (LPA) y/o en una o más líneas de bit activas (LBA).

19. Un procedimiento según la reivindicación 1, en el cual se analiza la corriente de respuesta de las células (1) de memoria seleccionadas con un procedimiento de bloqueo, empleando dicho procedimiento de bloqueo una o más señales de referencia en el dominio de frecuencias derivado de los circuitos que controlan los potenciales en dicha línea de palabra activa (LPA) y/o dichas líneas de bit activas (LBA).

20. Un procedimiento según la reivindicación 19, en el cual dicho análisis se realiza con una señal de referencia, derivada de un componente de voltaje de sondeo, del voltaje aplicado a través de dichas células (1) de memoria seleccionadas.

21. Un procedimiento según la reivindicación 19, en el cual dicho análisis se lleva a cabo con una señal de referencia, derivada de un componente de voltaje de polarización, del voltaje aplicado a través de dichas células (1) de memoria seleccionadas.

22. Un procedimiento según la reivindicación 19, en el cual dicho análisis es llevado a cabo con señales de referencia dual, estando derivada una señal de referencia de un componente de voltaje de sondeo, y una de un componente de voltaje de polarización del voltaje aplicado a través de dichas células (1) de memoria seleccionadas.

23. Un procedimiento según la reivindicación 19, en el cual dicho análisis de la corriente de respuesta se lleva a cabo utilizando componentes de frecuencia dominante de al menos uno de los siguientes, a saber, los armónicos fundamentales o superiores (2°, 3°, ...) de un voltaje de sondeo, en el caso en que dicho voltaje de sondeo contiene una única frecuencia dominante, o los armónicos fundamentales o superiores (2°, 3°, ...) de uno o más componentes de dicho voltaje de sondeo, donde dichos componentes contienen dos o más frecuencias dominantes separadas, o bien frecuencias de suma o de diferencia, generadas al añadir y/o restar dichas dos o más frecuencias dominantes.

24. Un dispositivo para realizar el procedimiento a fin de determinar un estado lógico de las células (1) de memoria seleccionadas, proporcionadas en un dispositivo pasivo de almacenamiento de datos matricialmente direccionable, que contiene líneas de palabra y de bit (LP; LB), en el cual a un estado lógico específico se asigna un único valor lógico según un protocolo predeterminado, en donde dichas células (1) almacenan datos en forma de un estado de polarización eléctrica en estructuras similares a condensadores, que comprenden un material polarizable, en particular, un material ferroeléctrico o "electret", capaz de manifestar histéresis, en donde dicho material polarizable es capaz de mantener una polarización eléctrica no volátil en ausencia de un voltaje impreso externamente a través de dichas estructuras similares a condensadores, en donde tiene lugar una selección de células de memoria al activar la línea de palabra (LP)

o la línea de bit (LB), o ambas, que se cruzan en la célula (1) de memoria en cuestión, en donde la activación de una línea de palabra (LP) o de una línea de bit (LB) se efectúa por medio de diferencias de potencial entre las mismas, externamente aplicadas, sometiendo así a dichas células (1) seleccionadas a un voltaje de sondeo de señal reducida que surge desde la diferencia de potencial aplicada, por lo cual se genera una corriente de respuesta desde dichas células, en donde dicho voltaje de sondeo de señal reducida depende del tiempo de manera arbitrariamente seleccionable, y tiene amplitudes y/o duraciones de voltaje menores que aquellas requeridas para causar un cambio significativo permanente en los estados de polarización de dichas células, en donde dicho estado lógico se determina detectando componentes en dicha corriente de respuesta desde dicha célula (1) seleccionada, en donde los componentes de la corriente de respuesta están temporalmente correlacionados con dicho voltaje de sondeo de señal reducida, o con las señales de referencia derivados del mismo, en donde una decisión acerca de un estado lógico de una célula seleccionada se lleva a cabo sobre la base de una comparación de dicha corriente de respuesta con un conjunto de criterios predefinidos, y en donde el dispositivo comprende generadores (2, 2') de señales, estando al menos un generador (2) de señales coordinado con al menos otro generador (2') de señales para la aplicación coordinada de voltajes en todas las líneas de palabra inactivas (LPI) y todas las líneas de bit inactivas (LBI), de manera tal que todas las líneas de palabra inactivas (LPI) estén sometidas al mismo potencial instantáneo que una línea de bit activa (LBA), y todas las líneas de bit inactivas (LBI) al mismo potencial instantáneo que una línea de palabra activa (LPA), en donde las células de memoria no seleccionadas están sometidas a un componente de voltaje despreciable, temporalmente correlacionado con el voltaje de sondeo de señal reducida o con las señales de referencia derivadas del mismo.

25. Un dispositivo según la reivindicación 24, en donde el dispositivo está conectado con, y forma parte de, un dispositivo de memoria ferroeléctrica con células (1) de memoria en una matriz direccionable pasiva, con un primer conjunto de electrodos que forman las líneas de palabra (LP) del dispositivo de memoria, y un segundo conjunto de electrodos que forman las líneas de bit (LB) del mismo, y en donde las líneas de bit inactivas (LBI) están directamente empalmadas a un potencial de línea de palabra activa (LPA) por medio de un generador (2) de señales compartido para la aplicación coordinada de voltaje a dichas líneas, teniendo el generador (2) de señales compartido una baja impedancia de origen.

26. Un dispositivo según la reivindicación 24, en el cual todas las líneas de palabra (LP), excepto una línea de palabra activa (LPA) y todas las líneas de bit (LB), están directamente empalmadas a un potencial de línea de bit activa (LBA) por medio de un generador (2') de señales esclavo, para la aplicación coordinada de voltajes a dichas líneas.

27. Un dispositivo según la reivindicación 24, que comprende adicionalmente uno o más circuitos (3) amplificadores sensores, conectables con el dispositivo para detectar los componentes de la corriente de respuesta desde la célula (1) seleccionada, y uno o más amplificadores (4) de bloqueo, cada uno de ellos conectado con una salida de uno o más circuitos (3)

amplificadores sensores respectivos, para correlacionar temporalmente dichos componentes con el voltaje

de sondeo de señal reducida o las señales de referencia derivadas de éste último.

5

10

15

20

25

30

35

40

45

50

55

60

65

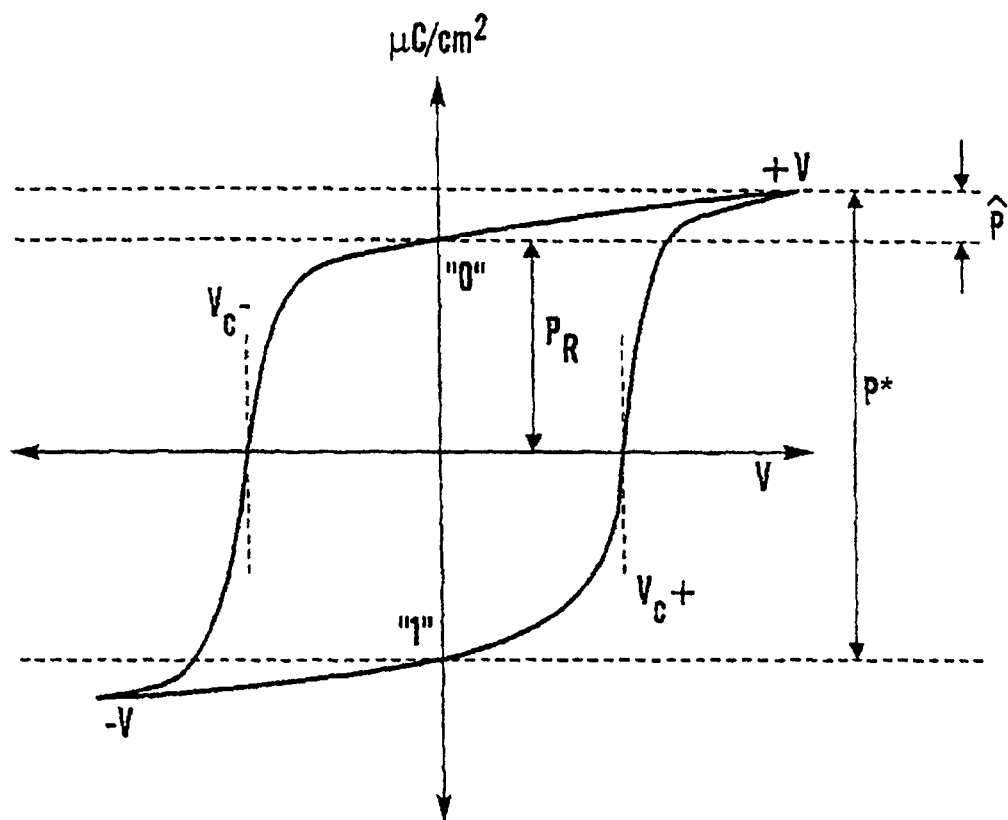
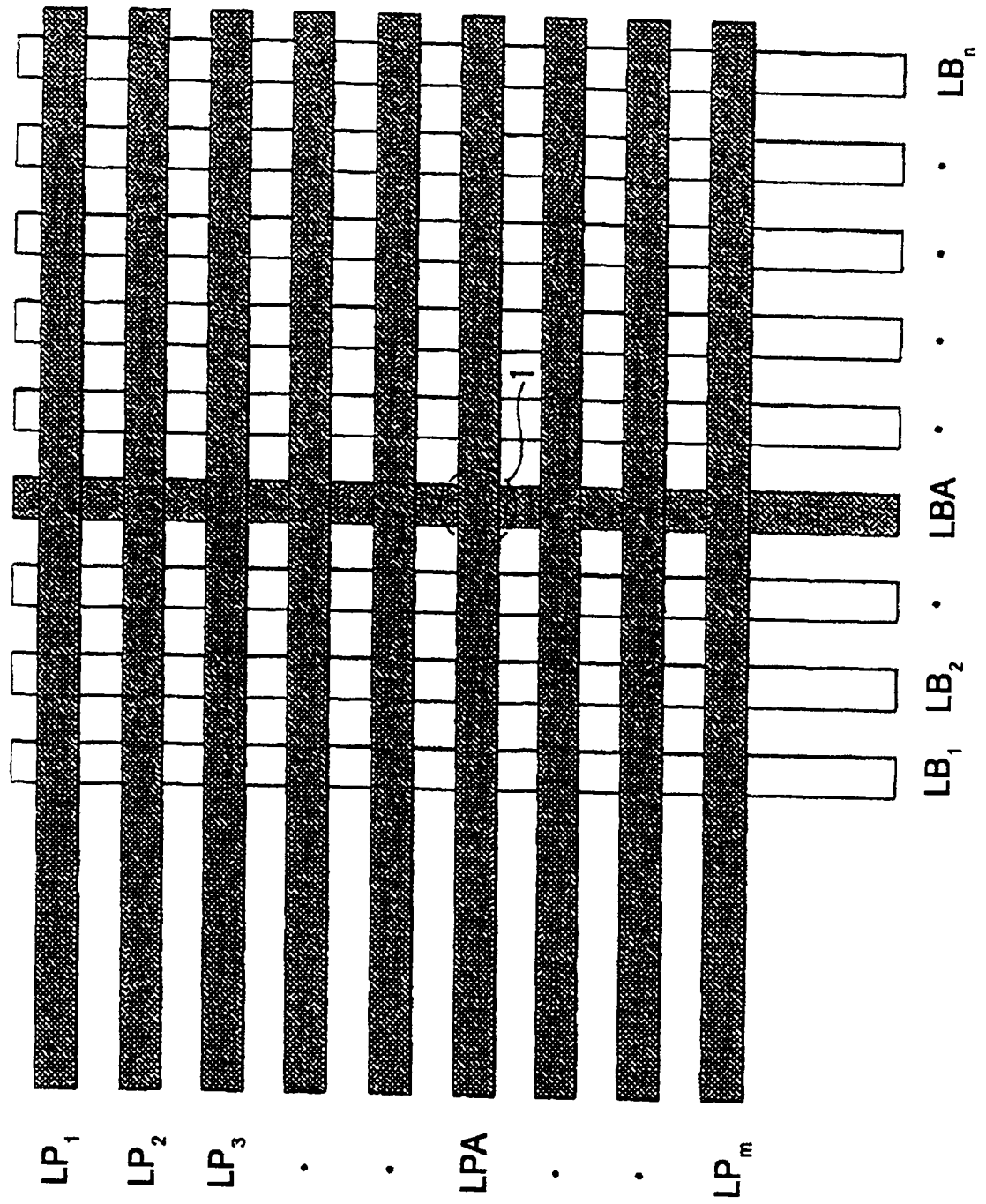


Fig. 1



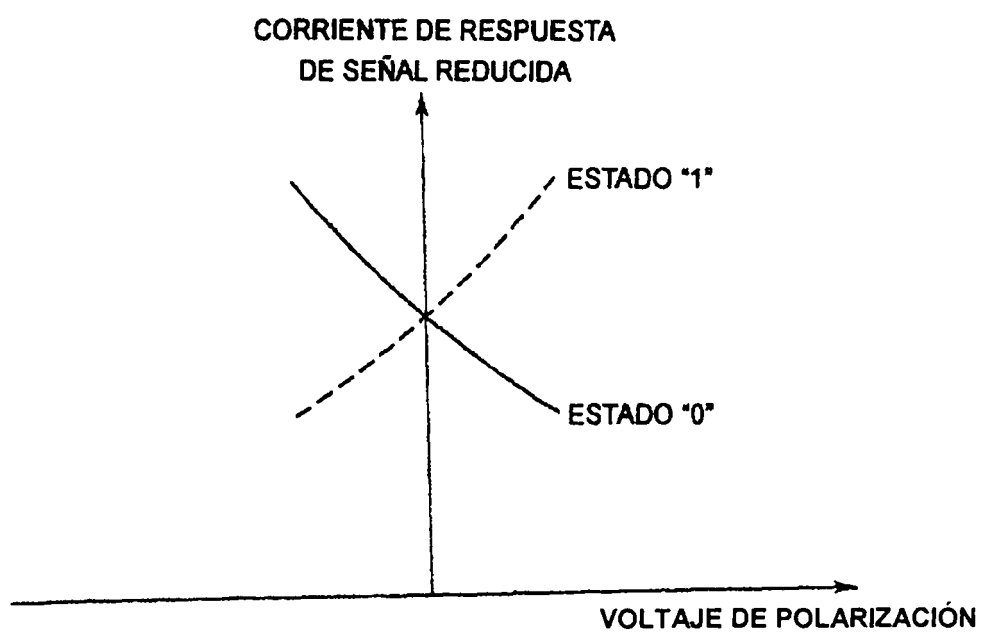


Fig.3

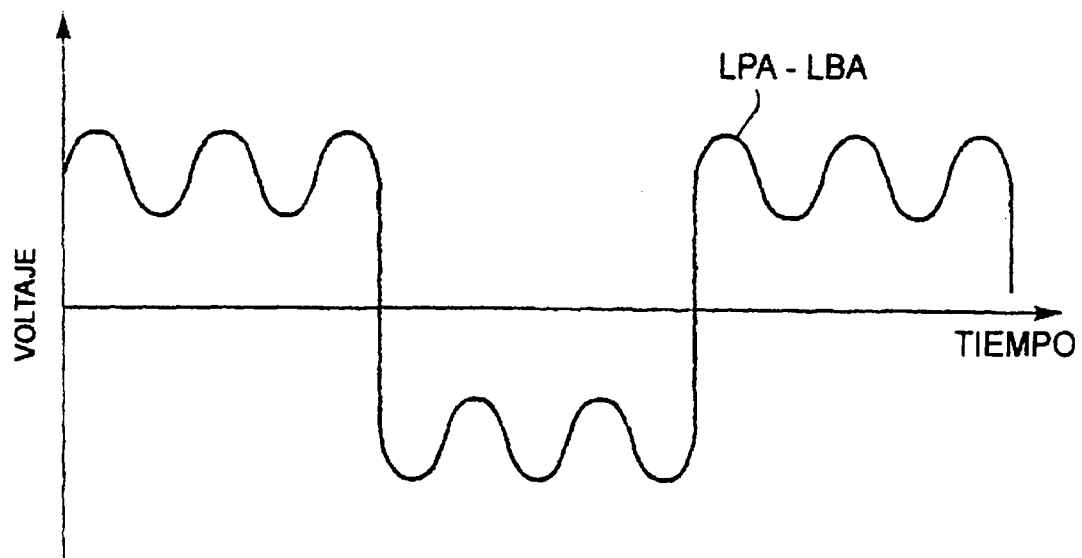


Fig.4a

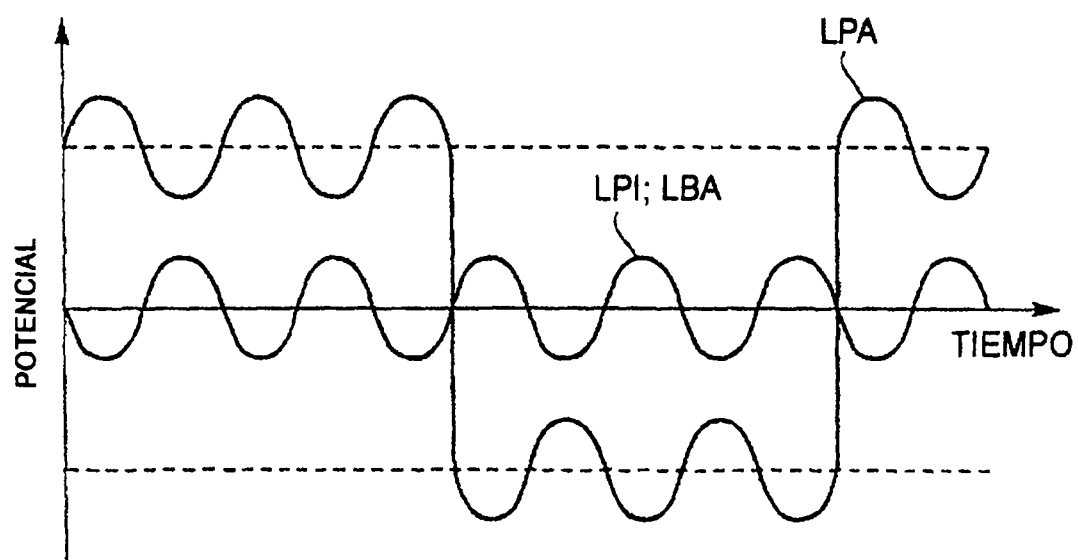


Fig.4b

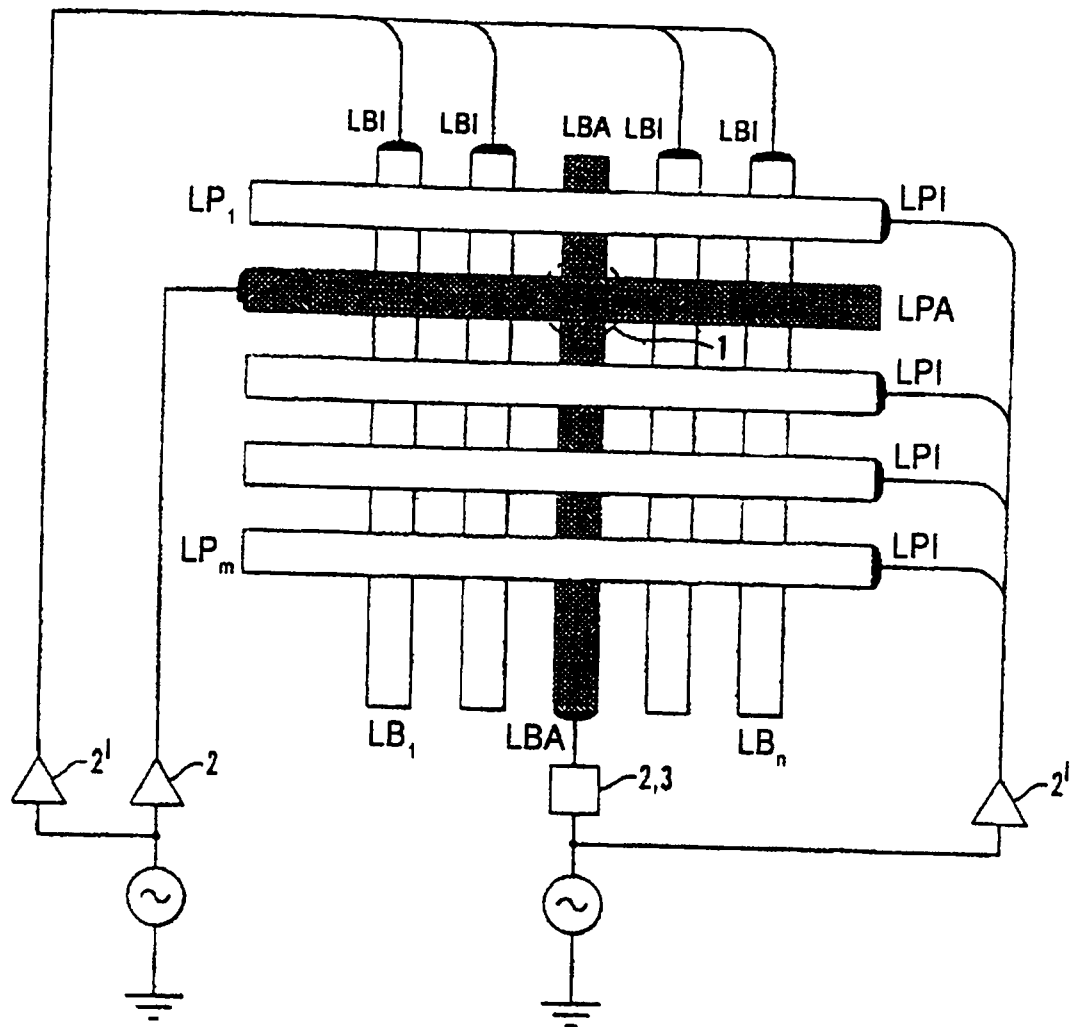


Fig.5

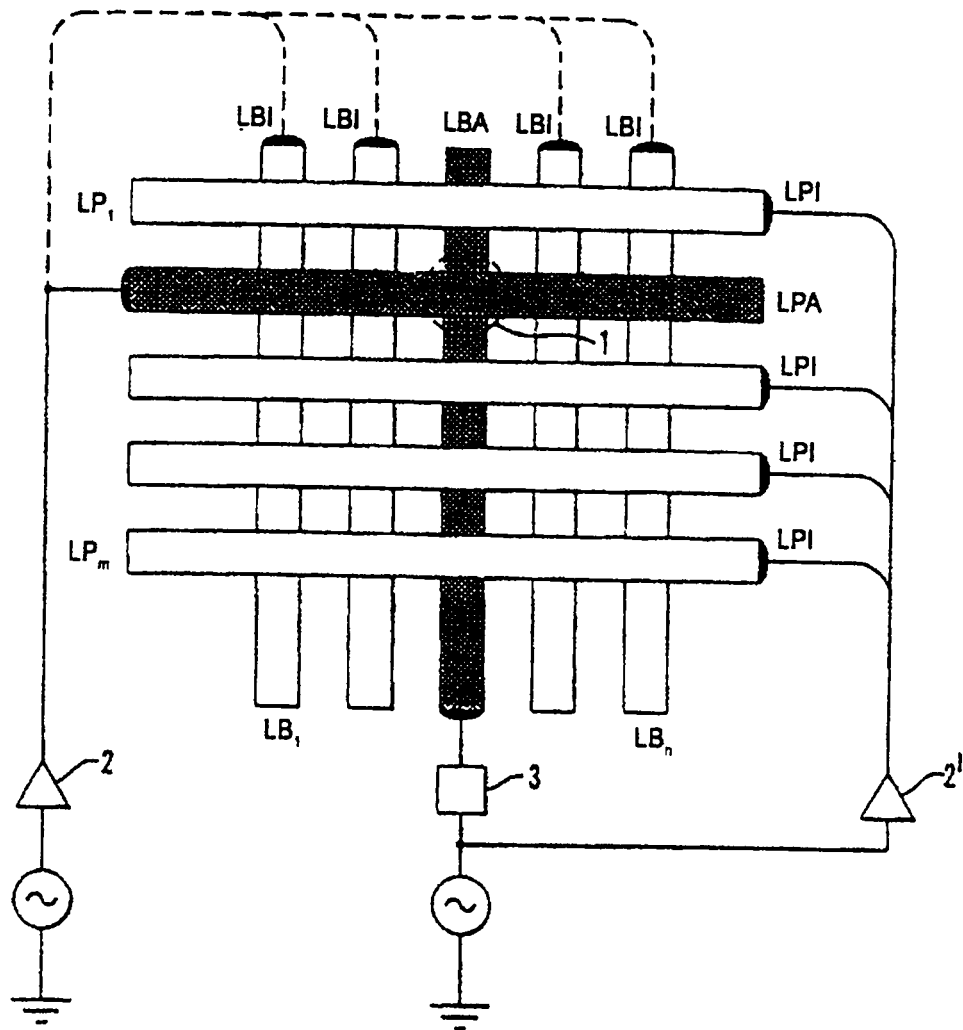


Fig.6

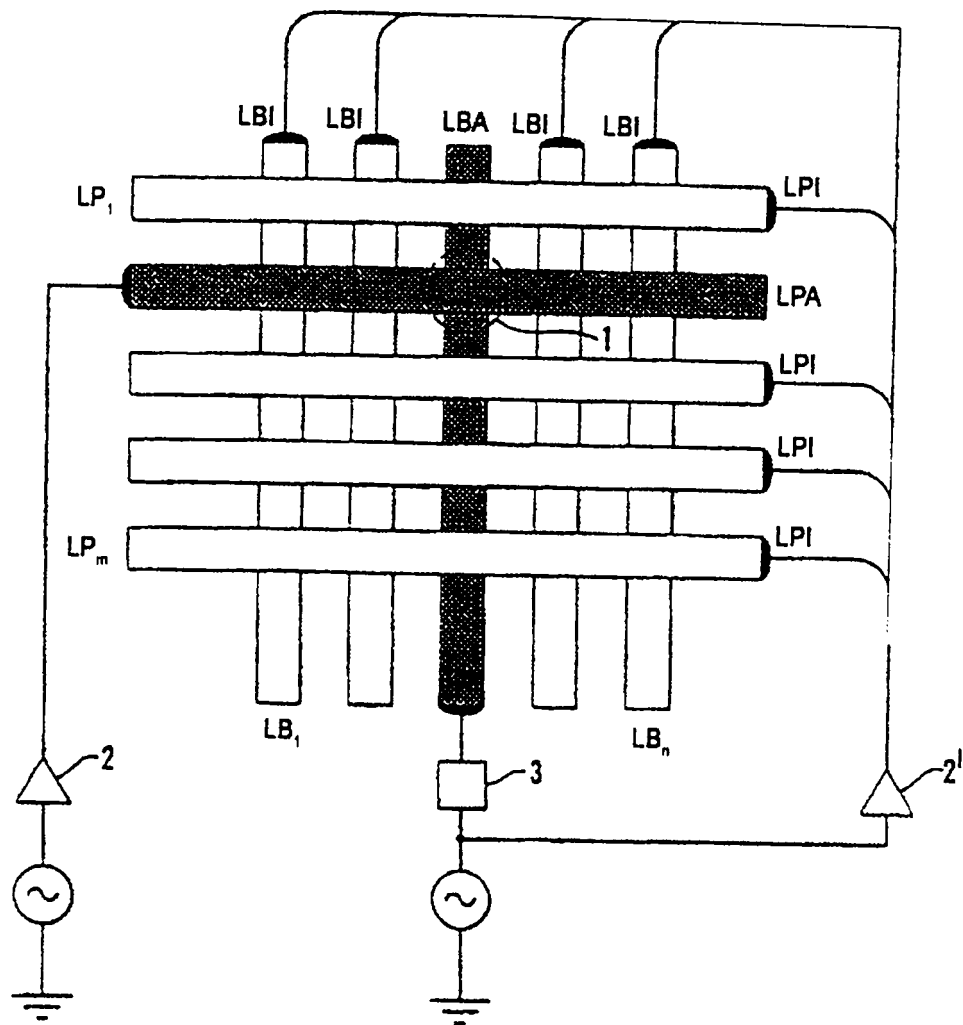


Fig.7

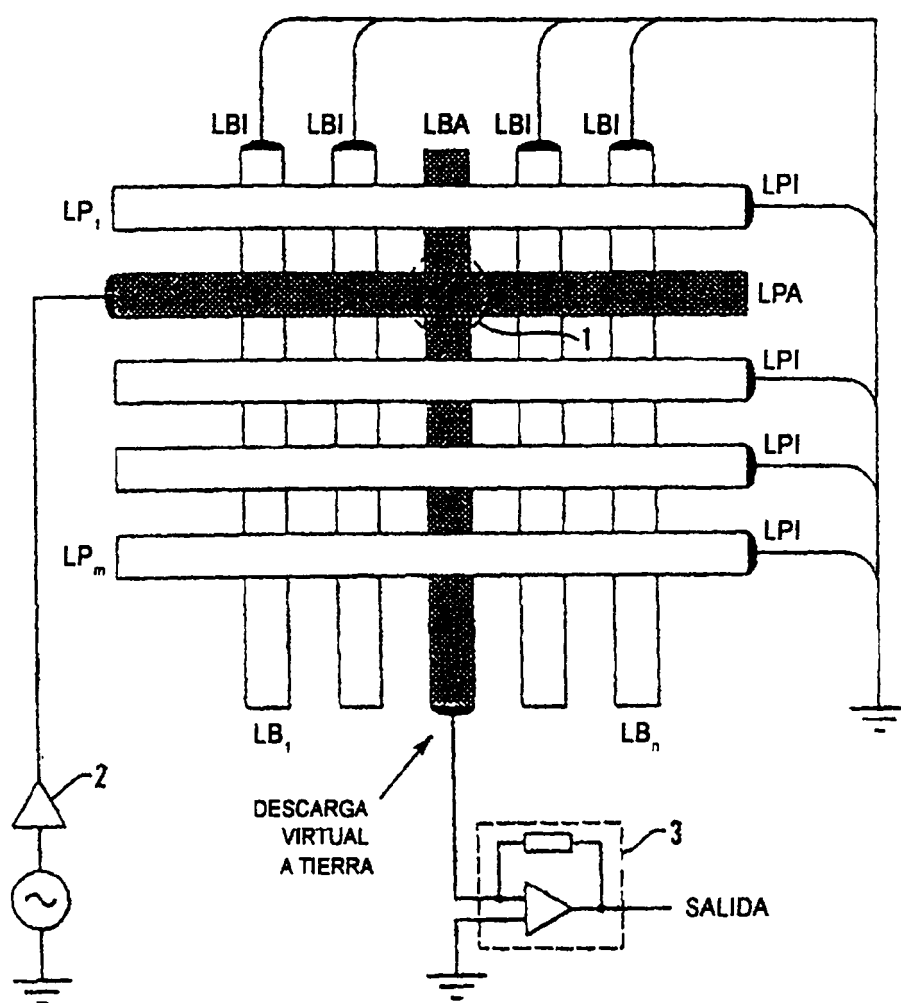


Fig.8

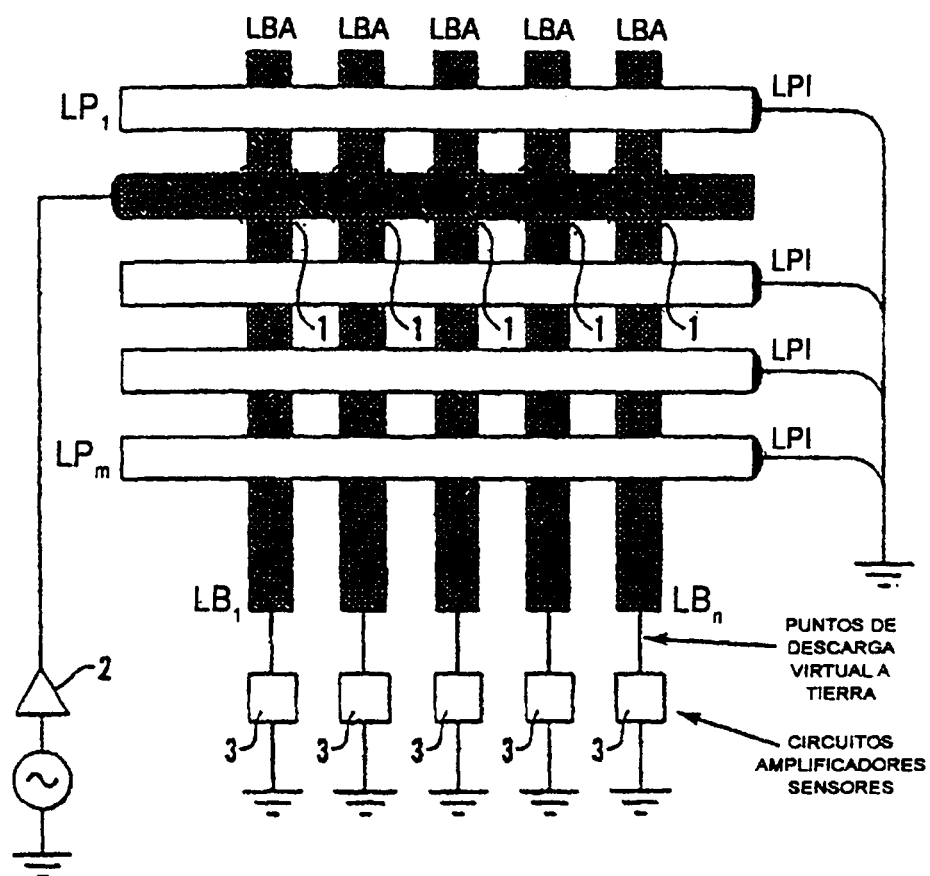


Fig. 9

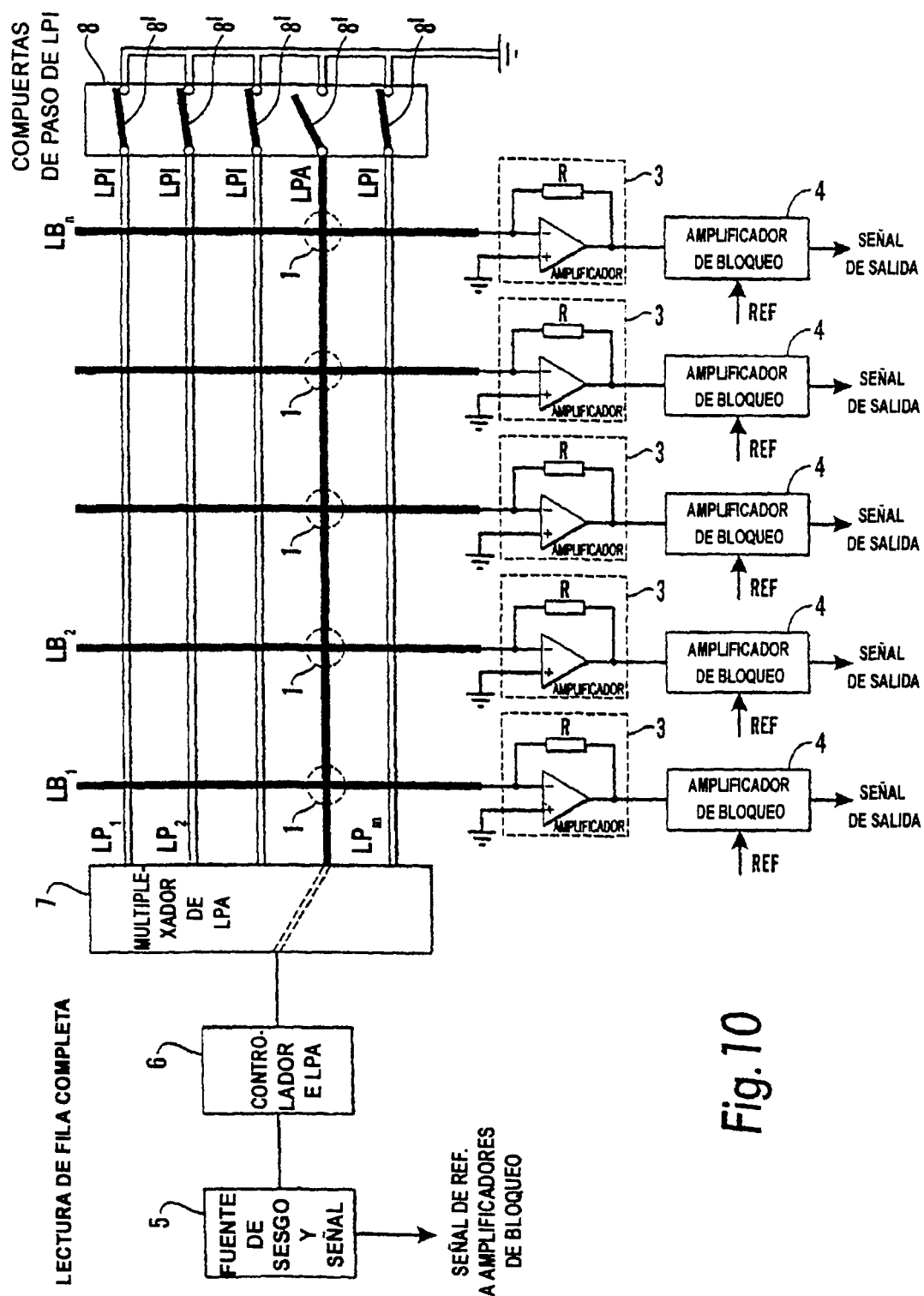


Fig. 10

Fig. 17

