

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-107725

(P2018-107725A)

(43) 公開日 平成30年7月5日(2018.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 4 N 5/357 (2011.01)	HO 4 N 5/335 5 7 O	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O	5 C 0 2 4
HO 4 N 5/225 (2006.01)	HO 4 N 5/225 C	5 C 1 2 2
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 E	
	HO 1 L 27/14 A	
審査請求 未請求 請求項の数 14 O L (全 35 頁)		

(21) 出願番号 特願2016-254364 (P2016-254364)
 (22) 出願日 平成28年12月27日 (2016.12.27)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 田代 和昭
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 Fターム(参考) 4M118 AA05 AA10 AB01 BA07 CA05
 CA07 CB01 CB02 CB06 CB08
 CB14 CB20 DB09 DB11 FA06
 FB23 GC07 GD03 GD04

最終頁に続く

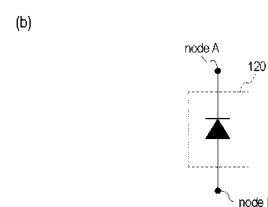
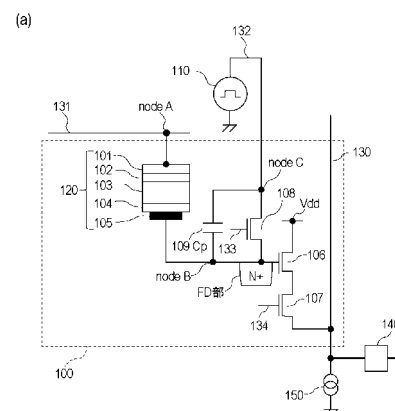
(54) 【発明の名称】 光電変換装置、撮像システム

(57) 【要約】

【課題】 画素領域の回路面積の増大を抑制しながら、ノイズを低減した信号を出力する光電変換装置を実現する。

【解決手段】 同一の配線を介して容量素子の第1ノードおよびトランジスタに接続され、値の異なる複数の電圧を同一の配線に出力する電圧制御部を有する光電変換装置である。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板と、画素とを備え、
前記画素は、
第 1 電極と、前記第 1 電極および前記半導体基板の間に配された第 2 電極と、前記第 1 電極および前記第 2 電極の間に配された光電変換層とを含む光電変換部と、
増幅トランジスタと、
前記第 2 電極と前記増幅トランジスタのゲートに接続された不純物拡散部と、
オンすることによって、前記不純物拡散部の電圧をリセットするトランジスタと、
第 1 ノードと第 2 ノードとを備え、前記第 1 ノードに前記不純物拡散部に接続された容量素子とを有する光電変換装置であって、
前記光電変換装置は、同一の配線を介して前記第 2 ノードおよび前記トランジスタに接続されるとともに、値の異なる複数の電圧を前記同一の配線に出力する電圧制御部を有することを特徴とする光電変換装置。

10

【請求項 2】

前記画素が複数行および複数列に渡って配され、
前記複数の電圧が前記トランジスタを介して前記不純物拡散部に入力されることによって、前記増幅トランジスタのオンとオフが切り替わることを特徴とする請求項 1 に記載の光電変換装置。

20

【請求項 3】

前記光電変換層の蓄積期間において、前記電圧制御部は前記同一の配線に、第 1 電圧を供給し、
前記増幅トランジスタが信号を出力する期間において、前記電圧制御部は前記同一の配線に、前記第 1 電圧とは値の異なる電圧である第 2 電圧を供給し、
前記第 1 電圧が、前記増幅トランジスタがオフの状態となる電圧であることを特徴とする請求項 2 に記載の光電変換装置。

30

【請求項 4】

半導体基板と、画素と、出力線とを備え、
前記画素は、
第 1 電極と、前記第 1 電極および前記半導体基板の間に配された第 2 電極と、前記第 1 電極および前記第 2 電極の間に配された光電変換層とを含む光電変換部と、
増幅トランジスタと、
前記第 2 電極と前記増幅トランジスタのゲートに接続された不純物拡散部と、
オンすることによって、前記増幅トランジスタと前記出力線との間の電気的経路を導通させるトランジスタと、
第 1 ノードと第 2 ノードとを備え、前記第 1 ノードに前記不純物拡散部に接続された容量素子とを有する光電変換装置であって、
前記光電変換装置は、同一の配線を介して前記第 2 ノードおよび前記トランジスタのゲートに接続されるとともに、値の異なる複数の電圧を前記同一の配線に出力する電圧制御部を有することを特徴とする光電変換装置。

40

【請求項 5】

前記光電変換層の蓄積期間において、前記電圧制御部は前記同一の配線に、第 1 電圧を供給し、
前記増幅トランジスタが信号を出力する期間において、前記電圧制御部は前記同一の配線に、前記第 1 電圧とは値の異なる電圧である第 2 電圧を供給することを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記光電変換層の蓄積期間において、前記電圧制御部は前記同一の配線に、第 1 電圧を供給し、
前記増幅トランジスタが信号を出力する期間において、前記電圧制御部は前記同一の配

50

線に、前記第 1 電圧とは値の異なる電圧である第 2 電圧を供給することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の光電変換装置。

【請求項 7】

前記不純物拡散部は、所定の電圧が与えられる半導体領域に接して形成され、

前記第 1 電圧が、前記所定の電圧と略等しい電圧であることを特徴とする請求項 5 または 6 に記載の光電変換装置。

【請求項 8】

前記光電変換層の電荷が、前記第 2 電極を介して前記不純物拡散部に蓄積されることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記光電変換部は、前記光電変換層と前記第 2 電極との間にブロッキング層を有し、

前記ブロッキング層は、蓄積期間中に前記光電変換層が前記第 2 電極に出力する電荷とは反対の極性の電荷の、前記第 2 電極から前記光電変換層への注入を抑制することを特徴とする請求項 8 に記載の光電変換装置。

【請求項 10】

前記光電変換部は、前記光電変換層と前記第 2 電極との間に絶縁層を有し、

前記光電変換層が蓄積する電荷に対応する電圧が、前記第 2 電極に出力されることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

半導体基板と、画素とを備え、

前記画素は、

第 1 電極と、前記第 1 電極および前記半導体基板の間に配された第 2 電極と、前記第 1 電極および前記第 2 電極の間に配された光電変換層とを含む光電変換部と、

増幅トランジスタと、

前記第 2 電極と前記増幅トランジスタのゲートに接続された不純物拡散部と、

トランジスタと、

第 1 ノードと第 2 ノードとを備え、前記第 1 ノードに前記不純物拡散部に接続された容量素子とを有する光電変換装置であって、

前記光電変換装置は、値の異なる複数の電圧を前記第 2 ノードに出力する電圧制御部を有し、

前記複数の電圧によって、前記増幅トランジスタのオンとオフが変更されることを特徴とする光電変換装置。

【請求項 12】

請求項 1 ~ 11 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置が出力する信号を用いて画像を生成する信号処理部とを有することを特徴とする撮像システム。

【請求項 13】

前記画素は、1つのマイクロレンズと、前記1つのマイクロレンズに対応して配された複数の前記光電変換部を有し、

前記信号処理部は、前記複数の光電変換部の一部が生成した電荷に基づく信号と、前記複数の光電変換部の他の一部が生成した電荷に基づく信号とを用いて、被写体の距離情報を生成することを特徴とする請求項 12 に記載の撮像システム。

【請求項 14】

移動体であって、

請求項 1 ~ 11 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置からの信号に基づいて、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する制御手段と、を有することを特徴とする移動体。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、光電変換装置、撮像システムに関する。

【背景技術】

【0002】

カメラのイメージセンサ等に用いられる光電変換装置として、積層型の光電変換装置が提案されている。特許文献1に記載の光電変換装置では、半導体基板に光電変換層が積層されている。光電変換層から見て入射面側には上部電極が配されている。一方、光電変換層から見て半導体基板側には画素電極が配されている。特許文献1には、リセットトランジスタとリセット制御容量を用いて、画素電極のリセット電圧を制御することが記載されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2011/058684号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の光電変換装置では、画素を駆動するためのトランジスタに接続される配線とは別に、リセット制御容量を制御する制御線を設けているため、画素領域の回路面積が増大していた。

20

【課題を解決するための手段】

【0005】

本発明は上記の課題を鑑みて為されたものであり、その一の態様は、半導体基板と、画素とを備え、前記画素は、第1電極と、前記第1電極および前記半導体基板の間に配された第2電極と、前記第1電極および前記第2電極の間に配された光電変換層とを含む光電変換部と、増幅トランジスタと、前記第2電極と前記増幅トランジスタのゲートに接続された不純物拡散部と、オンすることによって、前記不純物拡散部の電圧をリセットするトランジスタと、第1ノードと第2ノードとを備え、前記第1ノードに前記不純物拡散部に接続された容量素子とを有する光電変換装置であって、前記光電変換装置は、同一の配線を介して前記第2ノードおよび前記トランジスタに接続されるとともに、値の異なる複数の電圧を前記同一の配線に出力する電圧制御部を有することを特徴とする光電変換装置である。

30

【発明の効果】

【0006】

本発明により、画素領域の回路面積の増大を抑制しながら、ノイズを低減した信号を出力する光電変換装置が実現できる。

【図面の簡単な説明】

【0007】

【図1】光電変換装置の構成を示した図

40

【図2】列回路の構成を示した図

【図3】画素の構成を示した図

【図4】画素の平面レイアウトを示した図

【図5】画素の断面レイアウトを示した図

【図6】光電変換部に印加されるバイアスに応じた光電変換部の動作を示す図

【図7】光電変換部の動作におけるエネルギーバンド状態を示す図

【図8】画素の動作を示した図

【図9】被写体の輝度と光電変換部の動作とに対応するエネルギーバンド状態を示す図

【図10】FD部の電圧と電流との関係を示す図

【図11】画素ソースフォロワ回路の動作とFD部の電圧との関係を示す図

50

【図 1 2】画素の動作を示した図
【図 1 3】画素の動作を示した図
【図 1 4】画素の構成を示した図
【図 1 5】画素の動作を示した図
【図 1 6】画素の構成を示した図
【図 1 7】画素の動作を示した図
【図 1 8】画素の構成を示した図
【図 1 9】画素の構成を示した図
【図 2 0】光電変換部の動作を示した図
【図 2 1】画素の動作を示した図
【図 2 2】撮像システムの構成を示した図
【図 2 3】撮像システムの構成を示した図
【発明を実施するための形態】
【0008】

10

本発明に係る 1 つの実施形態は、光電変換装置である。光電変換装置は、半導体基板と、半導体基板の上に積層された光電変換層を含む。光電変換層に入射した光を電荷に光電変換するように、光電変換層は構成される。半導体基板には、光電変換層で生じた信号電荷に基づく信号を受ける回路部が配される。いくつかの実施形態においては、光電変換装置が複数の画素を含む。これらの実施形態においては、複数の画素に対応して複数の回路部が配される。複数の回路部のそれぞれは、信号を増幅する増幅手段を含んでいてもよい。

20

【0009】

図 3 には、光電変換装置の画素 100 の等価回路が示されている。図 5 には、光電変換装置の画素 100 の断面構造が模式的に示されている。

【0010】

図 5 において、半導体基板 200 の上には第 1 電極である上部電極 101 が配される。上部電極 101 と半導体基板 200 との間に第 2 電極である画素電極 105 が配される。上部電極 101 と画素電極 105 との間に第 2 ブロッキング層 102 が配される。第 2 ブロッキング層 102 の下部には光電変換層 103 が配される。光電変換層 103 の下部には、第 1 ブロッキング層 104 が配される。

30

【0011】

ここで、光電変換層 103 は入射光に対応して正孔を蓄積するものとする。第 2 ブロッキング層 102 は、上部電極 101 から画素電極 105 への正孔の注入を抑制する。すなわち、第 2 ブロッキング層 102 は、光電変換層 103 が蓄積する電荷と同じ極性の電荷の、上部電極 101 から光電変換層 103 への注入を抑制する。

【0012】

以下では、本発明の実施形態について図面を用いて詳細に説明する。本発明は以下に説明される実施形態のみに限定されない。本発明の趣旨を超えない範囲で、以下に説明される実施形態の一部の構成が変更された変形例も、本発明の実施形態である。また、以下のいずれかの実施形態の一部の構成を、他の実施形態に追加した例、あるいは他の実施形態の一部の構成と置換した例も本発明の実施形態である。

40

【0013】

(実施例 1)

本実施例の光電変換装置について、図面を参照しながら説明する。

【0014】

(光電変換装置の構成)

図 1 は、本実施例の光電変換装置の全体の回路構成と、上部電極 101 の配置レイアウトとを合わせて示した図である。

【0015】

図 1 は、複数行および複数列に渡って配された画素 100 の一部として、4 行 4 列の行

50

列状に配された 16 個の画素 100 が示されている。本実施例では 4 行 4 列の行列で説明するが、行数および列数はこれに限定されるものではない。1 つの列に含まれる複数の画素 100 が、1 つの出力線 130 に接続される。1 つの出力線 130 に対して、1 つの電流源 150 が接続されている。この電流源 150 は、画素 100 に電流を供給する。画素 100 は、出力線 130 に、画素信号を出力する。この画素信号は、入射光に基づく信号である光信号と、画素 100 のノイズ成分を主とするノイズ信号とを含む。

【0016】

光電変換装置は、電圧制御部 110 と、行駆動回路 201 を有する。電圧制御部 110 は、行駆動回路 201 が供給する電圧 V_s の生成に用いる基準電圧を供給する。行駆動回路 201 は、電極駆動電圧 V_s 、リセット信号 $pRES$ 、駆動信号 $pSEL$ を供給する。1 つの行に含まれる複数の画素 100 は同一のリセット信号線、駆動信号線に接続される。リセット信号線は、リセット信号 $pRES$ を伝達する配線である。駆動信号線は、駆動信号 $pSEL$ を伝達する配線である。なお、図 1 では、異なる行に供給される駆動信号を区別するために、 (n) 、 $(n+1)$ といったように行を表す符号を信号の末尾に付している。他の図面でも同様である。

【0017】

図 1 では、上部電極 101 の平面構造を模式的に示している。1 行の画素 100 に対して、1 つの上部電極 101 が対応して設けられている。本実施例では、それぞれの行ごとに上部電極 101 が配される。行駆動回路 201 は電圧 V_s を行単位で供給する。電圧 V_s は第 1 電圧と、第 1 電圧とは電圧値の異なる第 2 電圧とを含む。行駆動回路 201 は上部電極 101 に、値の異なる複数の電圧を供給する電圧供給部である。なお、異なる行に供給される電圧 V_s を区別するために、 (n) 、 $(n+1)$ などの行を表す符号を付している。

【0018】

光電変換装置は、列回路 140 を有する。図 1 では、複数列の列回路 140 を、簡易的に 1 つのブロックとして示しているが、実際には 1 つの出力線 130 に対して、1 つの列回路 140 が設けられた構成となっている。

【0019】

列駆動回路 202 は、駆動信号 $CSEL$ を複数の列回路 140 に供給する。列駆動回路 202 は、駆動信号 $CSEL$ を列回路 140 ごとに順次アクティブレベルとする。これにより、列駆動回路 202 は、列回路 140 を列ごとに駆動する。なお、異なる列に供給される駆動信号を区別するために、 (m) 、 $(m+1)$ などの列を表す符号を付している。他の図面でも同様である。

【0020】

列駆動回路 202 によって、複数の列回路 140 のそれぞれから、信号が出力アンプ部 203 に出力される。出力アンプ部 203 は、入力された信号を増幅した信号を、AD変換部 204 に出力する。AD変換部 204 は、入力された信号をデジタル信号に変換した信号を、光電変換装置の外部に信号 $DOUT$ として出力する。

【0021】

(列回路の構成)

図 2 は、 m 列目および $m+1$ 列目の列回路 140 の等価回路を示した図である。図 2 の列回路 140 は、図 1 に示した列回路 140 のうちの 2 列に対応する。

【0022】

出力線 130 に出力された画素信号は、列アンプ 301 によって増幅される。列アンプ 301 の出力ノードは、 S/H スイッチ 303 を介して容量 C_{TS} に接続されている。また、列アンプ 301 の出力ノードは、 S/H スイッチ 305 を介して容量 C_{TN} に接続されている。 S/H スイッチ 303 および S/H スイッチ 305 は、それぞれ、不図示のタイミングジェネレータから出力される駆動信号 p_{TS} および駆動信号 p_{TN} によって制御される。このような構成により、画素 100 が出力するノイズ信号に基づく信号を容量 C_{TN} が保持する。また、ノイズ信号を成分の一部として含む光信号を容量 C_{TS} が保持す

10

20

30

40

50

る。

【 0 0 2 3 】

容量 C T S は、水平転送スイッチ 3 0 7 を介して水平出力線 3 1 1 に接続されている。容量 C T N は、水平転送スイッチ 3 0 9 を介して水平出力線 3 1 3 に接続されている。水平転送スイッチ 3 0 7、3 0 9 は、列駆動回路 2 0 2 からの駆動信号 C S E L によって制御される。

【 0 0 2 4 】

水平出力線 3 1 1 と水平出力線 3 1 3 のそれぞれは出力アンプ部 2 0 3 に接続されている。出力アンプ部 2 0 3 は、水平出力線 3 1 1 の信号と水平出力線 3 1 3 の信号との差分を A D 変換部 2 0 4 に出力する。出力アンプ部 2 0 3 は、光信号とノイズ信号との差分を得る。これにより、光信号に含まれていたノイズ信号を、光信号から差し引いた信号を得ることができる。A D 変換部 2 0 4 は、出力アンプ部 2 0 3 が出力する信号をデジタル信号に変換する。

10

【 0 0 2 5 】

なお、この例では、列回路 1 4 0 から水平転送された信号を A D 変換する構成としている。他の例として、各列の列回路 1 4 0 が A D 変換部を備えるようにしてもよい。この場合、A D 変換部は、メモリやカウンタなどの、画素信号に対応するデジタル信号を保持する保持部を有する。保持部には、ノイズ信号と光信号がそれぞれデジタル信号に変換されて保持される。

【 0 0 2 6 】

20

(画素の構成)

図 3 (a) は、光電変換装置の画素 1 0 0 の等価回路と、光電変換部 1 2 0 の模式図とを合わせて示した図である。図 3 (b) は、光電変換部 1 2 0 の等価回路を示した図である。

【 0 0 2 7 】

図 3 (a) に示した画素 1 0 0 は、図 1 に示した画素 1 0 0 と対応する。

【 0 0 2 8 】

画素 1 0 0 は、光電変換部 1 2 0、増幅トランジスタ (S F MOS) 1 0 6、選択トランジスタ (S E L MOS) 1 0 7、リセットトランジスタ (R E S MOS) 1 0 8、不純物拡散部である F D 部を含む。

30

【 0 0 2 9 】

光電変換部 1 2 0 は、上部電極 1 0 1、光電変換層 1 0 3、画素電極 1 0 5 を備える。さらに光電変換部 1 2 0 は、光電変換層 1 0 3 と画素電極 1 0 5 との間に第 1 ブロッキング層 1 0 4 を有する。また、光電変換部 1 2 0 は、光電変換層 1 0 3 と上部電極 1 0 1 との間に第 2 ブロッキング層 1 0 2 を有する。

【 0 0 3 0 】

上部電極 1 0 1 には、行駆動回路 2 0 1 から V s 線 1 3 1 を介して電圧 V s が供給される。

【 0 0 3 1 】

40

第 1 ブロッキング層 1 0 4 は、半導体材料で形成されうる。半導体材料は、シリコン、ゲルマニウム、ガリウム砒素などの無機半導体材料、および、有機半導体材料の中から選択されうる。また、光電変換層 1 0 3 を形成する半導体材料と、第 1 ブロッキング層 1 0 4 を形成する半導体材料とが異なってもよい。あるいは、光電変換層 1 0 3 を形成する半導体材料のバンドギャップと第 1 ブロッキング層 1 0 4 を形成する半導体材料のバンドギャップとが異なってもよい。バンドギャップは、伝導帯 (c o n d u c t i o n b a n d) の最低のエネルギー準位と、価電子帯 (v a l e n c e b a n d) の最高のエネルギー準位との差である。なお、第 1 ブロッキング層 1 0 4 を形成する材料は半導体材料に限定されない。

【 0 0 3 2 】

また、光電変換層 1 0 3 と第 1 ブロッキング層 1 0 4 とを同じ半導体材料で形成するよ

50

うにしてもよい。この場合には、光電変換層 103 と第 1 ブロッキング層 104 とで、半導体材料に添加する不純物の濃度を異ならせるようにすることによって、光電変換層 103 と第 1 ブロッキング層 104 とを形成することができる。

【0033】

図 3 (a) のノード B は、画素電極 105 と、容量素子 109 の一方のノードと、不純物拡散部である FD 部とに接続されている。容量素子 109 は容量値 C_p を有する。

【0034】

図 3 (a) のノード C は、リセットトランジスタ 108 のドレインと、容量素子 109 の他方ノードとに接続される。さらにリセットトランジスタ 108 は、基準電圧制御部 110 に接続される。増幅トランジスタ 106 のゲートは、画素増幅部の入力ノードである。このような構成により、画素増幅部が光電変換部 120 からの信号を増幅した信号を、出力線 130 に出力する。

10

【0035】

増幅トランジスタ 106 のドレインは、電源電圧 V_{dd} (例えば 3.3V) が供給されたノードに接続される。増幅トランジスタ 106 のソースは、選択トランジスタ 107 を介して、出力線 130 に接続される。選択トランジスタ 107 がオンすることによって、電流源 150 から出力線 130、選択トランジスタ 107 を介して増幅トランジスタ 106 に電流が供給される。これにより、増幅トランジスタ 106 と電流源 150 とによって、ソースフォロワ回路が構成される。このソースフォロワ回路を構成する増幅トランジスタ 106 は、光電変換部 120 からの信号に対応する信号を出力線 130 に出力する。画素 100 の増幅トランジスタ 106 が出力した信号は、列回路 140 に入力される。つまり、選択トランジスタ 107 は、増幅トランジスタ 106 と、出力線 130 との間の電氣的経路の導通と非導通とを切り替えるトランジスタである。

20

【0036】

図 3 (b) は光電変換部 120 の等価回路を示す。光電変換部 120 は、図 3 (a) のノード A に接続された第 1 端子、および、ノード B に接続された第 2 端子を有するフォトダイオードを形成する。

【0037】

(光電変換部の構成)

上述した図 3 (a)、図 3 (b) の光電変換部 120 の具体的な構成について詳細に説明する。

30

【0038】

本実施例の第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 は、ホモ接合を構成するようにすることができる。つまり、第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 のそれぞれが、同じ半導体材料で形成されるようにすることができる。この「同じ半導体材料」とは、第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 のそれぞれにおいて、最も多く含まれる元素が同じであることを指している。例えば、ケイ素に対して不純物を添加することによって形成された半導体によって第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 のそれぞれが形成されたとする。この場合、第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 のそれぞれが最も多く含む元素はケイ素である。したがって、第 1 ブロッキング層 104 と、光電変換層 103 と、第 2 ブロッキング層 102 のそれぞれが「同じ半導体材料」で形成されたと言える。

40

【0039】

光電変換層 103 を構成する材料として、半導体材料、化合物半導体や有機半導体を用いることができる。半導体材料の例としては、真性の (イントリンシックな) アモルファスシリコン、低濃度の P 型アモルファスシリコン、低濃度の N 型アモルファスシリコンなどが挙げられる。化合物半導体の例としては、BN、GaAs、GaP、AlSb、GaAlAsP などの III-V 族化合物半導体や、CdSe、ZnS、HdTe などの I

50

I - IV族化合物半導体が挙げられる。有機半導体の例としては、フラーレン、クマリン6(C6)、ローダミン6G(R6G)、キナクリドン、亜鉛フタロシアニン(ZnPc)等のフタロシアニン系材料、ナフタロシアニン系材料が挙げられる。

【0040】

さらに、上述の半導体材料で構成された量子ドットを含む層を光電変換層103に用いることができる。非晶質シリコン膜、有機半導体膜、量子ドット膜は、薄膜の形成が容易である。ここで、量子ドットとは、20.0nm以下の粒径を有する粒子を示す。

【0041】

また、イントリンシックな半導体は、キャリア密度が少ない。よって、イントリンシックな半導体を光電変換層103に用いることで、広い空乏層幅を実現することが可能である。これにより、高感度化、ノイズ低減を低減した光電変換層103を実現することができる。

【0042】

上部電極101は、不図示のマイクロレンズ層および不図示のカラーフィルタ層を介して入射した光を光電変換層103に透過するような材料で形成される。例えば、上部電極101には、ITOのようにインジウムおよびスズを含む化合物、酸化物などの透明電極を用いることができる。透明電極を用いることにより、上部電極101を透過することによる入射光の光量低下を抑制できるため、光電変換部120の感度の低下を抑制することができる。他の上部電極101の例として、所定の量の光が透過する程度の薄さを有するポリシリコンや金属を、上部電極101として用いてもよい。金属は酸化物に比べて電気抵抗が低いため、金属を上部電極101の材料に用いた場合には、酸化物の上部電極101に対して、消費電力の低減と駆動の高速化が可能である。

【0043】

第1ブロック層104と、光電変換層103と、第2ブロック層102のそれぞれが「同じ半導体材料」で形成される場合、それぞれが含む不純物濃度を互いに異ならせるようにする。例えば、第2ブロック層102はN型の半導体材料で形成され、光電変換層103はイントリンシックな半導体で形成され、第1ブロック層104がP型の半導体材料で形成される。つまり、光電変換層103の導電型(I型)と、ブロック部である第1ブロック層104の導電型(P型)とが異なる。さらに、第1ブロック層104の導電型(P型)と第2ブロック層102の導電型(N型)とが異なる。

【0044】

また、第1ブロック層104を、光電変換層103とは異なる材料で形成することができる。このような構成の場合、第1ブロック層104と光電変換層103との間にはヘテロ接合が形成される。第1ブロック層104と光電変換層103との材料の違いは、第1ブロック層104と光電変換層103との間にエネルギー障壁を生成する。したがって、このヘテロ接合により、信号電荷とは逆の極性の電荷の、光電変換層103から画素電極105への注入を抑制(ブロック)することができる。なお、ここで言う「異なる材料」とは、その層を形成する主たる元素が異なることを指している。

【0045】

もしくは、光電変換層103とは異なる材料でブロック層を構成することができる。このような構成によればヘテロ接合が形成される。材料の違いによりバンドギャップが異なるため、電子および正孔のうち一方に対してのみポテンシャルバリアを形成することができる。

【0046】

第2ブロック層102と第1ブロック層104は、光電変換部120がダイオード特性を有するように構成される。つまり第2ブロック層102にN型の半導体を用いた場合、第1ブロック層にはP型の半導体を用いる。このとき信号電荷は正孔を利用する。

【0047】

10

20

30

40

50

画素電極 105 は金属などの導電部材で構成される。画素電極 105 には、配線を構成する導電部材、あるいは、外部と接続するためのパッド電極を構成する導電部材と同じ材料が用いられる。このような構成によれば、画素電極 105 と、配線を構成する導電部材、あるいは、パッド電極とを同時に形成することができる。したがって、製造プロセスを簡略化することができる。

【0048】

(画素の平面構造・断面構造の説明)

次に、本実施例の光電変換装置の平面構造、断面構造について説明する。

【0049】

図 4 は、2 行 2 列の行列状に配された 4 個の画素 100 の平面構造を模式的に示している。その他の画素も同様の平面構造を有している。ここでは画素電極 105 より上部に積層される光電変換部は省略している。

10

【0050】

図 5 は、図 4 における X - Y の一点破線に沿った光電変換装置の画素 100 の断面構造を模式的に示している。なお、図 1 と同じ機能を有する部分には同じ符号を付してある。トランジスタについては対応するゲート電極に符号が付されている。ここで画素電極 105 の上部に積層される光電変換部も表示している。

【0051】

以下図 4、図 5 を用いて画素の構造について説明する。光電変換装置は半導体基板 200 を含む。本実施形態において半導体基板 200 は P 型半導体からなる。半導体基板 200 に、画素トランジスタのソース領域およびドレイン領域を含めた、不図示の N + 型不純物半導体領域（不純物拡散部）が配される。画素トランジスタとは、例えば、増幅トランジスタ 106、選択トランジスタ 107、リセットトランジスタ 108 である。半導体基板 200 の上に、画素トランジスタのゲート電極、および、配線を構成する導電部材を含む複数の配線層 212 が配される。画素電極部をゼロバイアス駆動するための容量素子 109 の一方のノードである第 1 ノード 501、他方のノードである第 2 ノード 502 を示す。容量素子 109 は、第 1 ノード 501、第 2 ノード 502 と、その間に配された層間絶縁層により構成される。

20

【0052】

図 4 において、電圧制御線 132 から分岐する配線により、リセットトランジスタ 108 のドレインと容量素子 109 の第 2 ノード 502 にリセット電圧 V_{res} が供給される。具体的には、分岐点 P1 において、電圧制御線 132 から各画素の配線に分岐される。また、分岐点 P2 において、リセットトランジスタ 108 のドレインと容量素子 109 の第 1 ノード 502 に分岐される。このように、本実施例の光電変換装置は、1 つの電圧制御線 132 から、各画素の領域内で分岐する構造とする。分岐点 P2 を設けることにより、リセットトランジスタ 108 と容量素子 109 とに電圧を供給する配線を共通化することができる。これにより、本実施例の光電変換装置は、1 行複数列に配された複数の画素 100 に渡って配される電圧制御線 132 の本数を、減らすことができる。また、本実施例の光電変換装置は、電圧制御線 132 の本数を減らすことができるため、電圧制御部 110 が電圧制御線 132 に電圧を出力するバッファ回路を備える場合には、このバッファ回路の数も減らすことができる。

30

40

【0053】

本実施例では、電源電圧 V_{dd} は電源線（ V_{dd} 線）135 から各行の画素に供給されている。他の例として、上部電極 101 に供給される電源電圧 V_s が電源電圧 V_{dd} を兼ねてもよい。これにより電源電圧 V_{dd} を供給する電源線 135 を省略することができる。これにより、電源電圧 V_{dd} を供給する配線の面積の分、画素領域の配線面積を縮小できる。

【0054】

(光電変換部の機能と電子シャッター動作の説明)

次に、本実施例における画素 100 の動作、ならびに、第 1 ブロッキング層 104、光

50

電変換層 103、第2ブロッキング層 102 の機能について詳しく説明する。

【0055】

図6は光電変換部120に入射光が全く入らない状態（暗時とする）における、 $I-V$ 特性を示している。図6において、縦軸は上部電極101と画素電極105との間に流れる電流 I_d 、横軸は光電変換部120に印加される電圧 V_b を示す。この電圧 V_b は、上部電極101と画素電極105との間の電圧差である。電圧 V_f はフォトダイオードの順方向の立ち上がり電圧である。

【0056】

光電変換部120が光電変換を行う場合（光電変換モード）の上部電極101と画素電極105の電圧の大小関係は、光電変換層103に逆バイアスが印加される関係となる。光電変換層103に光が入射すると、光電変換層103に電子と正孔が生じる。光電変換モードのバイアス条件では、光電変換層103に生じた正孔は画素電極105に移動し、電子は上部電極101に移動する。画素電極105は、この光電変換層103で生じた正孔を蓄積する。

10

【0057】

光電変換層103に順バイアスが印加され、かつ立ち上がり電圧 V_f より高い範囲に電圧 V_b があるAモードでは、上部電極101から光電変換層103に電子が注入される。

【0058】

光電変換層103に順バイアスが印加され、かつ立ち上がり電圧 V_f より低い範囲に電圧 V_b があるBモードでは、光電変換部120は、後述する電子シャッター動作を行う状態となる。

20

【0059】

図7(a)、図7(b)は、光電変換部120に印加される電圧のバイアス条件と、このバイアス条件における光電変換部120におけるエネルギーバンド構造とを模式的に示している。図7(a)は図6における光電変換モード（信号電荷を画素電極105が蓄積するモード）に対応する。図7(b)は図6におけるBモード（電子シャッターを行うモード）に対応する。図7(a)、図7(b)の縦軸は、電子、正孔に対するポテンシャルを示している。図7の下に行くほど、電圧は高くなる。

【0060】

図7(a)、図7(b)のそれぞれは、上部電極101、第2ブロッキング層102、光電変換層103、第1ブロッキング層104、画素電極105のエネルギーバンドを示している。図7(a)では、一例として、上部電極101がITO、画素電極105がTiNxで形成されている場合を示している。以下、他の図面に示しているエネルギーバンド図についても、特に断りのない限り、上部電極101および画素電極105の材料は図7(a)と同じである。

30

【0061】

図7(a)、図7(b)に示した電圧 E_{f1} は上部電極101のフェルミ準位であり、電圧 E_{f2} は画素電極105のフェルミ順位である。第2ブロッキング層102、光電変換層103、第1ブロッキング層104に関しては、伝導帯と価電子帯との間のバンドギャップが示されている。

40

【0062】

図7(a)は、図6における光電変換モードに対応する。光電変換部120が光電変換を行って生成した電荷のうちの信号電荷である電子が、画素電極105に蓄積される状態のポテンシャルを示す。光電変換によって生じた正孔を黒丸で示しており、電子を白丸で示している。光電変換部120が光電変換モードとなるように、上部電極101に供給される電圧 V_s が、第1電圧である電圧 V_{s1} （例えば V_{dd} と同じ3.3V）に設定される。逆バイアス状態にある光電変換層103は空乏化している。

【0063】

光電変換層103で生成した電荷のうちの電子は、画素電極105に移動する。光電変換モードの間、画素電極105には、光電変換層103が生成した電子が蓄積されていく

50

。この画素電極 105 に蓄積された信号電荷量に応じて、ノード B の電圧が低下する。ノード B の電圧の低下により、光電変換層 103 のバンド構造は、フラットバンド状態に向かって変化する。

【0064】

なお、光電変換部 120 は第 2 ブロッキング層 102 を備える。これにより、上部電極 101 から光電変換層 103 への正孔の注入が抑制される。このため、上部電極 101 から光電変換層 103 に正孔が注入されることによって生じる暗電流の発生を抑えることができる。つまり、第 2 ブロッキング層 102 は、信号電荷と同じ極性の電荷である正孔の、上部電極 101 から光電変換層 103 への注入を抑制する第 2 ブロッキング部である。

【0065】

光電変換層 103 で発生した電子は、上部電極 101 に向かって移動することによって、光電変換部 120 の外部に排出される。

【0066】

光電変換部 120 は第 1 ブロッキング層 104 を備える。これにより、画素電極 105 から光電変換層 103 への電子の注入を抑制することができる。これにより、光電変換層 103 における、正孔と電子の再結合の発生を抑制することができる。よって、画素電極 105 から光電変換層 103 への電子の注入によって生じる、感度の低下が抑制される。つまり、第 1 ブロッキング層 104 は、信号電荷である正孔を光電変換層 103 から画素電極 105 に注入させ、信号電荷とは反対の極性の電荷である電子の光電変換層 103 から画素電極 105 への注入を抑制するブロッキング部である。なお、第 1 電極は上部電極 101 であり、第 2 電極は画素電極 105 である。

【0067】

図 7 (b) は、図 6 の B モードに対応した光電変換部 120 のポテンシャルを示す。図 6 に示した B モードでは、電子シャッター動作を実現する。光電変換の開始と、光電変換モードから B モードへの移行の動作のそれぞれを、図 1 に示した全ての画素 100 が同時に行うことによって、グローバル電子シャッターを実現することができる。光電変換部 120 が B モードとなるように、上部電極 101 に供給される電圧 V_s が、第 2 電圧である電圧 V_{s2} (例えば 0 V) に設定される。信号電荷が正孔であるので電圧 V_{s1} と電圧 V_{s2} の電圧には、 $V_{s2} < V_{s1}$ の関係がある。

【0068】

B モードでは、光電変換層 103 はフラットバンド状態に近い状態にある。つまり、上部電極 101 からの正孔の注入はほとんど生じない。また、光電変換層 103 に印加されるバイアスが小さいため、光電変換によって生じた正孔の光電変換層 103 の外部への移動は、ほとんど生じない。光電変換層 103 で生成した電子の光電変換層 103 の外部への移動もまた、ほとんど生じない。したがって、画素電極 105 に蓄積されている正孔、電子の量の変動がほとんど生じない。この状態は、画素電極 105 に蓄積されている正孔が保持されている状態と、みなすことができる。したがって、本実施例の画素 100 は、光電変換部 120 が光電変換モードから B モードに移行することによって、光電変換部 120 の電荷蓄積期間が終了する。

【0069】

(グローバルシャッター動作の説明)

図 8 は、本実施形態の光電変換装置に用いられるグローバルシャッター動作における駆動信号のタイミングチャートを示している。図 8 には、簡単のため n 行目と $n+1$ 行目の 2 行分の信号読み出し動作に対応した駆動信号が示されている。

【0070】

時刻 t_1 から時刻 t_2 の間、光電変換部 120 を、図 7 (a) に示される光電変換モードになるように、全行の第 1 の電極 101 に共通電極駆動電圧 $V_{s(n)}$ に V_{s1} (例えば 3.3 V) を供給する。この間全画素一括で光電変換が行われ、光信号電荷 (正孔) が画素電極 105 に蓄積される (一括露光)。同時にリセット電圧 $V_{res(n)}$ がローレベル V_2 (例えば 0 V) になる。このときバイアス制御容量 C_{p109} を介してノード B

10

20

30

40

50

、F D 部の電位が振り下げられる。この動作によりノード B、F D 部はゼロバイアス駆動状態に設定され、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジから外れる。

【0071】

時刻 t_2 において、光電変換部 120 が、図 7 (b) に示される B モードになるように、全行の上部電極 101 に電圧 $V_s(n)$ として V_{s2} (例えば 1.5 V) を供給する。この間、全ての画素の光電変換部の感度が、一括して実質的にゼロとなる。また同時に行選択信号 $pSEL(n)$ がハイレベルになり、 n 行目の画素 100 の選択トランジスタ 107 がオンする。これにより、 n 行目の画素 100 の増幅トランジスタ 106 が信号を出力する。またリセット電圧 $V_{res}(n)$ がハイレベルの V_{r2} (例えば 1.5 V) になる。このとき、容量素子 109 を介してノード B、F D 部の電位が振り上げられる。後述するように、この動作によりノード B、F D 部はゼロバイアス駆動状態から、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジに入る読み出し状態に設定される。

10

【0072】

駆動信号 $pTS(n)$ が、時刻 t_3 においてハイレベルになり、時刻 t_4 においてローレベルになる。これにより、ノード B に蓄積された光信号と増幅トランジスタ 106 の閾値ばらつきを含む信号 S が、列回路 140 の容量 CTS に保持される。

【0073】

時刻 t_5 において、リセット信号 $pRES(n)$ がハイレベルになり、時刻 t_6 において、駆動信号 $pRES(n)$ がローレベルになる。この間に、リセット電圧 $V_{res}(n)$ は V_{r2} に維持されているので、ノード B と F D 部の信号電荷がリセットされ、リセット電圧 $V_{res}(n)$ の 1.5 V に設定される。

20

【0074】

その後、時刻 t_7 において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_8 においてローレベルになる。これにより、増幅トランジスタ 106 の閾値ばらつきを含む信号 N が、列回路 140 の容量 CTN に保持される。

【0075】

時刻 t_9 において、行選択信号 $pSEL(n)$ がローレベルになり、 n 行目の画素 100 から列回路 140 への信号の読み出しが終了する。

30

【0076】

列回路 140 に読み出されたノイズ信号 N と光信号 S は、駆動信号 $CSEL$ に基づいて、列ごとに出力部 170 に出力される。出力部 170 は信号 S と信号 N との差分をアナログ-デジタル変換部 (ADC) 204 に出力する。

【0077】

時刻 t_{10} において、行選択信号 $pSEL(n+1)$ がハイレベルになり、 $n+1$ 行目の画素 100 の選択トランジスタ 107 がオンする。以降、 $n+1$ 行目の画素 100 からの信号の読み出しが行われる。この動作は時刻 t_1 から時刻 t_9 と同様なので、説明を省略する。

【0078】

各行の信号読み出し中、全行の上部電極 101 には電圧 V_s として V_{s2} (1.5 V) が印加されている。つまり、全ての画素は B モードに設定されている。

40

【0079】

以下同様に最後の行まで信号を読み出したのち、不図示のタイミングで全行のリセット電圧 $V_{res}(n)$ が一括で V_{r2} (1.5 V) に設定され、リセット信号 $pRES$ がハイレベルになり、所定の時間後ローレベルになる。これにより全画素のノード B が V_{r2} (1.5 V) にリセットされる (一括リセット)。読み出し期間中リセット電圧 $V_{res}(n)$ を V_{r2} (1.5 V) に維持してもよい。

【0080】

再び時刻 t_1 のタイミングに戻り、光電変換部 120 を、図 7 (a) に示される光電変

50

換モードになるように、全行の上部電極 101 に電圧 V_s として V_{s1} (3.3V) を印加する。この電圧 V_{s1} が上部電極 101 に印加されている間、全画素一括で光電変換モードに設定される (一括露光)。同時にリセット電圧 $V_{res}(n)$ がローレベル V_2 (例えば 0V) になる。このとき容量素子 109 を介してノード B、FD 部の電位が振り下げられる。この動作によりノード B、FD 部はゼロバイアス駆動状態に設定され、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジから外れる。このようにして、次のフレームの信号蓄積を行う。

【0081】

(第1ブロッキング層 104 を備えることによる効果)

図 9 (a) ~ 図 9 (e) のそれぞれを用いて、本実施例の効果を説明する。図 9 (b)、図 9 (c) は参考例であって、光電変換部 120 が第 1 ブロッキング層 104 を有しない例を示している。図 9 (d)、図 9 (e) は、これまでに述べてきた、光電変換部 120 が第 1 ブロッキング層 104 を有する例を示している。ただしここでは信号電荷として電子を利用する (電子蓄積型) 場合で説明する。正孔を利用する場合も同様の効果がある。

10

【0082】

図 9 (a) は、光電変換装置に入射した像を示している。P1 の位置にある画素 100 の光信号はダークレベルに近いレベルであり、P2 の位置にある画素 100 の光信号は飽和レベルに近いレベルである。このように撮像シーンによっては、1 枚の像の中に、ダークレベルに近い画素 P1、飽和レベルに近い画素 P2 が存在する。

20

【0083】

参考例である図 9 (b)、図 9 (c) を説明する。図 9 (b) は画素 P1 の光電変換部 120 のバンド構造を示している。図 9 (c) は画素 P2 の光電変換部 120 のバンド構造を示している。図 9 (b)、図 9 (c) のそれぞれにおいて示した実線は、光電変換領域におけるバンド構造を示している。図 9 (b)、図 9 (c) のそれぞれにおいて示した点線は、B モードにおけるバンド構造を示している。

【0084】

図 9 (b) の画素 P1 の光電変換部 120 では、光電変換モードにおいて、実線で示したように、光信号による電子が画素電極 105 にほとんど蓄積されていない。よって、光電変換モードにおける、画素 P1 の光電変換部 120 のバンド構造は、光電変換部 120 のリセット時の逆バイアス状態に近いポテンシャルのままとなっている。

30

【0085】

図 9 (c) の画素 P2 の光電変換部 120 では、光電変換モードにおいて、実線で示したように、光信号による電子が画素電極 105 に蓄積され、ノード B の電圧が低下している。よって、光電変換モードにおける、画素 P2 の光電変換部 120 のバンド構造は、フラットバンド状態に近い状態になっている。

【0086】

ここで、ダークレベルに近い光信号を出力する画素 P1 が、B モードにおいてフラットバンドとなるように電圧 V_{s2} の電圧を設定したとする。よって、図 9 (b) において点線で示したように、画素 P1 の光電変換部 120 は、B モードにおいて、フラットバンド状態に近い状態になっている。

40

【0087】

図 9 (c) の画素 P2 の光電変換部 120 では、B モードにおいて、点線で示したように、上部電極 101 の電圧が、画素電極 105 の電圧よりも相対的に高くなる。よって、光電変換部 120 が B モードにある間、光電変換層 103 で発生する正孔が画素電極 105 に移動しやすくなる。

【0088】

この光電変換層 103 中で発生する正孔が画素電極 105 に移動することによって、画素電極 105 に蓄積されていた電子が、消失することとなる。よって、画素 P2 の光信号が、本来出力すべき信号レベルから低下した信号レベルとなる。これにより、光電変換装

50

置が出力した信号を用いて生成した画像において、高輝度の部分の輝度が低下する。つまり、画素電極 105 に蓄積されていた電子が消失せずに生成されたと仮定される画像に対して、コントラストが低下した画像が生成されることとなる。

【0089】

本実施例の光電変換部 120 は、第 1 ブロッキング層 104 を有する。

【0090】

図 9 (d) は、本実施例の光電変換部 120 を備える画素 P1 のバンド構造を示している。図 9 (d) では、図 9 (b) と同じく、画素 P1 の光電変換部 120 は、B モードにおいて、フラットバンド状態に近い状態になっている。

【0091】

図 9 (e) において、画素 P2 の光電変換部 120 が B モードにある場合のバンド構造を点線で示している。光電変換層 103 で発生する正孔の光電変換層 103 から画素電極 105 への移動は、第 1 ブロッキング層 104 によって、抑制されている。

【0092】

このように、光電変換部 120 が第 1 ブロッキング層 104 を有することによって、光電変換層 103 中で発生する正孔の画素電極 105 への移動が抑制されている。よって、図 9 (c) では生じていた、画素電極 105 に蓄積されていた電子の消失もまた抑制される。よって、図 9 (c) では生じていた、画素 P2 の光信号の信号レベルの低下もまた、抑制される。これにより、図 9 (c) では生じていた、光電変換装置が出力した信号を用いて生成した画像における、高輝度の部分の輝度の低下もまた、抑制される。したがって、本実施例の光電変換装置は、従来の電子シャッター動作によって生じていた、画像のコントラストの低下を抑制することができる効果を有する。

【0093】

なお、本実施例において、信号電荷が正孔であるとして説明したが、電子を信号電荷としても同じ効果が得られる。

【0094】

(容量素子 109 と電圧制御部 110 の説明)

以下図面を用いて本発明における容量素子 109 と電圧制御部 110 の機能について詳述する。

【0095】

図 10 は画素電極 105 が接続される FD 部の暗時の IV 特性を示す模式図である。FD 部などの不純物拡散部と半導体基板は、ダイオードを構成することがある。この場合について、図 10 は、縦軸をダイオードに流れる電流、横軸をダイオードにかかるバイアス電圧 V_b として示した図である。

【0096】

図 10 において、点 P1 は逆バイアス状態を示している。また点 P2 はゼロバイアス状態を示している。また、点 P3 は順バイアス状態を示している。一般に不純物拡散部は半導体基板と電氣的に分離するために点 P1 の逆バイアス状態に設定される。しかしながら不純物拡散部と半導体基板の間には欠陥が生じやすく、その欠陥を介してリーク電流が流れる。リーク電流は不純物拡散部と半導体基板の間に印加された逆バイアス電圧に依存するので、逆バイアス電圧が強まるにつれて、リーク電流が多くなる。図 10 では、電流 I について、リーク電流による成分も含めて示している。リーク電流は光電変換時 (信号蓄積時) の暗電流となり、S/N を劣化させるので好ましくない。

【0097】

このリーク電流は、不純物拡散部の電圧をリセットした直後の期間である。この期間は、画素電極 105 が信号電荷の蓄積を行っている期間でもある。このリーク電流の影響を抑制するためには、不純物拡散部と半導体基板との間のバイアス電圧 V_b を、0 V である点 P2 に設定するのが好ましい。つまり、不純物拡散部である FD 部に与えられる第 1 電圧と、FD 部に接する半導体領域に与えられる所定の電圧とが略等しい状態とする。これをゼロバイアスリセットあるいはゼロバイアス駆動と言う。

【0098】

図11は増幅トランジスタ106および電流源150により構成される画素ソースフォロワ回路の入力電圧(FD部の電圧) V_{fd} と出力電圧 V_{out} の関係を示す模式図である。 V_{min} は画素ソースフォロワ回路がリニアリティを確保できるダイナミックレンジの最小値、 V_{max} はダイナミックレンジの最大値を示す。P型半導体基板の電圧はGND(0V)に設定されている。 V_{min} は1.5Vとし、 V_{max} は2.5Vとする。

【0099】

本実施例では、正孔を信号電荷としている。画素電極105、FD部のリセット電圧は、画素ソースフォロワ回路のリニアリティを確保するために、 V_{min} 以上の値にする。そこでリセット電圧を1.5Vとして、画素電極105、FD部をリセットする。画素電極105に集められた正孔は、FD部に蓄積される。したがって、FD部の電圧は時間の経過とともに上昇する。

10

【0100】

FD部は、N型の不純物拡散部を有する。この不純物拡散部は、画素電極105とのコンタクト部を兼ねる。よって、FD部の不純物拡散部はN+型の半導体領域として表される。

【0101】

画素電極105、FD部のリセットが解除された後のN+型の不純物拡散部の電圧は1.5Vである。また、P型半導体基板の電圧は0Vである。よって、1.5Vの逆バイアス状態となるため、リーク電流が多く発生することとなる。

20

【0102】

一方、ゼロバイアスリセットとして、0V近傍にリセット電圧を設定すると、画素電極105、FD部のリセットが解除された後のN+型の不純物拡散部の電圧は0V近傍の値となる。したがって、図11に示した、画素ソースフォロワ回路のダイナミックレンジの下限である V_{min} の値を下回ることとなる。よって、画素ソースフォロワ回路からの信号の精度の高い読み出しが行えない。

【0103】

そこで本発明では、リセット電圧は、画素ソースフォロワ回路のダイナミックレンジに収まる値(本実施例では1.5V)に設定する。また、信号蓄積中は、容量素子109に供給する電圧を、電圧制御部110が変化させることにより、画素電極105、FD部の電圧を振り下げる。これによって、図11に示した電圧 V_b を、0V付近にシフトさせる。そして、画素ソースフォロワ回路が信号を出力する期間には、画素電極105、FD部の電圧を振り上げる。これにより、FD部の電圧を、画素ソースフォロワ回路のダイナミックレンジに収まるようにすることができる。これにより、画素ソースフォロワ回路が、FD部が蓄積した正孔の量に対応する信号を精度よく出力することができる。

30

【0104】

このように、本実施例では、容量素子109の第2ノード502の電圧を、リセット時(1.5V)、信号蓄積時(0V)、読み出し時(1.5V)で変化させる。これにより、不純物拡散部と半導体基板との間で生じるリーク電流を低減しつつ、画素ソースフォロワ回路が精度よく信号を出力することができる。

40

【0105】

容量素子109と電圧制御部110によるノードBの電圧の制御量(振り下げ幅、振り上げ幅)は、ノードCの電圧の変化量 dV_{res} に対して、容量素子109の容量値 C_p とノードBが有する容量の容量値 C_2 との比に応じて決まる。ノードBの電圧の変化量 dV_B は、 $dV_B = dV_{ref} \times C_p / (C_p + C_2)$ と表される。ノードBが有する容量の容量値には、光電変換部120が有する容量の容量値、ノードB周辺の他の寄生容量の容量値を含む。本実施例においては、ノードBが有する容量の容量値は、光電変換部120が有する容量の容量値が支配的である。容量素子109の容量値 C_p を適宜設計することにより、ノードBの電圧の変化量 dV_B を制御することができる。

【0106】

50

本実施例では信号電荷が正孔で画素トランジスタがN M O Sトランジスタの場合で説明した。他の例として、信号電荷が電子で、画素トランジスタがP M O Sトランジスタの構成であっても同じ効果を得ることができる。

【0107】

(実施例2)

本実施例について、実施例1と異なる点を中心に説明する。

【0108】

実施例1の光電変換装置は、グローバルシャッター動作を行っていた。本実施例では、ローリングシャッターを行う点で、実施例1と異なる。

【0109】

本実施例の光電変換装置の構成は、実施例1と同じとすることができる。

【0110】

図12は、本実施例の光電変換装置の動作を示したタイミング図である。図12には、 n 行目の読み出し動作に対応した駆動信号が示されている。一方、図13には、 n 行目と $n+1$ 行目の2行分の信号の読み出し動作に対応した駆動信号を示している。

【0111】

行選択信号 $pSEL$ は選択トランジスタ107のゲートに供給される。リセット電圧 V_{res} はリセットトランジスタ108のドレインと容量素子109の一方のノードに供給される。リセット信号 $pRES$ はリセットトランジスタ108のゲートに供給される。駆動信号 pTS はS/Hスイッチ303に供給される。駆動信号 pTN はS/Hスイッチ305に供給される。駆動信号 $CSEL$ は列回路140に供給される。

【0112】

行選択信号 $pSEL$ 、リセット信号 $pRES$ 、駆動信号 pTS 、駆動信号 pTN がハイレベルの時に、対応するトランジスタまたはスイッチがオンする。行選択信号 $pSEL$ 、リセット信号 $pRES$ 、駆動信号 pTS 、駆動信号 pTN がローレベルの時に、対応するトランジスタまたはスイッチがオフする。ここで不図示の電圧 $V_s(n)$ は、光電変換部120のノードAに供給されている。ローリングシャッター動作では、電圧 $V_s(n)$ は、光電変換部120が常に弱バイアス状態で光電変換モードとなるように、固定値(電源電圧 V_{dd} と同じ3.3V)に設定される。

【0113】

時刻 t_1 より前の期間は、 n 行目の画素100の光電変換部120、および、 $n+1$ 行目の画素100の光電変換部120の画素電極105が信号電荷を蓄積している状態である。また、リセット電圧 $V_{res}(n)$ はローレベル V_{r1} (例えば0V)に設定されている。これにより、FD部はゼロバイアスリセットをされた後、ゼロバイアス駆動状態となっている。

【0114】

時刻 t_1 において、行選択信号 $pSEL(n)$ がハイレベルになり、 n 行目の画素100の選択トランジスタ107がオンする。これにより、 n 行目の画素100の増幅トランジスタ106が信号を出力する。

【0115】

時刻 t_2 において、リセット電圧 $V_{res}(n)$ がハイレベル V_{r2} (例えば1.5V)になる。このとき、容量素子109を介してノードBおよび、FD部の電圧が振り上げられる。これにより、ノードB、FD部はゼロバイアス駆動状態から、増幅トランジスタ106と電流源150で構成される画素ソースフォロワ回路のダイナミックレンジに入る読み出し状態に設定される。

【0116】

時刻 t_3 において、駆動信号 $pTS(n)$ がハイレベルになり、時刻 t_4 においてローレベルになる。この間に、ノードBに蓄積された光信号と増幅トランジスタ106の閾値ばらつきを含む信号 S が、列回路140の容量 C_{TS} に保持される。

【0117】

10

20

30

40

50

時刻 t_5 において、リセット信号 $pRES(n)$ がハイレベルになり、時刻 t_6 においてローレベルになる。この間に、リセット電圧 $V_{res}(n)$ は V_{r2} である $1.5V$ に維持されているので、ノード B と FD 部の信号電荷がこの $1.5V$ の電圧を用いてリセットされる。リセット電圧 $V_{res}(n)$ の $1.5V$ に設定されたあと光電変換モードになる。電圧 $V_s(n)$ は $3.3V$ であり、画素電極 105 の電圧は $1.5V$ なので、光電変換部 120 は逆バイアス状態となる。

【0118】

その後、時刻 t_7 において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_8 においてローレベルになる。この間に、増幅トランジスタ 106 の閾値ばらつきを含む信号 N が、列回路 140 の容量 CTN に保持される。光電変換部 120 が光電変換モードになった状態で光が入射していると、光により信号電荷が生成されるので、時刻 t_7 と時刻 t_8 の間隔は狭い方がよい。本実施形態では電圧 $V_s(n)$ は固定とした。他の例として、信号読み出し期間の $HBLNK(n)$ 中は、電圧 $V_s(n)$ を V_{s2} に設定して、光電変換膜を不感状態とする。この不感状態の期間に、列回路 140 の容量 CTN が信号 N を保持するようにしてもよい。

10

【0119】

この後、 n 行目の画素 100 は、次のフレームの信号電荷の蓄積を開始する。信号電荷の蓄積中の、光電変換部 120 のエネルギーバンドの状態が、図 7 (a) に示されている。

【0120】

時刻 t_9 において、リセット電圧 $V_{res}(n)$ がローレベル V_2 (例えば $0V$) になる。このとき容量素子 109 を介してノード B 、 FD 部の電圧が振り下げられる。この動作によりノード B 、 FD 部はゼロバイアス駆動状態に設定される。これにより、本実施例の光電変換装置もまた、実施例 1 と同じく、 FD 部の不純物領域と半導体基板 200 と間で生じる暗電流を抑制した状態で、信号蓄積を行うことができる。

20

【0121】

時刻 t_{10} において、行選択信号 $pSEL(n)$ がローレベルになり、 n 行目の画素 100 から列回路 140 への信号の読み出しが終了する。

【0122】

列回路 140 に読み出されたノイズ信号 N と光信号 S は、駆動信号 $CSEL$ に基づいて、列ごとに出力部 170 に出力される。出力部 170 は信号 S と信号 N との差分をアナログ-デジタル変換部 180 に出力する。

30

【0123】

以降図 13 に示すように、 $n+1$ 行目の画素 100 からの信号の読み出しが行われる。この動作は時刻 t_1 から時刻 t_8 と同様なので、説明を省略する。

【0124】

このように、本実施例においても、実施例 1 と同じく、回路面積を低減しながら、ノイズの少ない信号読み出しを行うことができる。

【0125】

(実施例 3)

40

本実施例の光電変換装置について、実施例 2 と異なる点を中心に説明する。

【0126】

実施例 1 と同じ画素構成を備えていた実施例 2 の光電変換装置の画素 100 は、選択トランジスタ 107 を備えていた。本実施例は、画素 100 が選択トランジスタ 107 を有しない構成である。本実施例では、実施例 2 の画素 100 の選択トランジスタ 107 が行っていた、画素行の選択と非選択の切り替えを、電圧制御部 110 が出力する電圧を変更して FD 部に与えることによって行う。

【0127】

図 14 は、本実施例の光電変換装置が備える画素 100 の回路図である。本実施例の画素 100 は、上述した通り、選択トランジスタ 107 を有しない構成である。その他の構

50

成については、実施例 2 の画素 100 の構成と同じである。

【0128】

本実施例では、電圧制御部 110 がリセットトランジスタ 108 を介して F D 部の電圧 (F D 電圧) を制御することで、行選択を行うことを特徴とする。これにより実施例 1 に対して選択トランジスタを省略できる。これにより、画素 100 の回路面積を低減できる。また、 p S E L 制御線を省略することができることから、画素領域の配線面積もまた低減できる。

【0129】

図 15 は、本実施例の光電変換装置に用いられるローリングシャッター動作における駆動信号のタイミングチャートを示している。以下、実施例 2 と異なる部分を中心にした説明を行う。

10

【0130】

時刻 t_1 において、リセット電圧 $V_{res}(n)$ がハイレベル V_{r2} (例えば 1.5 V) になる。このとき容量素子 109 を介してノード B、F D 部の電圧が振り上げられる。図 11 で説明したように、この動作によりノード B、F D 部はゼロバイアス駆動状態から、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジに入る読み出し状態に設定される。このとき n 行目の画素ソースフォロワ回路は動作状態となる。その他の行の画素ソースフォロワ回路は非動作状態となっている。つまりリセット電圧 $V_{res}(n)$ をハイレベル V_{r2} に設定することで、 n 行目を選択する選択動作を行っている。

20

【0131】

時刻 t_2 において、駆動信号 $pTS(n)$ がハイレベルになり、時刻 t_3 においてローレベルになる。この間に、ノード B に蓄積された光信号と増幅トランジスタ 106 の閾値ばらつきを含む信号 S が、列回路 140 の容量 CTS に保持される。

【0132】

時刻 t_4 において、リセット信号 $pRES(n)$ がハイレベルになり、時刻 t_5 においてローレベルになる。この間に、リセット電圧 $V_{res}(n)$ は V_{r2} に維持されているので、ノード B と F D 部の信号電荷がリセットされ、リセット電圧 $V_{res}(n)$ の 1.5 V に設定されたあと光電変換モードになる。電圧 $V_s(n)$ は 3.3 V であり、画素電極 105 の電圧は 1.5 V なので、光電変換部 120 は逆バイアス状態となる。

30

【0133】

その後、時刻 t_6 において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_7 においてローレベルになる。この間に、増幅トランジスタ 106 の閾値ばらつきを含む信号 N が、列回路 140 の容量 CTN に保持される。

【0134】

時刻 t_8 において、リセット電圧 $V_{res}(n)$ がローレベル V_{r1} (例えば 0 V) になる。このとき、容量素子 109 を介してノード B、F D 部の電圧が振り下げられる。この動作によりノード B、F D 部はゼロバイアス駆動状態に設定される。よって、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジから外れる。これにより n 行目の画素ソースフォロワ回路は非動作状態となり、非選択動作を実現することができる。

40

【0135】

電圧制御部 110 は、リセット電圧 $V_{res}(n)$ の電圧を V_{r1} と V_{r2} とに切り替える動作を行う。この動作により、選択トランジスタ 107 の働きを代用できる。これにより、選択トランジスタ 107、pSEL 信号線を省略することができる。これにより、上述したように、画素 100 の回路面積と、画素領域の配線面積とを、実施例 2 の光電変換装置に比べて低減することができる。

【0136】

(実施例 4)

本実施例の光電変換装置について、実施例 1 と異なる点を中心に説明する。

50

【 0 1 3 7 】

図 1 6 に実施例 2 の光電変換部 1 2 0 の構成を示す。図 3 と同じ機能を有する部分には、同じ符号を付してある。実施例 1 と同じ部分については、説明を省略する。

【 0 1 3 8 】

以下図を用いて本実施形態の特徴を説明する。

【 0 1 3 9 】

図 1 6 のノード B は、増幅トランジスタ 1 0 6 のゲート電極に接続される。ノード B はリセットトランジスタ 1 0 8 のソース電極に接続される。ノード B は容量素子 1 0 9 の第一の端子に接続される。リセットトランジスタ 1 0 8 のドレインはリセット電圧 V_{res} に接続される。リセットトランジスタ 1 0 8 はオンすると、FD 部の電圧をリセット電圧 V_{res} に設定する。本実施例では、容量素子 1 0 9 の第 2 ノードは、ノード D に接続される。ノード D は電圧制御部 1 1 0 に接続され、容量素子 1 0 9 を介してノード B と、FD 部の電圧とを制御する。またノード D は選択トランジスタ 1 0 7 のゲートに接続されている。これにより、電圧制御部 1 1 0 は選択トランジスタのオン、オフを制御する。

10

【 0 1 4 0 】

実施例 1 では、リセットトランジスタ 1 0 8 にリセット電圧 V_{res} を供給する配線と、容量素子 1 0 9 に電圧を供給する配線とを共通にしていた。本実施例では、選択トランジスタ 1 0 7 のゲートの電圧を制御する配線と、容量素子 1 0 9 に電圧を供給する配線とを共通にする。

【 0 1 4 1 】

図 1 7 は、本実施例の光電変換装置に用いられるローリングシャッター動作における駆動信号のタイミングチャートを示している。実施例 2 と異なる部分を中心に説明する。

20

【 0 1 4 2 】

時刻 t_1 において、制御電圧（行選択信号） $pSEL(n)$ がハイレベル V_{r2} （例えば 1.5 V）になり、 n 行目の画素 1 0 0 の選択トランジスタ 1 0 7 がオンして、 n 行目が選択状態になる。これにより、 n 行目の画素 1 0 0 の増幅トランジスタ 1 0 6 が信号を出力する。同時に容量素子 1 0 9 を介してノード B、FD 部の電圧が振り上げられる。図 1 1 で説明したように、この動作によりノード B、FD 部はゼロバイアス駆動状態から、増幅トランジスタ 1 0 6 と電流源 1 5 0 で構成される画素ソースフォロワ回路のダイナミックレンジに入る読み出し状態に設定される。このとき n 行目の画素ソースフォロワ回路は動作状態となる。

30

【 0 1 4 3 】

時刻 t_4 において、リセット信号 $pRES(n)$ がハイレベルになり、時刻 t_5 においてローレベルになる。FD 部はリセット電圧 $V_{res}(n)$ の 1.5 V に設定される。

【 0 1 4 4 】

その後、時刻 t_6 において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_7 においてローレベルになる。この間に、増幅トランジスタ 1 0 6 の閾値ばらつきを含む信号 N が、列回路 1 4 0 の容量 C_{TN} に保持される。

【 0 1 4 5 】

時刻 t_8 において、制御電圧（行選択信号） $pSEL(n)$ がローレベル V_{r1} （例えば 0 V）になる。選択トランジスタ 1 0 7 がオフして、 n 行目が非選択状態となる。このとき、容量素子 1 0 9 を介してノード B、FD 部の電圧が振り下げられる。この動作によりノード B、FD 部はゼロバイアス駆動状態に設定される。

40

【 0 1 4 6 】

本実施例においては、選択トランジスタ 1 0 7 のゲートと容量素子 1 0 9 の第 2 ノードが同一の制御線 $pSEL$ に接続される。これにより、選択トランジスタ 1 0 7 のゲートと容量素子 1 0 9 の第 2 ノードとを別々の制御線を用いて電圧を供給する場合に比べて、制御線の本数を減らすことができる。また、本実施例では、選択トランジスタ 1 0 7 と容量素子 1 0 9 の第 2 ノードは、同一の電圧制御部 1 1 0 に接続される。これにより、選択トランジスタ 1 0 7 と容量素子 1 0 9 の第 2 ノードとを別々の電圧制御部で制御する場合に

50

比べて、電圧制御部の回路面積を低減することができる。

【0147】

なお、本実施例の光電変換装置を、実施例3のように、選択トランジスタ107を有しない構成に適用することもできる。

【0148】

図18は、その一例を示した画素100の回路図である。

【0149】

制御電圧（行選択信号） $pSEL(n)$ の電圧を $Vr1$ 、 $Vr2$ と制御する動作により、選択トランジスタの働きを代用できるので、選択トランジスタ、 $pSEL$ 信号線を省略することができる。画素面積をさらに低減することができる。

10

【0150】

（実施例5）

本実施例の光電変換装置について、実施例1と異なる点を中心に説明する。

【0151】

本実施例の光電変換装置が有する画素100の光電変換部120は、光電変換層103と画素電極105との間に絶縁層が挟まれた、いわゆるMIS型の光電変換部である。

【0152】

図19に本実施例の光電変換部120の構成を示す。図3と同じ機能を有する部分には、同じ符号を付してある。実施例1と同じ部分については、説明を省略する。

【0153】

本実施例の光電変換部120は、上部電極101、ブロッキング層102、光電変換層103、絶縁層111、画素電極105を含む。光電変換部120は、いわゆるMIS型の構成となる。上部電極101には、所定の電圧 Vs が供給される。本実施例においても、光電変換層103が生成する信号電荷を正孔とする。上部電極101には、例えば3Vの電圧 Vs が供給される。

20

【0154】

増幅トランジスタ106のゲートは、増幅手段の入力ノードである。増幅トランジスタ106のゲートは、画素電極105に電氣的に接続されている。

【0155】

画素電極105は、容量素子109の第1ノードに電氣的に接続されている。容量素子109の第2ノードは、第1ノードと容量結合している。別の観点で言えば、ノードCは容量素子109を介してノードBと容量結合している。本実施例では、容量素子109の第2ノードに、電圧制御部110が接続される。電圧制御部110から、電圧制御線（ $Vref$ 線）135を介して電圧 $Vref$ が容量素子109の第2ノードとリセットトランジスタ108とに供給される。電圧制御部110は、リセットトランジスタ108がオフのとき、容量素子109の第2端子に、少なくとも第1電圧 $Vref1$ と、第1電圧 $Vref1$ とは異なる値の第2電圧 $Vref2$ を供給する。これによりノードBの電圧の振り下げ、振り上げ動作を行う。

30

【0156】

信号電荷が正孔の場合、第2電圧 $Vref2$ は第1電圧 $Vref1$ より高い電圧である。信号電荷が正孔の場合、例えば、第1電圧 $Vref1$ は0Vであり、第2電圧 $Vref2$ は5Vである。一方、信号電荷が電子の場合では、第2電圧 $Vref2$ は第1電圧 $Vref1$ より低い電圧である。信号電荷が電子の場合、例えば、第1電圧 $Vref1$ が5Vであり、第2電圧 $Vref2$ が0Vである。

40

【0157】

リセットトランジスタ108のドレインは、ノードCに接続される。リセットトランジスタ108のソースは、画素電極105、および、増幅トランジスタ106のゲートに接続されている。電圧制御部110は、リセットトランジスタ108がオンのとき、リセット電圧 $Vres$ をノードCに供給する。このような構成により、リセットトランジスタ108は、ノードBの電圧をリセット電圧 $Vres$ にリセットすることができる。本実施例

50

においては、電圧制御部 110 は、 V_{ref1} 、 V_{ref2} 、 V_{res} の 3 値出力を制御する。

【0158】

次に、リセットトランジスタ 108 の供給するリセット電圧 V_{res} について説明する。信号電荷が正孔の場合、リセット電圧 V_{res} は、光電変換部 120 の上部電極 101 に供給される電圧 V_s よりも低い電圧である。信号電荷が電子の場合、リセット電圧 V_{res} は、光電変換部 120 の上部電極 101 に供給される電圧 V_s よりも高い電圧である。

【0159】

本実施例では、ノード C の電圧 V_{ref} を制御することで、容量素子 109 を介してノード C と結合しているノード B の電圧を制御する。そのため、ノード C に供給される電圧 V_{ref} と、リセット電圧 V_{res} あるいはノード A に供給される電圧 V_s との直流的な電圧の大小関係は、特に制限されない。

【0160】

次に、本実施例の光電変換装置の動作について説明する。図 20 は、光電変換部 120 におけるエネルギーバンドを模式的に示している。図 21 は、本実施例の光電変換装置に用いられる駆動信号のタイミングチャートを示している。

【0161】

図 20 には、上部電極 101、ブロッキング層 102、光電変換層 103、絶縁層 111、画素電極 105 のエネルギーバンドが示されている。図 20 の縦軸は電子、正孔に対するポテンシャルを表している。図 20 の上に行くほど、電子に対するポテンシャルが高い。したがって、図 20 の上に行くほど、電圧は低くなる。上部電極 101、および、画素電極 105 については、自由電子のエネルギー準位が示されている。ブロッキング層 102、および、光電変換層 103 については、伝導帯のエネルギー準位と価電子帯のエネルギー準位との間のバンドギャップが示されている。なお、光電変換層 103 と絶縁層 111 との界面における光電変換層 103 のポテンシャルを、便宜的に、光電変換層 103 の表面ポテンシャル、あるいは、単に表面ポテンシャルと呼ぶ。

【0162】

光電変換部 120 の動作としては、以下のステップ (1) ~ (6) が繰り返し行われる。ステップ (1) は、増幅手段の入力ノードのリセットを行うステップである。ステップ (2) は、ノイズ信号 N の読み出し (N 読み) を行うステップである。ステップ (3) は、光電変換部からの信号電荷の排出 (電荷排出動作) を行うステップである。ステップ (4) は、光信号 S の読み出し (S 読み) を行うステップである。ステップ (5) は、信号電荷の蓄積の開始前のリセットを行うステップである。ステップ (6) は、信号電荷の蓄積 (蓄積動作) を行うステップである。以下、それぞれのステップについて説明する。

【0163】

図 20 (a) は、ステップ (1) からステップ (2) における光電変換部 120 の状態を示している。上部電極 101 には、電圧 V_s が供給されている。電圧 V_s は、例えば、3 V である。光電変換層 103 と絶縁層 111 の界面には、蓄積期間中に生じた信号電荷として、白丸で示された正孔が蓄積されている。蓄積された正孔の量に応じて、光電変換層 103 の表面ポテンシャルは低くなる方向 (電圧が高くなる方向) へ変化する。信号電荷として、電子が界面に蓄積される場合、蓄積される電子の量に応じて、表面ポテンシャルは高くなる方向 (電圧が低くなる方向) へ変化する。また、ノード C には第 1 電圧 V_{ref1} が供給されている。第 1 電圧 V_{ref1} は、例えば、0 V である。時刻 t_1 で、行選択信号 $pSEL(n)$ がハイレベルとなり、選択トランジスタ 107 がオンとなり、読み出し行が選択される。

【0164】

時刻 t_2 でリセット信号 $pRES(n)$ がハイレベルとなり、リセットトランジスタ 108 がオンする。電圧制御部 110 により、画素電極 105 を含むノード、つまり、ノード B の電圧がリセット電圧 V_{res} にリセットされる。同時に増幅トランジスタ 106 の

10

20

30

40

50

ゲートの電圧がリセットされる。リセット電圧 V_{res} は、例えば、 1.5 V である。

【0165】

その後、時刻 t_3 で、リセット信号 $pRES(n)$ がローレベルとなり、リセットトランジスタ 108 がオフする。このときリセットトランジスタ 108 によるリセットノイズ (図 20 のノイズ $kTC1$) が発生する。その後ノード B は電氣的にフローティングに維持される。

【0166】

リセット動作による画素電極 105 の電圧の変化に応じて、光電変換層 103 の表面ポテンシャルは変化する。この時の画素電極 105 の電圧の変化の方向は、信号電荷が蓄積することによって生じた画素電極 105 の電圧の変化とは反対の方向である。そのため、信号電荷の正孔は、光電変換層 103 に蓄積されたままである。また、ブロッキング層 102 によって上部電極 101 からの正孔の注入が抑制されるため、光電変換層 103 に蓄積された信号電荷の量の変化が生じにくくなっている。

10

【0167】

時刻 t_4 で、駆動信号 $pTN(n)$ がハイレベルとなり、増幅トランジスタ 106 から出力されたリセットノイズを含むノイズ信号 $N(V_{res} + kTC1)$ が、列回路 140 の容量 C_{TN} に保持される (N 読み)。時刻 t_5 で、駆動信号 $pTN(n)$ がローレベルとなり、 N 読み動作が終わる。

【0168】

図 20 (b) および (c) は、ステップ (3) における光電変換部 120 の状態を示している。まず、時刻 t_6 で、ノード C に第 2 電圧 V_{ref2} が供給される。信号電荷として正孔を用いているため、第 2 電圧 V_{ref2} は第 1 電圧 V_{ref1} より高い電圧である。第 2 電圧 V_{ref2} は、例えば、 5 V である。

20

【0169】

このとき、画素電極 105 (ノード B) の電圧は、ノード C の電圧の変化と同じ方向に向かって変化する。画素電極 105 の電圧の変化量 dV_B は、画素電極 105 に接続された容量素子 109 の容量値 C_p と、光電変換部 120 が有する容量の容量値 C_2 との比に応じて決まる。ノード C の電圧の変化量 dV_{ref} に対して、画素電極 105 の電圧の変化量 dV_B は、 $dV_B = dV_{ref} \times C_p / (C_p + C_2)$ と表される。なお、画素電極 105 を含むノード B は他の容量成分を含みうる。しかし光電変換部 120 が有する容量の容量値 C_2 は、他の容量成分に比べて十分に大きくなるように設計されるので、ノード B の容量値は、光電変換部 120 が有する容量の容量値 C_2 と実質的に等しいとみなすことができる。

30

【0170】

本実施例では、画素電極 105 の電圧の変化量 dV_B が、上部電極 101 の電圧 V_s とリセット電圧 V_{res} との差 ($V_s - V_{res}$) よりも十分に大きい。そのため、画素電極 105 のポテンシャルは、上部電極 101 のポテンシャルよりも低くなり、光電変換層 103 のポテンシャルの傾きが反転する。これにより、黒丸で示された電子が上部電極 101 から光電変換層 103 へ注入される。また、信号電荷として光電変換層 103 と電荷ブロッキング層 210 の界面に蓄積された正孔の全部が、ブロッキング層 102 の方へ移動する。このとき信号電荷である正孔は捕獲準位に捕獲されていないので、光電変換層 103 からブロッキング層 102 に速やかに移動することができる。そして、ブロッキング層 102 に移動した正孔は、ブロッキング層 102 の多数キャリアである電子と結合して消滅する。その結果、光電変換層 103 の正孔が光電変換層 103 から排出される。光電変換層 103 の全体が空乏化する場合には、信号電荷として蓄積された正孔の全部が排出される。

40

【0171】

次に、図 20 (c) に示される状態においては、時刻 t_7 で、ノード C に第 1 電圧 V_{ref1} が供給される。これにより、光電変換層 103 のポテンシャルの傾きが再び反転する。そのため、図 20 (b) の状態の時に光電変換層 103 に注入されていた電子は、光

50

電変換層 103 から排出される。一方、ブロッキング層 102 が、上部電極 101 から光電変換層 103 への正孔の注入を抑制する。したがって、光電変換層 103 の表面ポテンシャルは、蓄積されていた正孔の量に応じて変化する。表面ポテンシャルの変化に対応して、画素電極 105 の電圧は、リセットされた状態から、消滅した正孔の量に応じた電圧 V_p だけ変化する。つまり、信号電荷として蓄積された正孔の量に応じた電圧 V_p がノード B に現れる。蓄積された正孔の量に応じた電圧 V_p を、光信号成分と呼ぶ。

【0172】

ここで、図 20 (c) に示される状態の時に、時刻 t_8 で、駆動信号 $pTS(n)$ がハイレベルとなり、増幅トランジスタ 106 から出力された光信号 $S(V_p + V_{res} + kTC1)$ が列回路 140 の容量 CTS に保持される (S 読み)。時刻 t_9 で、駆動信号 $pTS(n)$ がローレベルとなり、 S 読みが終了する。

10

【0173】

ステップ (2) で読み出されたりセット信号 ($V_{res} + kTC1$) と、ステップ (4) で読み出された光信号 $S(V_p + V_{res} + kTC1)$ との差分が、蓄積された信号電荷に応じた電圧 V_p に基づく信号 (光信号成分) である。

【0174】

図 20 (d) は、ステップ (5) における光電変換部 120 の状態を示している。図 20 (d) において、時刻 t_{10} で、リセット信号 $pRES(n)$ がハイレベルとなり、リセットトランジスタ 108 がオンし、同時に $V_{ref}(n)$ がリセット電圧 V_{res} に設定され、ノード B の電圧がリセット電圧 V_{res} にリセットされる。時刻 t_{11} で、リセット信号 $pRES(n)$ がローレベルとなり、リセットトランジスタ 108 がオフし、同時に同時に $V_{ref}(n)$ が V_{ref1} に設定される。

20

【0175】

このときにも、リセットトランジスタ 108 によるリセットノイズ (図 20 のノイズ $kTC2$) が発生しうる。しかし、ここで発生するリセットノイズは、蓄積期間の終了後に、ステップ (1) のリセット動作を行うことで除去することができる。

【0176】

図 20 (e) および (f) は、ステップ (6) における光電変換部 120 の状態を示している。上部電極 101 に電圧 V_s が供給される。上部電極 101 の電圧 V_s は、リセット電圧 V_{res} より高いため、光電変換層 103 の電子は上部電極 101 に排出される。一方、光電変換層 103 の正孔は、光電変換層 103 と絶縁層 111 との界面に向かって移動する。この状態で光電変換層 103 に光が入射すると、光電変換によって生じた電子正孔対のうち、正孔のみが信号電荷として光電変換層 103 に蓄積される。一定期間の蓄積を行った後、ステップ (1) ~ (6) の動作が繰り返される。

30

【0177】

なお、蓄積された正孔によって光電変換層 103 の表面ポテンシャルが変化する。この表面ポテンシャルの変化に応じて、画素電極 105 の電圧は上がる。これが図 20 (f) では V_{p0} で示されている。図 20 (a) のリセット時には、上述のとおり、変化した電圧 V_{p0} を打ち消すように、画素電極 105 の電圧が変化する。つまり、画素電極 105 の電圧が下がる。したがって、光電変換層 103 の表面ポテンシャルは高くなる方向に変化する。

40

【0178】

信号電荷が電子の場合には、第 2 電圧 V_{ref2} は第 1 電圧 V_{ref1} より低い電圧である。そのため、図 20 (a) ~ (f) でのポテンシャルの傾きが反転する。それ以外の動作は同じである。

【0179】

本実施例のノイズ低減の効果について説明する。図 20 を用いて説明した動作においては、図 20 (b) の状態で光電変換層 103 のポテンシャルの傾きが反転することで、蓄積した正孔の排出を行っている。光電変換層 103 のポテンシャルの傾きを反転させることができないと、排出されない電荷が生じるため、ノイズが生じる可能性がある。ここで

50

、画素電極 105 (ノード B) の電圧の変化量 dV_B が、上部電極 101 の電圧 V_s とリセット電圧 V_{res} の差 ($V_s - V_{res}$) に比べて大きいほど、ポテンシャルの傾きを反転させやすい。つまり、画素電極 105 の電圧の変化量 dV_B が、上部電極 101 の電圧 V_s とリセット電圧 V_{res} の差 ($V_s - V_{res}$) に比べて大きいほど、ノイズを低減することができる。

【0180】

本実施例においても、リセットトランジスタ 108 のドレインと容量素子 109 の第 2 ノードが同一の電源線に接続され、また、同一の電圧制御部に接続される構成としている。これにより、本実施例に光電変換装置もまた、実施例 1 と同じく、画素 100 の回路面積の低減と、画素領域の配線面積の低減の効果を得ることができる。

10

【0181】

(実施例 7)

本発明に係る撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。図 22 に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【0182】

本実施例は、上述した各実施例の光電変換装置を撮像装置 1504 として有する撮像システムに関する。

【0183】

20

図 22 に例示した撮像システムは、レンズの保護のためのバリア 1501、被写体の光学像を撮像装置 1504 に結像させるレンズ 1502、レンズ 1502 を通過する光量を可変にするための絞り 1503 を有する。レンズ 1502、絞り 1503 は撮像装置 1504 に光を集光する光学系である。また、図 22 に例示した撮像システムは撮像装置 1504 より出力される出力信号の処理を行う出力信号処理部 1505 を有する。出力信号処理部 1505 は必要に応じて各種の補正、圧縮を行って信号を出力する動作を行う。

【0184】

出力信号処理部 1505 は、撮像装置 1504 が出力する信号を用いて、画像を生成する動作を行う。

【0185】

30

図 22 に例示した撮像システムはさらに、画像データを一時的に記憶する為のバッファメモリ部 1506、外部コンピュータ等と通信する為の外部インターフェース部 1507 を有する。さらに撮像システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体 1509、記録媒体 1509 に記録または読み出しを行うための記録媒体制御インターフェース部 1508 を有する。さらに撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御演算部 1510、撮像装置 1504 と出力信号処理部 1505 に各種タイミング信号を出力するタイミング供給部 1511 を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置 1504 と、撮像装置 1504 から出力された出力信号を処理する出力信号処理部 1505 とを有すればよい。

40

【0186】

全体制御演算部 1510 は、設定された露光条件に応じて、各実施例で説明した電圧 V_s のレベルを調整する制御部として動作する。例えば、設定された露光条件における画像のダイナミックレンジにおいて、中間値となる画素 100 の光電変換部 120 がフラットバンド状態になるように、電圧 V_s のレベルを設定する。これにより、各実施例の光電変換装置が適用された撮像装置 1504 は B モードを、露光条件に応じて、好適に行うことができる。

【0187】

また、それぞれの画素 100 において、1つのマイクロレンズに対し、複数の光電変換部 120 が対応するように設けられていてもよい。出力信号処理部 1505 は、複数の光

50

電変換部 120 のうちの一部の光電変換部が生成した電荷に基づく信号と、他方の光電変換部が生成した電荷に基づく信号とを処理する。これにより、撮像装置 1504 から被写体までの距離情報を取得することができる。つまり、出力信号処理部 1505 は、1つのマイクロレンズに対応して設けられた複数の光電変換部の一部の光電変換部が生成した電荷に基づく信号と、他の一部の光電変換部が生成した電荷に基づく信号とを用いた処理を行う。この処理により、出力信号処理部 1505 が、撮像装置 1504 から被写体までの距離情報を取得するようにすればよい。この場合、他の一部の光電変換部が生成した電荷に基づく信号を、複数の光電変換部が生成した電荷の和に基づく信号から、一部の光電変換部が生成した電荷に基づく信号を差し引くことで得るようにしてもよい。

【0188】

10

出力信号処理部 1505 は、撮像装置 1504 が形成された第 1 の半導体基板とは別の第 2 の半導体基板に設けられている。この第 1 の半導体基板と第 2 の半導体基板とはそれぞれ別々のチップとしても良いし、積層して 1 つのチップとしても良い。

【0189】

また、撮像装置 1504 として用いられる光電変換装置が A/D 変換部 204 を備える例を説明した。他の例として、A/D 変換部 204 を、出力信号処理部 1505 が有するようにしてもよい。この場合には、撮像装置 1504 は、アナログ信号を出力信号処理部 1505 に出力することとなる。

【0190】

以上のように、本実施例の撮像システムは、撮像装置 1504 を適用して撮像動作を行うことが可能である。

20

【0191】

本実施例では、光電変換装置である撮像装置 1504 と A/D 変換部とが別の半導体基板に設けられた構成を説明した。しかし、光電変換装置である撮像装置 1504 と A/D 変換部とが同一の半導体基板に形成されていてもよい。また、撮像装置 1504 と出力信号処理部 1505 とが同一の半導体基板に形成されていてもよい。

【0192】

また、上述の各実施例で説明した電圧制御部 110 は、光電変換装置である撮像装置 1504 の外部に設けられていてもよい。

【0193】

30

(実施例 8)

図 23(A) は、車載カメラに関する撮像システムの一例を示したものである。撮像システム 1000 は、上述した各実施例の光電変換装置を撮像装置 1010 として備える撮像システムである。撮像システム 1000 は、撮像装置 1010 により取得された複数の画像データに対し、画像処理を行う画像処理部 1030 と、撮像システム 1000 により取得された複数の画像データから視差（視差画像の位相差）の取得を行う視差取得部 1040 を有する。

【0194】

この視差の取得は、撮像システム 1000 が、複数の撮像装置 1010 を有するステレオカメラの形態の場合には、複数の撮像装置 1010 のそれぞれから出力される信号を用いて行うことができる。また、撮像システムが、1つのマイクロレンズに対して複数の光電変換部を備える撮像装置 1010 を備える場合がある。この場合、視差取得部 1040 は、複数のフォトダイオードの一部が生成した電荷に基づく信号と、複数のフォトダイオードの他の一部が生成した電荷に基づく信号とを処理することによって視差を取得する。つまり、視差取得部 1040 は、1つのマイクロレンズに対応して設けられた複数の光電変換部の一部の光電変換部が生成した電荷に基づく信号と、他の一部の光電変換部が生成した電荷に基づく信号とを用いて視差を取得するようにすればよい。この場合、他の一部の光電変換部が生成した電荷に基づく信号を、複数の光電変換部が生成した電荷の和に基づく信号から、一部の光電変換部が生成した電荷に基づく信号を差し引くことで得るようにしてもよい。

40

50

【0195】

撮像システム1000は、取得された視差に基づいて対象物までの距離を取得する距離取得部1050と、取得された距離に基づいて衝突可能性があるか否かを判定する衝突判定部1060と、を有する。ここで、視差取得部1040や距離取得部1050は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部1060はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、距離情報取得手段は、FPGA(Field Programmable Gate Array)やASIC(Application Specific Integrated Circuit)などによって実現されてもよい。また、距離情報取得手段は、FPGA、ASICの組合せによって実現されてもよい。

10

【0196】

撮像システム1000は車両情報取得装置1310と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム1000は、衝突判定部1060での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU1410と接続されている。また、撮像システム1000は、衝突判定部1060での判定結果に基づいて、ドライバーへ警報を発する警報装置1420とも接続されている。例えば、衝突判定部1060の判定結果として衝突可能性が高い場合、制御ECU1410はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置1420は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

20

【0197】

本実施形態では車両の周囲、例えば前方または後方を撮像システム1000で撮像する。

【0198】

図23(B)に、車両前方を撮像する場合の撮像システムを示した。また、上記では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体(移動装置)に適用することができる。加えて、移動体に限らず、高度道路交通システム(ITS)等、広く物体認識を利用する機器に適用することができる。

30

【0199】

なお、上記実施例は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。また、これまで述べた各実施例を種々組み合わせて実施することができる。

40

【符号の説明】

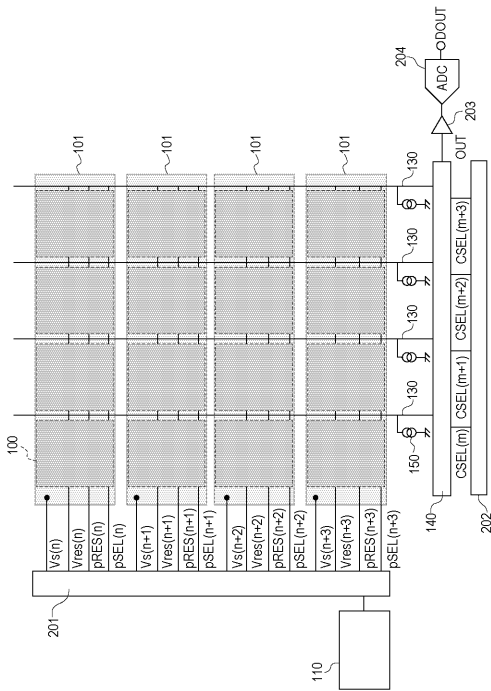
【0200】

- 100 画素
- 106 増幅トランジスタ
- 107 選択トランジスタ(トランジスタの一例)
- 108 リセットトランジスタ(トランジスタの一例)
- 109 容量素子
- 110 電圧供給部
- 120 光電変換部
- 132 VRES線(同一の配線の一例)

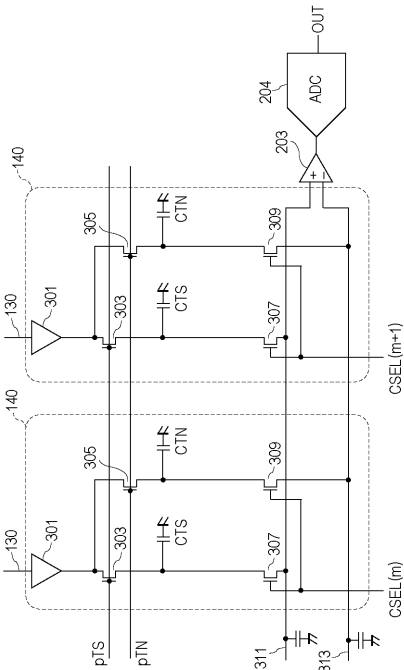
50

1 3 4 p S E L 線（同一の配線の一例）

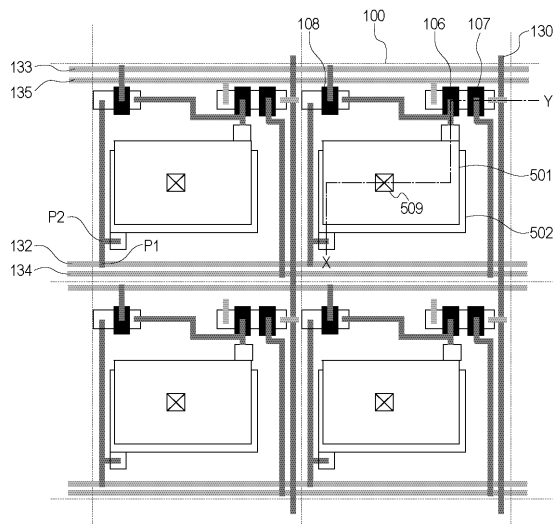
【 図 1 】



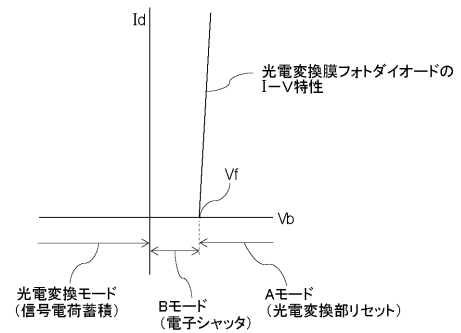
【 図 2 】



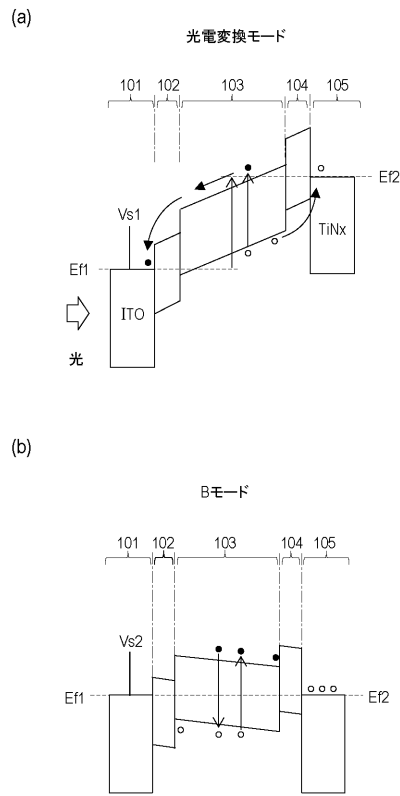
【 図 4 】



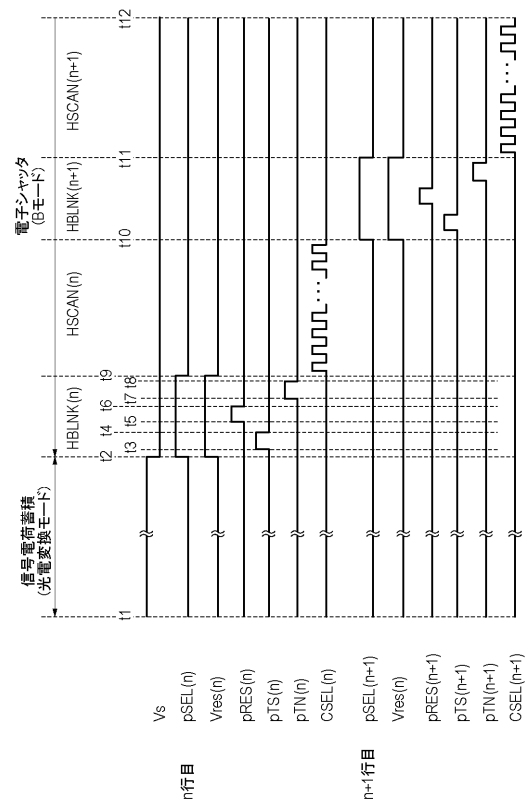
【 図 6 】



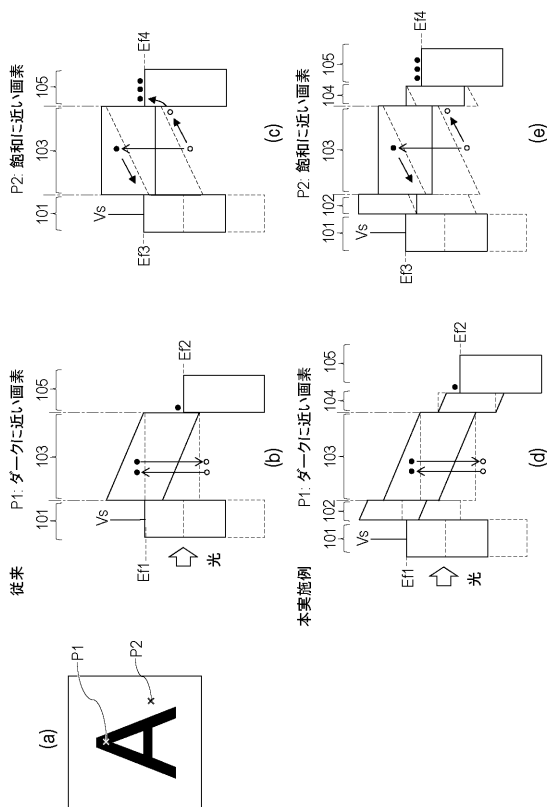
【図 7】



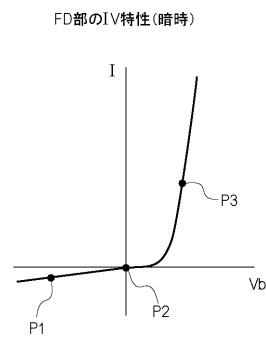
【図 8】



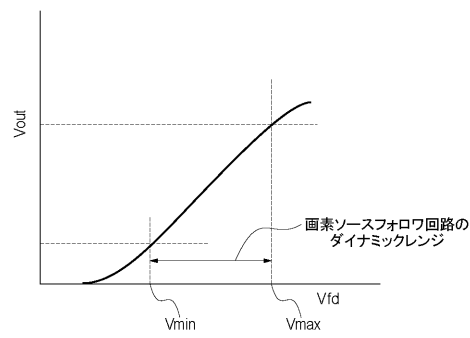
【図 9】



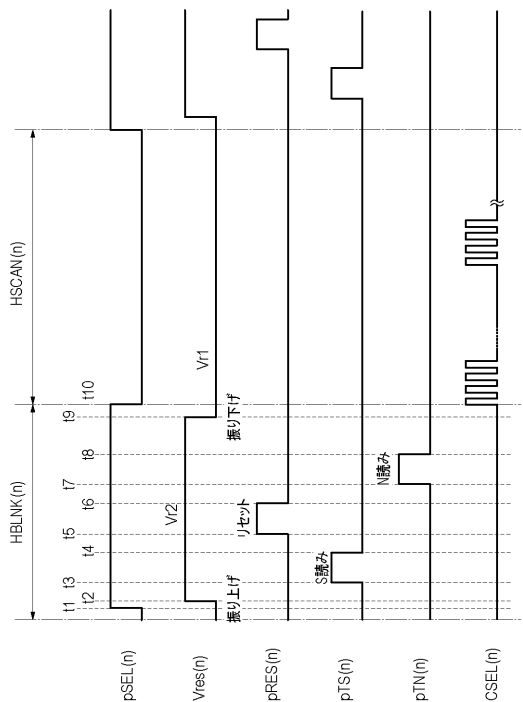
【図 10】



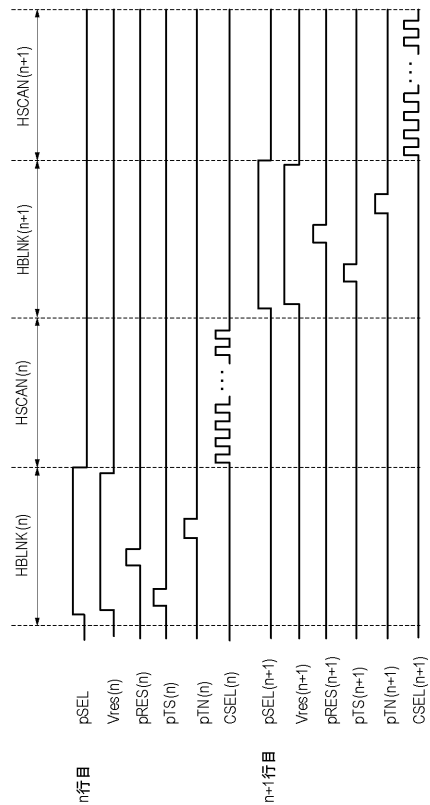
【図 1 1】



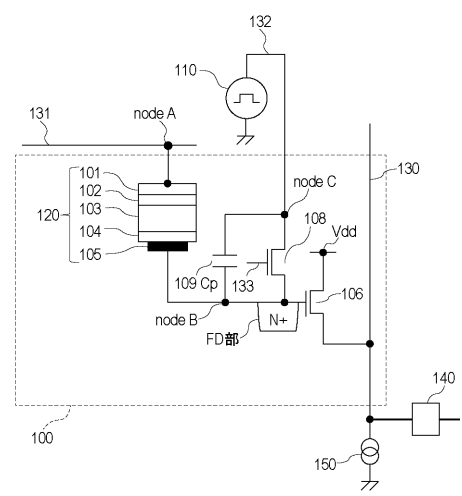
【図 1 2】



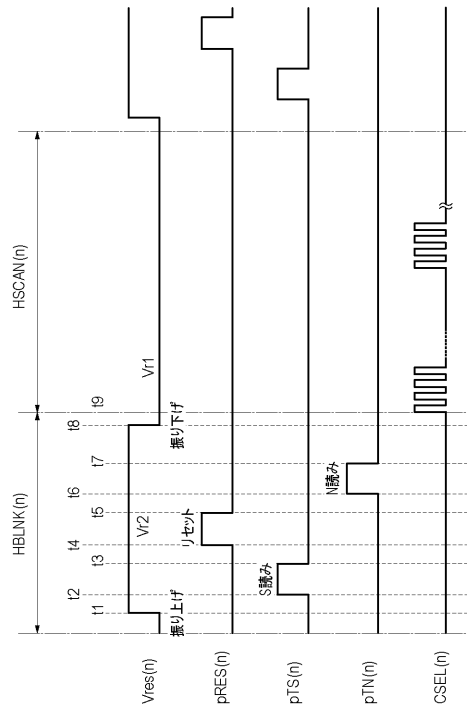
【図 1 3】



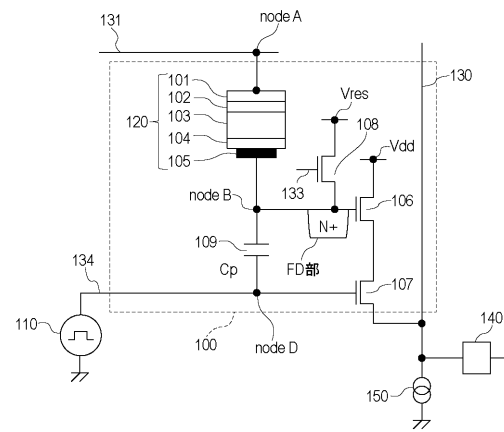
【図 1 4】



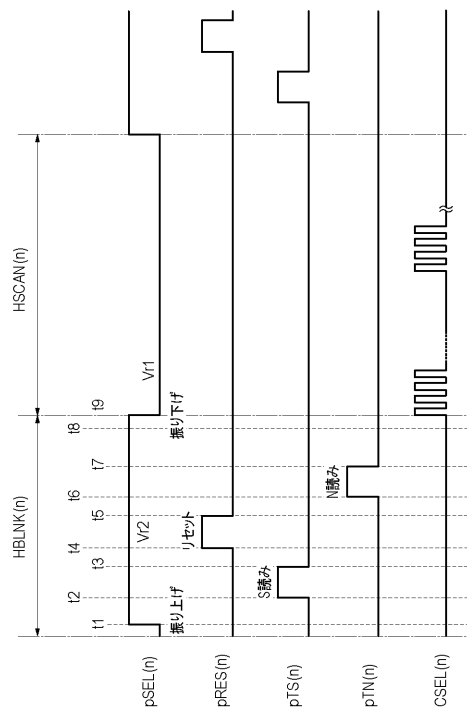
【図 15】



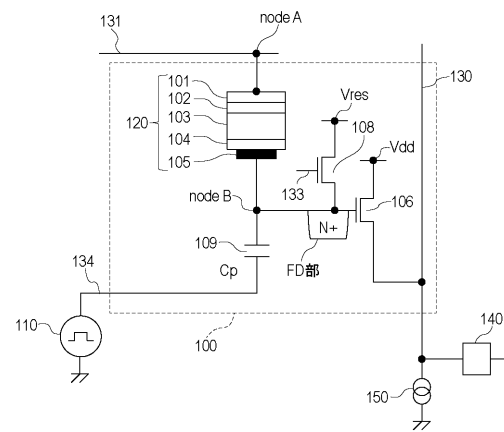
【図 16】



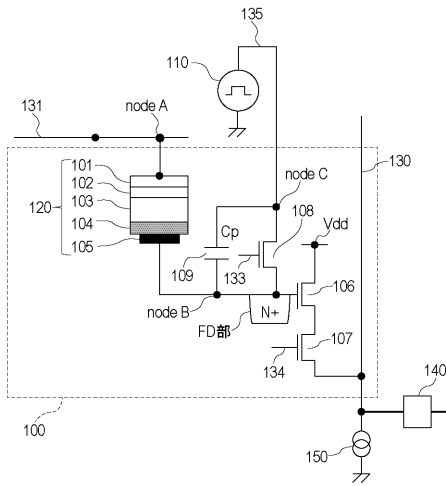
【図 17】



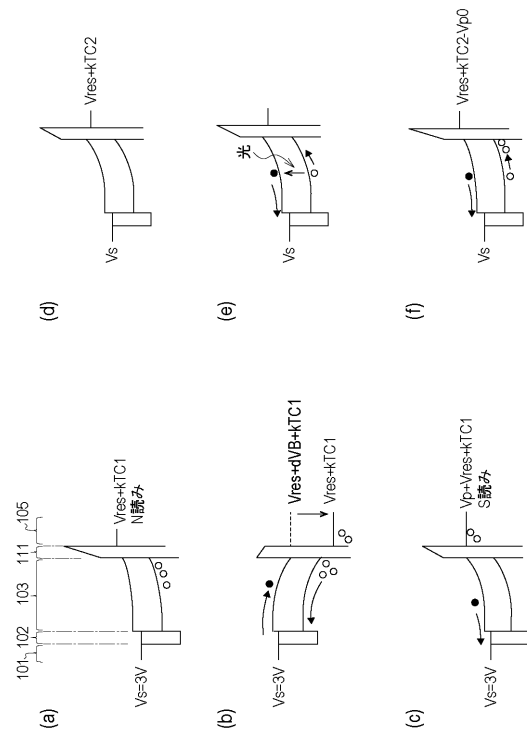
【図 18】



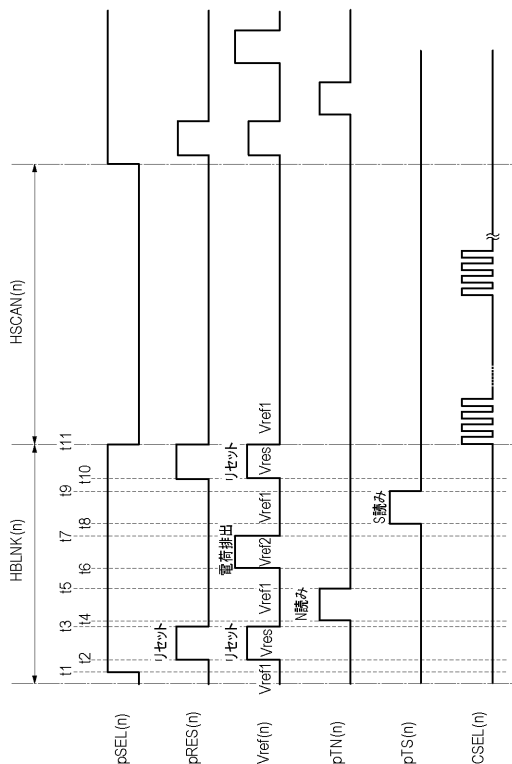
【 図 1 9 】



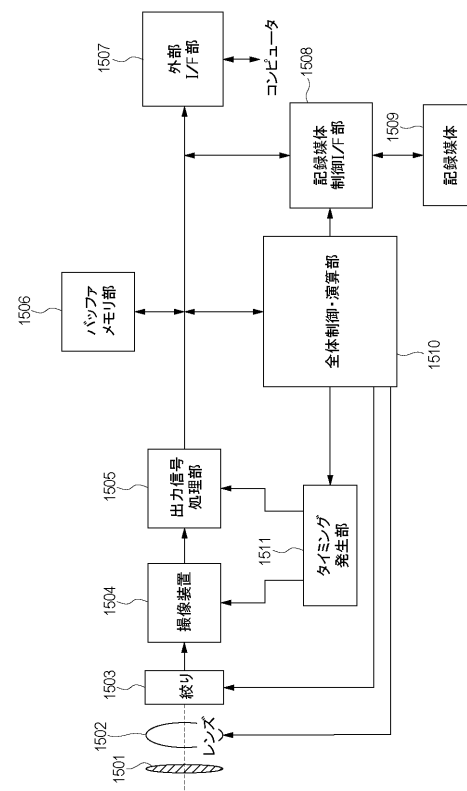
【 図 2 0 】



【 図 2 1 】

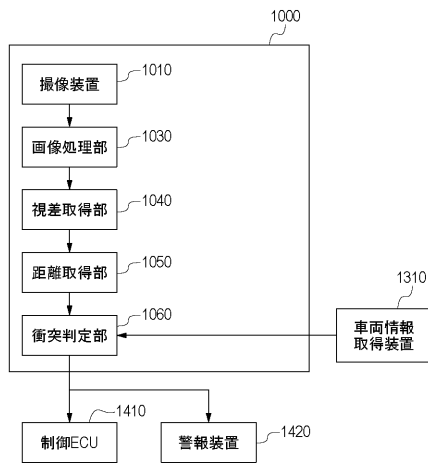


【 ㊦ 2 2 】

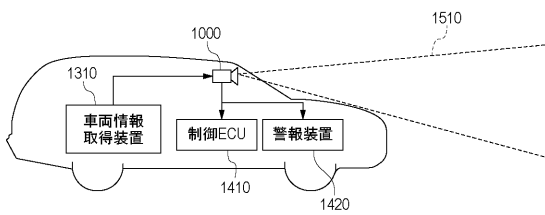


【図 23】

(A)



(B)



フロントページの続き

F ターム(参考) 5C024 AX01 CX03 CY17 EX43 GX07 GX16 GX18 GY31 HX12 HX17
HX35 HX40 HX47 HX50
5C122 DA13 DA14 EA22 FA06 FB05 FC06 HB02 HB06 HB10