



(12)发明专利

(10)授权公告号 CN 107343159 B

(45)授权公告日 2020.08.07

(21)申请号 201710299108.9

(22)申请日 2017.04.28

(65)同一申请的已公布的文献号

申请公布号 CN 107343159 A

(43)申请公布日 2017.11.10

(30)优先权数据

2016-091611 2016.04.28 JP

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 山崎贵史

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 欧阳帆

(51)Int.Cl.

H04N 5/32(2006.01)

H04N 5/355(2011.01)

H04N 5/365(2011.01)

H04N 5/367(2011.01)

H04N 5/363(2011.01)

(56)对比文件

JP 2013162164 A, 2013.08.19,

JP H1169231 A, 1999.03.09,

JP 2015012546 A, 2015.01.19,

CN 101453576 A, 2009.06.10,

CN 103067666 A, 2013.04.24,

CN 103124323 A, 2013.05.29,

US 2013322596 A1, 2013.12.05,

US 2011228144 A1, 2011.09.22,

审查员 赵莹

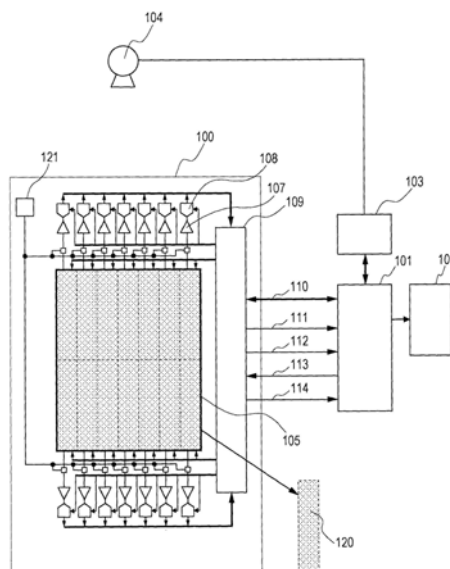
权利要求书4页 说明书14页 附图16页

(54)发明名称

成像装置和放射线照相成像系统

(57)摘要

本发明涉及成像装置和放射线照相成像系统。成像装置包括：以矩阵形式布置的多个像素，每个像素都配置为生成电信号，每个像素都配置为使得电信号能够被非破坏性地读出；输出放大器，配置为顺序地输出从所述多个像素非破坏性地读出的电信号；以及控制单元，配置为在用于一帧图像数据的电信号正从所述多个像素被非破坏性地读出的时间段中，多次执行非破坏性的读出处理以用于从第一行中的像素非破坏性地读出电信号，以及多次执行非破坏性的读出处理以用于从与第一行相邻的第二行中的像素非破坏性地读出电信号。在这种情况下，控制单元在对第一行中的像素多次执行非破坏性的读出处理的时间段中对输出放大器进行重置。



1. 一种成像装置,其特征在于,包括:

以矩阵形式布置的多个像素,所述多个像素每个都配置为生成取决于放射线或光的电信号,并且所述多个像素每个都配置为使得电信号能够被非破坏性地读出;

输出放大器,所述输出放大器配置为顺序地输出从所述多个像素非破坏性地读出的电信号;以及

控制单元,所述控制单元配置为在用于一帧图像数据的电信号正从所述多个像素被非破坏性地读出的时间段中,多次执行非破坏性的读出处理以用于从所述多个像素中所包括的第一行中的各像素非破坏性地读出电信号,以及多次执行非破坏性的读出处理以用于从与所述第一行相邻的第二行中的各像素非破坏性地读出电信号,

其中,在对所述第一行中的像素多次执行非破坏性的读出处理的时间段中,所述控制单元响应于用于开始对所述第一行中的像素的多个非破坏性的读出处理中的第二及后续的非破坏性的读出处理的指令,在开始第二及后续的非破坏性的读出处理之前对所述输出放大器进行重置。

2. 根据权利要求1所述的成像装置,

其中,所述控制单元具有行选择电路、列选择电路和控制电路,所述行选择电路配置为逐行地选择所述多个像素,所述列选择电路配置为逐列地选择所述多个像素,所述控制电路配置为控制所述行选择电路、所述列选择电路和所述输出放大器;以及

其中,在所述行选择电路正在选择一行的像素的时间段中,在从当所述列选择电路对最后一列的像素执行第a次选择以用于最后一次对所述一行的像素执行第a次选择时的时间到当所述列选择电路对第一列的像素执行第(a+1)次选择以用于第一次对所述一行的像素执行第(a+1)次选择时的时间的时间段期间,所述控制电路对所述输出放大器进行重置,其中a是等于或大于1的自然数。

3. 根据权利要求2所述的成像装置,

其中,所述控制电路配置为输出行选择开始信号和列选择开始信号,所述行选择开始信号用于使所述行选择电路开始选择所述一行的像素,所述列选择开始信号用于使所述列选择电路开始逐列地选择所述多个像素;

所述列选择电路响应于基于所述行选择开始信号的第一个列选择开始信号而开始对所述一行的多个像素的第一次选择,以及响应于基于所述行选择开始信号的第(a+1)个列选择开始信号而开始第(a+1)次选择;以及

所述控制电路响应于所述第(a+1)次列选择开始信号而对所述输出放大器进行重置。

4. 根据权利要求1所述的成像装置,其中,通过将参考电压供给到所述输出放大器的输入以使所述输出放大器的输出固定来对所述输出放大器进行重置。

5. 根据权利要求4所述的成像装置,其中,所述参考电压等于当放射线或光被照射到所述多个像素时从所述多个像素读出的电信号。

6. 根据权利要求4所述的成像装置,还包括电压供给单元,所述电压供给单元配置为供给所述参考电压。

7. 根据权利要求6所述的成像装置,其中,所述多个像素设置在具有单晶半导体的成像基板上,以及

所述输出放大器设置在不同于所述成像基板的电路基板上。

8. 根据权利要求7所述的成像装置, 其中, 所述电压供给单元电连接在所述成像基板和所述电路基板之间。

9. 根据权利要求7所述的成像装置, 其中, 所述电压供给单元设置在所述成像基板上, 并且电连接在所述多个像素和所述输出放大器之间。

10. 根据权利要求7所述的成像装置, 其中, 所述多个像素每个都具有转换单元、放大单元和保持单元, 所述转换单元配置为将放射线或光转换成电荷, 所述放大单元配置为放大所述电荷, 所述保持单元配置为保持通过由所述放大单元放大由所述转换单元所转换的电荷而获得的信号。

11. 根据权利要求10所述的成像装置, 其中, 所述保持单元具有第一保持单元、第二保持单元和第三保持单元, 所述第一保持单元配置为保持通过由所述放大单元放大由具有第一灵敏度的转换单元所转换的电荷而获得的第一信号, 所述第二保持单元配置为保持通过由所述放大单元放大由具有不同于第一灵敏度的第二灵敏度的转换单元所转换的电荷而获得的第二信号, 所述第三保持单元配置为保持放大单元的偏移信号。

12. 根据权利要求11所述的成像装置,

其中, 所述输出放大器是差分放大器,

所述成像装置还包括:

第一开关, 所述第一开关配置为当使所述第一开关进入传导状态时将第一信号输入到所述差分放大器的反相输入端子;

第二开关, 所述第二开关配置为当使所述第二开关进入传导状态时将第二信号输入到所述反相输入端子;

第三开关, 所述第三开关配置为当使所述第三开关进入传导状态时将所述参考电压输入到所述反相输入端子;

第四开关, 所述第四开关配置为当使所述第四开关进入传导状态时将所述偏移信号输入到所述差分放大器的非反相输入端子; 以及

第五开关, 所述第五开关配置为当使所述第五开关进入传导状态时将所述参考电压输入到所述非反相输入端子。

13. 根据权利要求7所述的成像装置,

其中, 所述电路基板包括A/D转换器和校正单元, 所述A/D转换器配置为将电信号转换为数字信号, 所述电信号是从所述输出放大器输出的模拟信号, 所述校正单元配置为将用于基于来自所述A/D转换器的数字信号对所述输出放大器和所述A/D转换器的偏移分量进行校正的校正电压供给到所述输出放大器的输入端; 以及

其中, 所述控制单元控制以在所述校正单元输出校正电压的情况下禁止所述电压供给单元供给所述参考电压。

14. 根据权利要求10所述的成像装置, 其中, 所述转换单元包括波长转换元件和光电转换元件, 所述波长转换元件配置为将放射线转换成光, 所述光电转换元件配置为将光转换成电荷。

15. 一种放射线照相成像系统, 其特征在于, 包括:

根据权利要求1所述的成像装置;

处理设备, 所述处理设备配置为处理来自所述成像装置的信号; 以及

放射线发生器,所述放射线发生器配置为生成到所述成像装置的放射线。

16. 一种成像装置,其特征在于,包括:

以矩阵形式布置的多个像素,所述多个像素每个都配置为生成取决于放射线或光的电信号,并且所述多个像素每个都配置为使得电信号能够被非破坏性地读出;

输出放大器,所述输出放大器配置为顺序地输出从所述多个像素非破坏性地读出的电信号;以及

控制单元,所述控制单元配置为在用于一帧图像数据的电信号正从所述多个像素被非破坏性地读出的时间段中,多次执行非破坏性的读出处理以用于从所述多个像素中所包括的第一行中的各像素非破坏性地读出电信号,以及多次执行非破坏性的读出处理以用于从与所述第一行相邻的第二行中的各像素非破坏性地读出电信号,

其中,所述控制单元具有行选择电路、列选择电路和控制电路,所述行选择电路配置为逐行地选择所述多个像素,所述列选择电路配置为逐列地选择所述多个像素,所述控制电路配置为控制所述行选择电路、所述列选择电路和所述输出放大器;以及

其中,在所述行选择电路正在选择一行的像素的时间段中,在从当所述列选择电路对最后一列的像素执行第 a 次选择以用于最后一次对所述一行的像素执行第 a 次选择时的时间到当所述列选择电路对第一列的像素执行第 $(a+1)$ 次选择以用于第一次对所述一行的像素执行第 $(a+1)$ 次选择时的时间的时间段期间,所述控制电路对所述输出放大器进行重置,其中 a 是等于或大于1的自然数。

17. 根据权利要求16所述的成像装置,

其中,所述控制电路配置为输出行选择开始信号和列选择开始信号,所述行选择开始信号用于使所述行选择电路开始选择所述一行的像素,所述列选择开始信号用于使所述列选择电路开始逐列地选择所述多个像素;

所述列选择电路响应于基于所述行选择开始信号的第一个列选择开始信号而开始对所述一行的多个像素的第一次选择,以及响应于基于所述行选择开始信号的第 $(a+1)$ 个列选择开始信号而开始第 $(a+1)$ 次选择;以及

所述控制电路响应于所述第 $(a+1)$ 次列选择开始信号而对所述输出放大器进行重置。

18. 根据权利要求16所述的成像装置,其中,通过将参考电压供给到所述输出放大器的输入以使所述输出放大器的输出固定来对所述输出放大器进行重置。

19. 根据权利要求18所述的成像装置,其中,所述参考电压等于当放射线或光被照射到所述多个像素时从所述多个像素读出的电信号。

20. 根据权利要求18所述的成像装置,还包括电压供给单元,所述电压供给单元配置为供给所述参考电压。

21. 根据权利要求20所述的成像装置,其中,所述多个像素设置在具有单晶半导体的成像基板上,以及

所述输出放大器设置在不同于所述成像基板的电路基板上。

22. 根据权利要求21所述的成像装置,其中,所述电压供给单元电连接在所述成像基板和所述电路基板之间。

23. 根据权利要求22所述的成像装置,其中,所述电压供给单元设置在所述成像基板上,并且电连接在所述多个像素和所述输出放大器之间。

24. 根据权利要求21所述的成像装置, 其中, 所述多个像素每个都具有转换单元、放大单元和保持单元, 所述转换单元配置为将放射线或光转换成电荷, 所述放大单元配置为放大所述电荷, 所述保持单元配置为保持通过由所述放大单元放大由所述转换单元所转换的电荷而获得的信号。

25. 根据权利要求24所述的成像装置, 其中, 所述保持单元具有第一保持单元、第二保持单元和第三保持单元, 所述第一保持单元配置为保持通过由所述放大单元放大由具有第一灵敏度的转换单元所转换的电荷而获得的第一信号, 所述第二保持单元配置为保持通过由所述放大单元放大由具有不同于第一灵敏度的第二灵敏度的转换单元所转换的电荷而获得的第二信号, 所述第三保持单元配置为保持放大单元的偏移信号。

26. 根据权利要求25所述的成像装置,

其中, 所述输出放大器是差分放大器,

所述成像装置还包括:

第一开关, 所述第一开关配置为当使所述第一开关进入传导状态时将第一信号输入到所述差分放大器的反相输入端子;

第二开关, 所述第二开关配置为当使所述第二开关进入传导状态时将第二信号输入到所述反相输入端子;

第三开关, 所述第三开关配置为当使所述第三开关进入传导状态时将所述参考电压输入到所述反相输入端子;

第四开关, 所述第四开关配置为当使所述第四开关进入传导状态时将所述偏移信号输入到所述差分放大器的非反相输入端子; 以及

第五开关, 所述第五开关配置为当使所述第五开关进入传导状态时将所述参考电压输入到所述非反相输入端子。

27. 根据权利要求21所述的成像装置,

其中, 所述电路基板包括A/D转换器和校正单元, 所述A/D转换器配置为将电信号转换为数字信号, 所述电信号是从所述输出放大器输出的模拟信号, 所述校正单元配置为将用于基于来自所述A/D转换器的数字信号对所述输出放大器和所述A/D转换器的偏移分量进行校正的校正电压供给到所述输出放大器的输入端; 以及

其中, 所述控制单元控制以在所述校正单元输出校正电压的情况下禁止所述电压供给单元供给所述参考电压。

28. 根据权利要求24所述的成像装置, 其中, 所述转换单元包括波长转换元件和光电转换元件, 所述波长转换元件配置为将放射线转换成光, 所述光电转换元件配置为将光转换成电荷。

29. 一种放射线照相成像系统, 其特征在于, 包括:

根据权利要求16所述的成像装置;

处理设备, 所述处理设备配置为处理来自所述成像装置的信号; 以及

放射线发生器, 所述放射线发生器配置为生成到所述成像装置的放射线。

成像装置和放射线照相成像系统

技术领域

[0001] 本公开涉及成像装置和放射线照相成像系统。

背景技术

[0002] 应用于放射线照相成像系统中的成像装置具有以矩阵形式布置的多个像素,并且每个像素都配置为输出取决于放射线或光的电信号。这种成像装置还具有多个行选择线和多个列信号线,所述多个行选择线在列方向上排列并且电连接到行方向上的多个像素,所述多个列信号线在行方向上排列并且电连接到列方向上的多个像素。所述多个列信号线通过列选择开关电连接到输出信号线,以及输出放大器电连接到输出信号线并且配置为对传送到输出信号线的信号执行阻抗转换。电连接到多个行选择线的行选择电路逐行地选择多个像素。在一行中的多个像素正被选择的时间段期间,电连接到多个列选择开关的列选择电路通过输出信号线和输出放大器顺序地从所述一行中的像素输出电信号。

[0003] 关于这样的成像装置,日本专利特开No. 11-069231公开了在从来自一行的最后被选列中的像素的电信号的输出到来自下一行的第一被选列中的像素的电信号的输出的时间段期间,所请求的参考电压被供给到输出放大器的输入端。因为最后被选列中的像素和第一被选列中的像素被定位成彼此远离,所以从这些像素输出的电信号可能极大地不同。在这样的情况下,来自最后被选列中的像素的电信号可能对来自第一被选列中的像素的电信号有影响。特别是在成像装置以高扫描速度扫描并且输出放大器没有足够的建立时间的情况下,该影响可能表现为图像伪像。特别是在这种情况下,每次从像素输出电信号时都供给所请求的参考电压可能使输出放大器的建立时间明显不足。因此,为了减小影响,可以在对输出放大器进行重置的时间段期间将所请求的参考电压供给输出放大器的输入端。

[0004] 另一方面,具有可以从其非破坏性地读出(或输出)取决于放射线或光的电信号的像素的成像装置已经是已知的。日本专利特开No. 2013-162164公开了具有多个像素的成像装置,所述多个像素以矩阵布置,并且可以对所述多个像素执行非破坏性的读出,在非破坏性读出中,在一行中的像素正被选择的时间段期间,电信号多次从所述一行中的像素被非破坏性地读出。该处理被称为多次非破坏性的读出处理。日本专利特开No. 2013-162164公开了将多次非破坏性地读取的电信号求平均以减小噪声。日本专利特开No. 2015-012546公开了具有多个像素的成像装置,所述多个像素以矩阵形式布置,并且可以以不同的灵敏度对所述多个像素执行多次非破坏性读出。日本专利特开No. 2015-012546公开了可以获得具有动态范围的图像,该动态范围基于通过当一行中的像素正被选择时的时间段期间执行的多次非破坏性读出所获得的电信号扩展。

[0005] 然而,如日本专利特开No. 2013-162164和日本专利特开No. 2015-012546中的在一行中的像素正被选择的时间段期间电信号被多次从所述一行中的像素非破坏性地读取的成像装置可能需要考虑关于要如何重置该成像装置中的输出放大器。

发明内容

[0006] 因此,本公开提供了成像装置,在该成像装置中,在一行中的像素正被选择的时间段期间可以从所述一行中的像素多次非破坏性地读取电信号,并且该成像装置具有足以抑制由于影响而导致的图像伪像的建立时间。根据本公开的一方面的成像装置包括:以矩阵形式布置的多个像素,所述多个像素中的每个像素都配置为生成取决于放射线或光的电信号,并且配置为使得电信号能够被非破坏性地读出;输出放大器,配置为顺序地输出从所述多个像素非破坏性地读出的电信号;以及控制单元,配置为在来自一帧图像数据的电信号正从所述多个像素被非破坏性地读出的时间段中,多次执行非破坏性的读出处理以用于从所述多个像素的第一行的像素非破坏性地读出电信号,以及多次执行非破坏性的读出处理以用于从与第一行相邻的第二行的像素非破坏性地读出电信号。在这种情况下,控制单元在对第一行的像素多次执行非破坏性的读出处理的时间段中对输出放大器进行重置。

[0007] 根据以下参照附图的对示例性实施例的描述,本发明的其它的特征将变得清楚。下面描述的本发明的实施例中的每个实施例都可以单独实现,或者,在必要的情况下或者在在一个实施例中组合来自单独的实施例的要素或特征是有益的情况下,下面描述的本发明的实施例中的每个实施例都可以实现为多个实施例或其特征的组合。

附图说明

- [0008] 图1是例示根据第一实施例的放射线照相成像系统的示意性框图。
- [0009] 图2是例示一个像素的配置的示例的示意性电路图。
- [0010] 图3是例示成像装置的示例操作的时序图。
- [0011] 图4是例示根据第一实施例的半导体基板的示例内部结构的示意性电路图。
- [0012] 图5是例示根据第一实施例的示例电路基板的示意性电路图。
- [0013] 图6是例示根据第一实施例的成像装置中的控制的时序图。
- [0014] 图7是例示差分放大器的反相输入端子的电压变化的特性图。
- [0015] 图8是例示根据第二实施例的放射线照相成像系统的示意性框图。
- [0016] 图9是例示根据第二实施例的示例电路基板的示意性电路图。
- [0017] 图10是例示根据第二实施例的半导体基板的示例内部结构的示意性电路图。
- [0018] 图11是例示根据第二实施例的电压供给单元的示意性电路图。
- [0019] 图12是例示根据第二实施例的控制的流程图。
- [0020] 图13是例示根据第二实施例的成像装置中的控制的时序图。
- [0021] 图14是例示根据第三实施例的半导体基板的示例内部结构的示意性电路图。
- [0022] 图15是例示根据第三实施例的示例电路基板的示意性电路图。
- [0023] 图16是例示根据第三实施例的成像装置中的控制的时序图。

具体实施方式

[0024] 下面将参照附图详细描述用于实施本公开的模式。应注意,放射线通常可以是X射线,但是也可以是 α 射线、 β 射线或 γ 射线。

[0025] 第一实施例

[0026] 首先,将参照图1来描述包括成像装置的放射线照相成像系统。图1是放射线照相

成像系统的示意性框图。

[0027] 图1例示了成像装置100、图像处理设备101、图像显示装置102、X射线发生器(放射线发生器)103以及X射线管104。在照相时,控制设备(未示出)控制使得成像装置100和X射线发生器103可以彼此同步。已经透射通过物体的X射线被闪烁器(未例示出)转换为可见光,被基于光量光电转换,然后被A/D转换。此后,将与X射线照射相对应的帧图像数据从成像装置100传输到图像处理设备101。在所传输的帧图像数据经过图像处理之后,所得的放射线照相图像在图像显示装置102上实时地显示。

[0028] 成像装置100内部包含平板传感器105。平板传感器105具有在基底(未示出)上以7列 \times 2行的矩阵平铺的矩形半导体基板120(例如,在图4中示出)。半导体基板120中的每一个都是具有单晶半导体(诸如硅半导体晶圆)的成像基板,并且包括以矩阵形式布置的多个像素。用作联合区域传感器的半导体基板120上具有以相等间距二维地布置的像素。像素以相等间距跨半导体基板120之间的边界平铺。外部电路基板通过以矩阵形式布置的外部端子(电极焊盘)连接到平板传感器105的上边缘和下边缘。这里,成像装置100还包括电压供给单元121,该电压供给单元121配置为供给参考电压。下面将详细描述电压供给单元121。

[0029] 控制单元109配置为与图像处理设备101之间传输控制命令和同步信号,以及将图像数据传送到图像处理设备101。成像控制单元109还可以具有对平板传感器的控制功能,以及配置为控制平板传感器的驱动和控制照相模式。成像控制单元109配置为将来自成像装置100内的多个A/D转换器108的经A/D转换的数字图像数据合成为帧数据,以及将所得数据传输到图像处理设备101。成像控制单元109对应于根据本公开的控制电路。

[0030] 命令控制接口110可用于将照相模式设置、参数设置、照相开始设置以及照相完成设置从图像处理设备101传输到成像控制单元109,以及可用于将例如成像装置的状态从成像控制单元109传输到图像处理设备101。图像数据接口111可用于将所获得的图像数据从成像控制单元109传送到图像处理设备101。READY信号112是指示已经获得了成像装置100准备好照相的状态的信号,该信号是从成像控制单元109向图像处理设备101通知的。外部同步信号113是当图像处理设备101从成像控制单元109接收到READY信号112时向成像控制单元109通知用于X射线曝光的时间点的信号。在正在启用曝光许可信号114的同时,将曝光信号从图像处理设备101传送到X射线发生器103。

[0031] 接着,将参照图2来描述成像装置中的一个像素的配置的示例。像素P可以包括转换单元CP、放大单元AP、重置单元RP、第一保持单元SH1、第二保持单元SH2、第三保持单元SH3、第一输出单元OP1、第二输出单元OP2以及第三输出单元OP3。

[0032] 转换单元CP可以具有光电二极管PD、晶体管M1、浮置扩散电容器 C_{FD} (以下称为FD电容器 C_{FD})以及灵敏度切换附加电容器 C_{FD}' 。光电二极管PD是光电转换元件,并且配置为将根据作为波长转换元件的闪烁器中照射的放射线而生成的光转换为电信号。换言之,转换单元可以具有转换元件,该转换元件包括配置为将放射线转换成光的波长转换元件以及配置为将光转换成电荷的光电转换元件。然而,可以代替地提供配置为直接将放射线转换成电荷的转换元件。更具体地说,在光电二极管PD中生成取决于光的量的电荷,以及将FD电容器 C_{FD} 中的取决于所生成的电荷的量的电压输出到放大单元AP。灵敏度切换电容器 C_{FD}' 用于切换对像素P的放射线的灵敏度,以及通过晶体管M1(开关元件)连接到光电二极管PD。WIDE信号的激活使晶体管M1进入传导状态,并且FD电容器 C_{FD} 和电容器 C_{FD}' 的合成电容的电压被

输出到放大单元AP。换言之,晶体管M1的传导状态可以被控制为使得第一信号和第二信号能够被输出到放大单元AP,第一信号是取决于由具有第一灵敏度的转换单元CP所转换的电荷的电压,第二信号是取决于由具有不同于第一灵敏度的第二灵敏度的转换单元所转换的电荷的电压。

[0033] 放大单元AP具有第一控制晶体管M3、第一放大晶体管M4、箝位电容器 C_C 、第二控制晶体管M6、第二放大晶体管M7以及恒流源。第一控制晶体管M3、第一放大晶体管M4和恒流源(诸如具有电流镜配置的晶体管)串联连接以形成电流路径。要被输入到第一控制晶体管M3的栅极的使能信号EN的激活改变第一放大晶体管M4的操作状态,第一放大晶体管M4从转换单元CP接收电压。因此,源极跟随器电路形成为使得通过放大来自转换单元CP的电压而获得的电压可以从第一放大晶体管M4输出。从第一放大晶体管M4输出的电压通过箝位电容器 C_{CL} 输入到第二放大晶体管M7。第二控制晶体管M6、第二放大晶体管M7和恒流源串联连接以形成电流路径。要被输入到第二控制晶体管M6的栅极的使能信号EN的激活改变第二放大晶体管M7的操作状态,第二放大晶体管M7从第一放大晶体管M4接收电压。因此,源极跟随器电路被形成为使得通过放大来自第一放大晶体管M4的电压而获得的电压可以从第二放大晶体管M7输出。箝位电容器 C_{CL} 串联连接在第一放大晶体管M4和第二放大晶体管M7之间。将连同下面将描述的重置单元RP的描述一起来描述将由箝位电容器 C_{CL} 执行的箝位操作。

[0034] 重置单元RP包括第一重置晶体管M2和第二重置晶体管M5。响应于PRES信号的激活,第一重置晶体管M2将预定电位供给到光电二极管PD,对光电二极管PD中的电荷进行初始化,以及对要输出到放大单元AP的电压进行重置。第二重置晶体管M5将预定电位供给到箝位电容器 C_{CL} 和第二放大晶体管M7之间的连接节点,以使得要从第二放大晶体管M7输出的电压可以被重置。将取决于当由第一重置晶体管M2引起重置时来自转换单元CP的电压的电压输入到箝位电容器 C_{CL} 的端子n1。箝位信号PCL的激活使第二重置晶体管M5进入传导状态,并且作为预定电位的箝位电压VCL输入到箝位电容器 C_{CL} 的端子n2。这引起了将箝位电容器 C_{CL} 的端子n1和n2之间的电位差作为噪声分量进行箝位,并且由光电二极管PD中的电荷的后续发生和累积引起的电压变化量作为信号分量被输出。这对应于使用箝位电容器 C_{CL} 的箝位操作,该箝位操作可以抑制噪声分量,诸如转换单元CP中发生的KTC噪声以及第一放大晶体管M4中的偏移。

[0035] 第一保持单元SH1是配置为保持通过由放大单元AP放大由具有第一灵敏度的转换单元CP所转换的电荷而获得的第一信号的采样保持电路,并且包括第一传输晶体管M8和第一保持电容器CS1。更具体地说,通过使用控制信号TS1来切换第一传输晶体管M8的状态(传导状态或非传导状态)以使得可以执行采样,其中通过由放大单元AP放大由具有第一灵敏度的转换单元CP所转换的电荷而获得的第一信号被传输到电容器CS1并且被保持在电容器CS1中。第一输出单元OP1包括第一信号放大晶体管M10和第一输出开关SW9。第一信号放大晶体管M10是配置为输出通过放大第一保持电容器CS1中所保持的电压而获得的信号的晶体管。第一输出开关SW9是配置为传输从第一信号放大晶体管M10输出的信号的开关。更具体地说,输入到第一输出开关SW9的控制信号VSR使第一输出开关SW9进入传导状态,以使得恒流源(未例示出)和后一级中的第一信号放大晶体管M10可以形成源极跟随器电路。因此,通过第一输出单元OP1,像素P可以输出基于第一保持电容器CS1中所保持的第一信号或电压的第一输出信号S1。

[0036] 第二保持单元SH2是配置为保持通过由放大单元AP放大由具有不同于第一灵敏度的第二灵敏度的转换单元CP所转换的电荷而获得的第二信号的采样保持电路,并且包括第二传输晶体管M11和第二保持电容器CS2。更具体地说,通过使用控制信号TS2来切换第二传输晶体管M11的状态(传导状态或非传导状态),以使得可以执行采样,其中通过由放大单元AP放大由具有第二灵敏度的转换单元CP所转换的电荷而获得的第二信号被传输到电容器CS2,并且被保持在电容器CS2中。第二输出单元OP2包括第二信号放大晶体管M13和第二输出开关SW12。第二信号放大晶体管M13是配置为输出通过放大第二保持电容器CS2中所保持的电压而获得的信号的晶体管。第二输出开关SW12是配置为传输从第二信号放大晶体管M13输出的信号的开关。更具体地说,输入到第二输出开关SW12的控制信号VSR使第二输出开关SW12进入传导状态,以使得恒流源(未示出)和后一级中的第二信号放大晶体管M13可以形成源极跟随器电路。因此,通过第二输出单元OP2,像素P可以输出基于第二保持电容器CS2中所保持的第二信号或电压的第二输出信号S2。

[0037] 第三保持单元SH3是配置为保持放大单元AP的偏移信号的采样保持电路,并且包括第三传输晶体管M14和第三保持电容器CN。更具体地说,通过使用控制信号TN来切换第三传输晶体管M14的状态(传导状态或非传导状态)以使得可以执行采样,其中放大单元AP的偏移信号被传输到电容器CN,并且被保持在电容器CN中。第三输出单元OP3包括第三信号放大晶体管M16和第三输出开关SW15。第三信号放大晶体管M16是配置为输出通过放大第三保持电容器CN中所保持的电压而获得的信号的晶体管。第三输出开关SW15是配置为传输从第三信号放大晶体管M16输出的信号的开关。更具体地说,输入到第三输出开关SW15的控制信号VSR使第三输出开关SW15进入传导状态,以使得恒流源(未示出)和后一级中的第三信号放大晶体管M16可以形成源极跟随器电路。因此,通过第三输出单元OP3,像素P可以输出基于偏移信号的第三输出信号N。

[0038] 通过第一输出单元OP1至第三输出单元OP3,第一信号至第三信号可以从像素P被非破坏性地读出多次。多个如上所述的像素P以矩阵布置在平板传感器105中。

[0039] 接着,参照图3,将描述成像装置中的多个像素的示例操作。这里,将信号EN、TS1、TS2、PRES、PCL、TN和WIDE从成像控制单元109共同地供给到多个像素P。因此,对所述多个像素P共同地执行下面将描述的重置驱动RD和采样驱动SD。

[0040] 将开始设置限定在时间t1处,并且从时间t2开始驱动。下面将描述从时间t2开始的重置驱动RD。重置驱动RD是用于执行重置操作和箝位操作的驱动。首先,在时间t2,信号EN变为具有高电平,使得第一放大晶体管M4和第二放大晶体管M7被启用。接着,在时间t3,信号WIDE和信号PRES变为具有高电平,使得晶体管M1可以被接通,并且光电二极管PD因此电连接到参考电压VRES。接着,在时间t4,信号PCL变为具有高电平,使得晶体管M5被接通,并且参考电压VCL因此连接到箝位电容器C_{CL}的第二放大晶体管M7侧。信号TS1、TS2和TN同时变为具有高电平,使得第一传输晶体管M8、第二传输晶体管M11和第三传输晶体管M14被接通。在时间t5,信号PRES和信号WIDE变为具有低电平,使得重置完成,并且重置电压被设置在箝位电容器C_{CL}的第一放大晶体管M4侧。因为晶体管M1的导通状态,附加电容器C_{FD}'使晶体管M1侧也保持在重置电压,这防止不确定电压的发生。在时间t6,晶体管M5被关断,取决于参考电压VCL和参考电压VRES之间的差电压的电荷累积在箝位电容器C_{CL}中,并且箝位操作完成。将第一传输晶体管M8、第二传输晶体管M11和第三传输晶体管M14关断,并且将在当

参考电压VCL被设置在第一保持电容器CS1、第二保持电容器CS2和第三保持电容器CN中时的参考电压信号采样保持。这可以减小后像效应。重置驱动RD完成,并且具有光电二极管PD和FD电容器 C_{FD} 的光电转换单元的累积从时间 t_6 开始。因为累积状态,成像控制单元109使得曝光许可信号能够被传送到图像处理设备111,并且请求曝光X射线。在时间 t_7 ,信号EN变为具有低电平,以及第一放大晶体管M4和第二放大晶体管M7被禁用。重置驱动RD对所述多个像素中的所有像素是共同地执行的。随后要执行的重置驱动对所述多个像素中的所有像素也是共同地控制的。在平铺的半导体基板上,在相同的时间点以及在相同的时间段中对平铺的多个成像元件的所有像素共同地执行重置驱动以防止活动影像捕捉操作期间由成像元件和扫描线之间的切换时间偏差引起的图像偏差。此后,执行共同曝光以累积电荷,并且将在像素电路中的光电二极管PD中生成的光电荷累积在FD电容器 C_{FD} 中。

[0041] 接着,将描述从时间 t_{11} 开始的采样驱动SD。在时间 t_{11} ,信号EN变为具有高电平,使得累积在FD电容器 C_{FD} 中的电荷作为电压通过箝位电容器 C_{CL} 从作为源极跟随器操作的第一放大晶体管M4输出到第二放大晶体管M7。接着,在时间 t_{12} ,信号TS1变为具有高电平,并且第一传输晶体管M8被接通。因此,取决于FD电容器 C_{FD} 中累积的电荷的光学信号通过第二放大晶体管M7被共同地传输到第一保持电容器CS1。此时的光学信号是在高灵敏度模式下获得的信号,因为它将信号WIDE变为具有低电平。因为采样保持操作已经开始,所以成像控制单元109在时间 t_{13} 禁用对图像处理设备111的曝光许可信号,这禁止X射线曝光。在时间 t_{14} ,信号TS1变为具有低电平,并且第一传输晶体管M8被关断。因此,将高灵敏度模式下的光电荷信号采样保持在第一保持电容器CS1中。接着,在时间 t_{15} ,信号WIDE变为具有高电平,并且晶体管M1被接通。因为晶体管M1被接通,所以浮置扩散部分可以具有增大的电容,使得像素的灵敏度从高灵敏度模式变为低灵敏度模式。因此,因为浮置扩散部分的电容增大了相当于附加的电容器 C_{FD}' 的量,所以PD中剩余的电荷信息也可以被读出。接着,在时间 t_{16} ,信号TS2变为具有高电平,并且第二传输晶体管M11被接通。因此,低灵敏度模式下的光学信号通过第二放大晶体管M7被共同传输到第二保持电容器CS2。在时间 t_{17} ,信号TS2变为具有低电平,并且第二传输晶体管M11被关断。因此,将低灵敏度模式下的光电荷信号采样保持在第二保持电容器CS2中。接着,在时间 t_{18} ,信号PRES变为具有高电平,以及第一重置晶体管M2被接通。然后,FD电容器 C_{FD} 和附加的电容器 C_{FD}' 被重置为参考电压VRES。接着,在时间 t_{19} ,信号PCL变为具有高电平。具有叠加在电压VCL和电压VRES之间的差电压上的重置噪声的电荷累积在箝位电容器 C_{CL} 中。在时间 t_{20} ,信号PRES变为具有低电平,并且重置操作完成。信号WIDE也变为具有低电平,并且附加的电容器 C_{FD}' 具有固定电位。在时间 t_{21} ,信号TN变为具有高电平,并且第三传输晶体管M14被接通。因此,将在当设置参考电压VCL时的偏移信号传输到第三保持电容器CN。接着,在时间 t_{22} ,信号TN变为具有低电平,并且第三传输晶体管M14被关断。因此,将偏移信号采样保持在第三保持电容器CN中。在时间 t_{23} ,信号PCL变为具有低电平。在时间 t_{24} ,信号EN变为具有低电平。因此,采样驱动SD完成。采样驱动SD对所述多个像素中的所有像素是共同执行的。随后的采样驱动也在该时间点被控制。在采样驱动SD之后,在时间 t_{31} 再次执行重置驱动RD,然后开始下一帧中的光电二极管PD中的累积。

[0042] 应注意,图2中的像素中的光电二极管PD中的累积是在图3所示时间 t_6 和 t_{23} 处开始的。累积在时间 t_{14} 结束。可以在从时间 t_{17} 到时间 t_{31} 的时间段中从传感器读出信号。在

采样驱动SD完成之后,对像素执行读出处理R0。读出处理可以在采样保持操作之后立即执行,使得直到图像显示的延迟可以尽可能地短。

[0043] 接着,将参照图4来描述半导体基板120中的每个的内部结构的示例。半导体基板120包括多个像素P、垂直扫描电路403和水平扫描电路404,垂直扫描电路403配置为驱动像素P,水平扫描电路404配置为从像素P读取信号。垂直扫描电路403和水平扫描电路404可以包括例如移位寄存器,并且基于来自控制单元109的控制信号进行操作。垂直扫描电路403配置为通过控制线405向像素P输入控制信号VSR,并且基于控制信号VSR来逐行地驱动像素P。换言之,垂直扫描电路403用作行选择电路,并且逐行地选择像素P以从其读取信号。水平扫描电路404用作列选择电路,并且基于控制信号HSR来逐列地选择像素P,并且使像素P顺序地输出信号(水平传输)。半导体基板120还具有端子 E_{S1} 、端子 E_{S2} 和端子 E_N ,端子 E_{S1} 配置为读出像素P中的每个像素中的电容器CS1中所保持的第一信号,端子 E_{S2} 配置为读出电容器CS2中所保持的第二信号,端子 E_N 配置为读出电容器CN中所保持的电压。半导体基板120中的每个都还具有选择端子 E_{CS} 。响应于通过端子 E_{CS} 接收到的激活信号,可以通过端子 E_{S1} 、 E_{S2} 和 E_N 从半导体基板120中的像素P读出信号。

[0044] 更具体地说,像素P中的每个像素都具有端子S1、S2和N,端子S1、S2和N分别连接到与这些端子相对应的列信号线406至408。列信号线406至408通过开关SWH连接到模拟输出线409至411,开关SWH响应于来自水平扫描电路404的控制信号进入传导状态。模拟输出线409至411中的信号通过开关SWCS从端子 E_{S1} 、 E_{S2} 和 E_N 输出,开关SWCS响应于端子 E_{CS} 所接收的信号进入传导状态。

[0045] 半导体基板120中的每个都还具有端子HST、CLKH、VST和CLKV,这些端子配置为接收用于控制垂直扫描电路403和水平扫描电路404的控制信号。端子HST配置为接收输入到水平扫描电路404的开始脉冲。端子CLKH配置为接收输入到水平扫描电路404的时钟信号。端子VST配置为接收输入到垂直扫描电路403的开始脉冲。端子CLKV配置为接收输入到垂直扫描电路403的时钟信号。这些控制信号从下面将描述的控制单元109输入。水平扫描电路404配置为基于输入到水平扫描电路404的开始脉冲和时钟信号来生成并输出控制信号HSR。垂直扫描电路403配置为基于输入到垂直扫描电路403的开始脉冲和时钟信号来生成并输出控制信号VSR。因此,根据X-Y地址方法从像素顺序地读取第一信号或第一输出信号、第二输出信号和第三输出信号。换言之,在半导体基板120中,逐行地控制像素P,并且逐列地输出(或水平地传输)保持单元中所保持的信号以用于信号读取。这里,输入到水平扫描电路404的开始脉冲对应于列选择开始信号,输入到垂直扫描电路403的开始脉冲对应于行选择开始信号。根据本公开的控制单元包括成像控制单元109、垂直扫描电路403和水平扫描电路404,在该配置中,垂直扫描电路403是行选择电路,水平扫描电路404是列选择电路。

[0046] 接着,参照图5,将描述包括输出放大器的电路基板的示例。电路基板包括差分放大器107和A/D转换器108,差分放大器107是输出放大器。第一开关M50布置在端子S1和差分放大器107的反相输入端子之间,端子S1电连接到半导体基板120的端子 E_{S1} 。第二开关M51布置在端子S2和差分放大器107的反相输入端子之间,端子S2电连接到半导体基板120的端子 E_{S2} 。第三开关M52布置在端子 V_{cex} 和差分放大器107的反相输入端子之间,端子 V_{cex} 电连接到电压供给单元121。另一方面,第四开关M53布置在端子N和差分放大器107的非反相输入端子之间,端子N电连接到半导体基板120的端子 E_N 。第五开关M54布置在端子 V_{cex} 和差分放

大器107的非反相输入端子之间,端子Vcex电连接到电压供给单元121。A/D转换器108电连接到差分放大器107的输出,并且配置为响应于控制信号ADCLK来将模拟信号转换为数字信号。根据来自成像控制单元109的控制信号 $\phi SW1$ 至 $\phi SW5$ 分别地控制第一开关M50至第五开关M54的传导/非传导。

[0047] 接着,参照图6,将描述本公开的独特的控制。从成像控制单元109供给下面将描述的控制信号 ϕVST 至 $\phi ADCLK$ 。这里,在正在执行读出处理时,芯片选择端子CS始终具有高电平。首先,在时间t100,信号 ϕVST 变为具有高电平,并且垂直扫描电路403被设置为从行选择线V1开始。信号 ϕVST 对应于行选择开始信号。在时间t110,信号 $\phi CLKV$ 变为具有高电平,并且行选择线V1被选择。接着,在时间t111,信号 ϕHST 变为具有高电平,并且水平扫描电路404被设置为从列选择线H1开始。信号 ϕHST 对应于列选择开始信号。同时,信号 $\phi SW3$ 和 $\phi SW5$ 变为具有高电平,并且参考电压通过端子Vcex从电压供给单元121输入到差分放大器107的反相输入端和非反相输入端。因为端子Vcex的阻抗充分低于模拟输出线409至411的阻抗,所以差分放大器107的反相输入端和非反相输入端子稳定在参考电压。这使作为输出放大器的差分放大器107重置。接着,在时间t112,信号 ϕHST 、 $\phi SW3$ 和 $\phi SW5$ 变为具有低电平,并且信号 $\phi SW2$ 和 $\phi SW4$ 变为具有高电平。这将端子S2(即,低灵敏度模式下的输出)连接到差分放大器107的反相输入端子,并且将接收偏移信号的端子N电连接到差分放大器107的非反相输入端子。同时,信号 $\phi CLKH$ 变为具有高电平,并且列选择线H1被选择。因此,将从像素(1,1)输出的第二输出信号S2和偏移信号N输入到差分放大器107。接着,在时间t113,信号 $\phi ADCLK$ 变为具有高电平,以及A/D转换在A/D转换器108中执行。因此,将像素(1,1)中的高灵敏度模式下的经A/D转换的数字图像数据ADOUT传送到成像控制单元109。接着,在时间t114,信号 $\phi CLKH$ 再次变为具有高电平,并且列选择线H2被选择。因此,将高灵敏度模式下的数字图像数据ADOUT从像素(2,1)传送到成像控制单元109。该处理对n列重复进行,以使得在低灵敏度模式下从一行的像素读出信号。接着,在时间t116,信号 $\phi SW2$ 和 $\phi SW4$ 变为具有低电平。同时,信号 $\phi SW3$ 和 $\phi SW5$ 再次变为具有高电平,参考电压通过端子Vcex从电压供给单元121输入到差分放大器107的反相输入端和非反相输入端子。因此,作为输出放大器的差分放大器107被重置。同时,信号 ϕHST 变为具有高电平,并且水平扫描电路404再次被设置为从列选择线H1开始。然后,释放Hn的选择。换言之,在一行的多个像素被选择的从时间t110到时间t121的时间段中,差分放大器107根据信号 ϕHST 被重置,信号 ϕHST 是用于开始将对所述一行的像素执行的多次非破坏性的读出处理中的第二及后续非破坏性的读出处理的指令。换言之,在正在对一行的像素执行非破坏性的读出处理时,差分放大器107响应于信号 ϕHST 被重置。接着,在时间t117,信号 ϕHST 、 $\phi SW3$ 和 $\phi SW5$ 变为具有低电平,并且信号 $\phi SW1$ 和 $\phi SW4$ 变为具有高电平。高灵敏度模式下的输出连接到差分放大器107

的反相输入端子,并且偏移信号N连接到差分放大器107的非反相输入端子。同时,信号 ϕCLKH 变为具有高电平,并且列选择线H1被选择。将从像素(1,1)输出的第一输出信号S1和偏移信号N输入到差分放大器107。接着,在时间t119,信号 ϕADCLK 变为具有高电平,并且A/D转换在A/D转换器108中执行。像素(1,1)中的低灵敏度模式下的经A/D转换的数字图像数据ADOUT被传送到成像控制单元109。接着,在时间t120,信号 ϕCLKH 变为具有高电平,并且列选择线H2被选择。像素(2,1)中的高灵敏度模式下的数字图像数据ADOUT以与对像素(1,1)执行的处理相同的方式被传送到成像控制单元109。在如低灵敏度模式下的那些处理那样对一行执行n次处理之后的时间t121,信号 ϕCLKV 再次变为具有高电平,并且行选择线V2被选择。以与行选择线V1的驱动相同的方式驱动行选择线V2,并且重复该处理m次。直到时间t130,所有像素中的低灵敏度模式和高灵敏度模式下的数字图像数据都被传送到成像控制单元109。将传送到成像控制单元109的低灵敏度模式和高灵敏度模式下的像素数据通过图像数据接口111传送到图像处理设备101,并且执行用于动态范围扩展的图像处理。

[0048] 本公开的特征在于,响应于用于开始要对所述一行的像素执行的多次非破坏性的读出处理中的第二及后续非破坏性的读出处理的指令,作为输出放大器的差分放大器107被重置。更具体地说,如图6所示,在作为行选择电路的垂直扫描电路403选择一行的多个像素的时间段中,作为控制单元的成像控制单元109、垂直扫描电路403和水平扫描电路404执行如下面将描述的控制。这里假定,a是等于或大于1的自然数。在从当作为列选择电路的水平扫描电路404执行最后一列中的像素(n,1)的第a次选择时的时间到当水平扫描电路404执行第一列中的像素(1,1)的第(a+1)次选择时的时间的时段期间,差分放大器107被重置。换言之,在从当行中的最后一个像素(最后或最右列中的像素)在第a次(例如,第2次、第3次、…、第a次)被选择时到当同一行中的第一个像素(第一或最左列中的像素)在第(a+1)次(例如,第3次、第4次、…、第(a+1)次)被选择时的时段期间,差分放大器107被重置。在这种情况下,响应于行选择开始信号 ϕVST ,差分放大器107可以响应于在时间t116处的第(a+1)次列选择开始信号 ϕHST 而被重置。在该控制下,即使在对一行的像素执行多次的非破坏性的读出处理之后,也可以抑制由于输出放大器的建立时间不足而导致的图像伪像。例如,当半导体基板120的H1侧被关闭并且Hn侧完全未被屏蔽时,伪像可能出现在所得图像中。如图7所示,当具有较低光强度的像素数据在具有较高光强度的像素数据被读取之后被读出时,在图6中的时间t116处,差分放大器107的反相输入端子输出取决于照射的放射线的电压。然而,要供给端子Vcex的参考电压从电压供给单元121供给到差分放大器107的反相输入端子和非反相输入端子。参考电压可以基本上等于没有放射线的照射情况下的电平,并且可以稳定到该电平以防止在时间t118在差分放大器107的输出中出现快速变化。因此,即使当放射线未被照射到H1侧的像素时,也可以获得图像伪像被减小的图像输出。

[0049] 当参考电压不等于没有放射线的照射情况下的电平时,列选择线H1正被选择的时间段可以长于另一个列选择线正被选择的时间段。换言之,可以考虑差分放大器107的建立时间来限定当列选择线H1被选择时的时间t111和t117之后到当信号 ϕADCLK 变为高

电平时的时间t113和t118的时间段。可以在时间t114之后和时间t119之后延迟信号 ϕCLKH 。

[0050] 根据本实施例,可以首先从像素输出低灵敏度模式下的信号,使得从时间t116到时间t117的时间段可以短于首先从该像素输出高灵敏度模式下的信号的情况下的时间段。与低灵敏度模式下的像素数据相比,在高灵敏度模式下更多的像素数据可以达到差分放大器107的饱和电平。因此,可以首先读取低灵敏度模式下的像素数据以减小时间t116处差分放大器107的输入端子之间的电位差。这可以减少驱动时间。

[0051] 根据本实施例,端子Vcex的阻抗充分低于模拟输出线409至411的阻抗。即使当端子Vcex不具有足够低的阻抗时,端子Vcex也是适用的。在这种情况下,当信号 ϕHST 在时间t111和t117变为具有低电平时,信号 ϕSW2 、 ϕSW3 、 ϕSW4 和 ϕSW5 可以同时被控制。代替同时控制,可以根据端子Vcex可以驱动模拟输出线409至411的时间段来开始对信号 ϕSW2 、 ϕSW3 、 ϕSW4 和 ϕSW5 的控制。信号 ϕCLKH 可以与对信号 ϕSW2 、 ϕSW3 、 ϕSW4 和 ϕSW5 的控制同时开始。

[0052] 已经根据本实施例描述了用于在低灵敏度模式和高灵敏度模式下读出像素数据的方法,本公开适用于在不改变灵敏度的情况下从一行多次非破坏性地读出信号的驱动。这可以通过例如在图6中的时间t118处容易地使信号 ϕSW2 而不是信号 ϕSW1 变为高电平来容易地实现。

[0053] 第二实施例

[0054] 接着,将参照图8至图13来描述第二实施例。相同的数字指代第一实施例和第二实施例中相同的部件,并且任何重复的详细描述将被省略。下面将主要描述与第一实施例的不同之处。

[0055] 如图8所示,根据本实施例的成像装置还包括校正单元,该校正单元配置为将校正电压供给到差分放大器107的输入端。校正电压可用于基于来自A/D转换器108的数字信号来对差分放大器107和A/D转换器108中的偏移分量进行校正。更具体地说,校正单元包括D/A转换器131和放大器132,它们配置为将基于校正信号DAIN的校正电压供给到差分放大器107的输入端。如图9所示,D/A转换器131和放大器132将校正电压输入到差分放大器107的反相输入端子。

[0056] 如图10所示,根据本实施例的成像装置还包括在半导体基板120中的每个基板内的参考电压生成电路430,并且模拟输出线409至411和参考电压生成电路430根据来自成像控制单元109的信号 ϕSEL 通过端子SEL电连接。图11例示了参考电压生成电路430的示例。箝位电压VCL通过像素的晶体管M7作为参考电压Vref输出,参考电压Vref等同于图2中的参考电压,晶体管M7等同于第二放大晶体管M7。因此,参考电压Vref是与偏移信号N相对应的信号。因此,可以从参考电压Vref获得与由半导体基板120的操作环境(诸如半导体基板120的温度和操作电压或外部噪声)的变化所引起的偏移信号N的变化相对应的信号。

[0057] 接着,将参照图12中的流程图来描述根据本实施例的控制。在照相模式被设置(S1)之后,首先将参考值输出到D/A转换器131(S2)以生成用于偏移校正的目标值(校正电

压)。接着,成像控制单元109使信号 ϕSEL 变为高电平以控制使得半导体基板120可以输出参考电压 V_{ref} (S3)。在半导体基板120开始输出参考电压 V_{ref} 之后,成像控制单元109对从A/D转换器108输出的数据采样预定数量N的样本,并且计算N个目标值数据 D_{An} 的和 ΣD_{An} (S4)备用。在S2中,因为参考值是针对D/A转换器设置的,所以通过对相对于 D_{An} 的变化值进行校正,可以使由于1/f噪声而导致的偏移更接近于0。因为用于获得 D_{An} 的状态被限定为 ± 0 ,所以可以有效地使用D/A转换器的动态范围。

[0058] 接着,将描述用于获得用于1/f噪声校正的数据的操作,该操作在检测到同步信号(S5)并且像素重置和累积(S6)以及采样(S7)完成之后被执行。

[0059] 成像控制单元109使信号 ϕSEL 变为高状态以使得半导体基板120输出参考电压 V_{ref} (S8)。在输出参考电压 V_{ref} 之后,采样来自A/D转换器108的预定数量N的输出数据 D_{Bn} ,并且获得和 ΣD_{Bn} (S9)。输出参考电压 V_{ref} 以使得可以将半导体基板120、差分放大器107和A/D转换器108中发生的1/f噪声作为相对于目标值的变化值而测得。

[0060] 这里,成像控制单元109计算 $DC_{\text{n}} = (\Sigma D_{\text{An}} - \Sigma D_{\text{Bn}}) / N$ 作为校正数据,以及将其结果输出到D/A转换器131(S10)。所获得的校正值 DC_{n} 表示相对于目标值的变化。作为数字数据的输出校正值被对应的D/A转换器131转换为模拟信号,并且通过放大器132进行预定模拟信号处理。将所得信号通过加法电路与来自半导体基板120的输出信号相加,偏移被校正。例如,当1/f噪声发生并且生成增大的偏移时,测量值 ΣD_{Bn} 相对于目标值 ΣD_{An} 增大。因此,施加负的 DC_{n} 以减小最后要叠加在来自矩形半导体基板120的输出信号上的偏移。

[0061] 以这种方式,可以校正半导体基板120、差分放大器107和A/D转换器108中发生的1/f噪声。

[0062] 接着,在(S11)中的像素读出处理中,垂直扫描电路403和水平扫描电路404扫描多个像素,使得可以在正在将像素中采样保持的电压顺序地输出到外部的同时执行校正。下面将参照图13来描述(S11)中的操作。

[0063] 重复上述处理以从半导体基板120中的像素读出信号。在(S12)中,成像控制单元109判断成像是否已经完成。如果是,则成像操作结束。如果不是,则所述处理移至(S5),并且连续地执行下一个成像操作。

[0064] 接着,参照图13,将描述与根据第一实施例的输出放大器重置的不同之处。首先,在时间 t_{200} ,信号 ϕVST 变为具有高电平,使得垂直扫描电路403设置为从行选择线V1开始。在时间 t_{210} ,信号 ϕCLKV 变为具有高电平,以及行选择线V1被选择。同时,信号 ϕSW1 、 ϕSW4 和 ϕSEL 变为具有高电平,在将电压 V_{ref} 输入到差分放大器107的非反相输入端子的同时,将通过将用于1/f噪声校正的校正值与参考电压 V_{ref} 相加而获得的电压输入到差分放大器107的反相输入端子。在正在输出参考电压 V_{ref} 的状态下,采样A/D转换器108中的预定数量 N' 的输出数据 D_{Pn} 以获得和 $\Sigma D_{\text{Pn}}'$ 。这里,如果在操作之前要被获得用来生成目标值的数据的数据的采样数量N等于在读出操作中要被获得用于偏移校正的数据的采样数量 N' ,则可以获得 $DR_{\text{n}} = (\Sigma D_{\text{An}} - \Sigma D_{\text{Pn}}') / N$ 作为校正数据。(S4)、(S9)和这里要采样的数据的数量可以是不相等的。例如,如果采样数量 $N = M \times N'$,则可以获得 $DR_{\text{n}} = (\Sigma D_{\text{An}} - \Sigma D_{\text{Pn}}' \times M) / N$ 。在时间 t_{211} ,信号 ϕSW1 、 ϕSW4 和 ϕSEL 变为具有低电平,并且信

号 ϕHST 变为具有高电平。因此,水平扫描电路404被设置为从H1开始。同时,信号 ϕSW3 和 ϕSW5 变为具有高电平。因此,将通过将用于1/f噪声校正的校正值与供给到端子Vcex的参考电压相加而获得的电压输入到差分放大器107的反相输入端子,并且将参考电压输入到差分放大器107的非反相输入端子。这里,将计算的校正值DRn输出到D/A转换器131。因此,通过较少的采样数据,可以抑制随机噪声的影响,并且可以实时地校正正在读出操作期间变化的1/f噪声。在该处理之后,以与图6中的方式相同的方式读出一行的低灵敏度模式下的像素中的信号。接着,在从时间t212到时间t213的时间段期间,信号 ϕSW3 和 ϕSW5 以与图6中的方式相同的方式变为具有高电平。因此,将通过将用于1/f噪声校正的校正值与供给到端子Vcex的参考电压相加而获得的电压输入到差分放大器107的反相输入端,以及将供给端子Vcex的参考电压输入到非反相输入端子。此后,以与图6中的方式相同的方式读出高灵敏度模式下的一行像素中的信号直到时间t214。信号 ϕCLKV 再次变为高电平,以及行选择线V2被选择。同时,信号 ϕSEL 变为具有高电平。在这种情况下,信号 ϕSW1 和 ϕSW4 仍具有高电平。因此,将相加的电压输入到差分放大器107的反相输入端子,以及将电压Vref输入到非反相输入端子。此后,执行与行选择线V1上的驱动相同的驱动直到时间t215,并且重复与行选择线V1上的驱动相同的驱动一直到行选择线Vm。因此,直到时间t230,通过实时地对所有像素中的1/f噪声进行校正,将低灵敏度模式和高灵敏度模式下的数字图像数据传送到成像控制单元109。

[0065] 在图13所示的驱动中,即使在具有用于获得用于1/f噪声的校正数据的参考电压Vref的电路中,也在一行的数据被读出之前将要被供给端子Vcex的参考电压输入到差分放大器107一次。在参考电压Vref用于信号 ϕSEL 的情况下,要求模拟输出线409至411和差分放大器107的输入端子中的电容由参考电压生成电路430驱动。然而,因为参考电压生成电路430的阻抗不是足够地低,所以电容的驱动一般花费时间。因此,即使在这样的情况下,外部电压供给单元121也可以用于在短时间段中将差分放大器107的两个输入端都重置为等同于偏移信号N的电压。

[0066] 根据本实施例,在时间t211,信号 ϕSEL 变为具有低电平,以及信号 ϕSW3 和 ϕSW5 变为具有高电平。本公开的实施例不限于此。替代的,可以执行控制使得信号 ϕSEL 在时间t220变为具有低电平,并且信号 ϕSW1 或 ϕSW2 和 ϕSW4 在时间t211变为具有高电平,而不使信号 ϕSW3 和 ϕSW5 变为高电平。从通过信号 ϕCLKV 选择的第一行的输出,获得用于1/f噪声的校正数据,并且将等同于偏移信号N的信号输入到差分放大器107。因此,可能不必使用供给到端子Vcex的参考电压。

[0067] 第三实施例

[0068] 接着,将参照图14至图16来描述第三实施例。相同的数字指代第一实施例、第二实施例和第三实施例中的相同的部分,并且任何重复的详细描述将被省略。下面将主要描述与第二实施例的不同之处。

[0069] 如图14所示,第三实施例与图10所示的第二实施例的不同之处在于,还提供了输

出使能复用器450至452、用于奇数列的模拟输出线440至442以及用于偶数列的模拟输出线443至445。在模拟输出线409至411的前一级中设置的用于奇数列和偶数列的模拟输出线中的每个模拟输出线都可以具有减小的电容分量。例如,参考电压Vref和模拟输出线(409、410、411、440、441、442、443、444、445)可以通过源极跟随器中的阻抗转换而连接。因此,可以在短时间段中将模拟输出线设置到内部参考电压Vref。将复用器450、451和452的输出控制为响应于 ϕSEL 信号的低电平被启用以及响应于 ϕSEL 信号的高电平被禁用。

[0070] 如图15所示,第三实施例与图9所示的第二实施例的不同之处在于,没有提供端子Vcex、第三开关M52、第四开关M53和第五开关M54。

[0071] 接着,参照图16,将描述与图13所示的第二实施例的不同之处。在图16所示的驱动中,将用于获得用于1/f噪声的校正数据的参考电压(等同于偏移信号N)在信号被从一行像素读出之前输入到差分放大器107。换言之,参考电压生成电路430仅用作电压供给单元。因此,在半导体基板120外部可以不设置电压供给单元121,并且无需开关用于选择电源和模拟信号输出,这可以使电路简化。

[0072] 根据本实施例,模拟输出线可以被划分为用于奇数列的模拟输出线和用于偶数列的模拟输出线。可以增加划分数目以使得可以减小模拟输出线的寄生电容并且可以在更短时间段中稳定模拟输出线中的电压。

[0073] 根据本实施例,参考电压Vref在源极跟随器中进行阻抗转换,使得可以实现用于模拟信号输出线的驱动能力。然而,本公开的实施例不限于此。例如,在除了用于获得用于1/f噪声的校正数据的时间段以外,半导体基板120内的电源线可以用于使模拟输出线具有等同于偏移信号N的电压。

[0074] 根据本实施例,应用信号 ϕSEL 以控制输出参考电压Vref。然而,可以应用半导体基板120中的垂直扫描电路403或水平扫描电路404内的信号来执行与信号 ϕSEL 的时序控制等同的时序控制。

[0075] 根据本实施例,信号 ϕSW1 和 ϕSW2 如图16所示那样的被控制。然而,当信号 ϕSEL 具有高电平时,信号 ϕSW1 和 ϕSW2 中的任何一个都可以变为具有高电平。

[0076] 根据本实施例,在图15中没有设置第五开关M54,但是如果第五开关M54可以被控制为始终保持导通状态,则可以设置第五开关M54。在这种情况下,如果第五开关M54具有与第一开关M50和第二开关M51的导通电阻相等的导通电阻,则可以考虑差分放大器107中的偏移电流来设计基板。

[0077] 其它实施例

[0078] 本公开的(一个或多个)实施例还可以通过系统或装置的计算机来实现,该系统或装置的计算机读出并执行记录在存储介质(也可以被更全面地称为“非瞬时性计算机可读存储介质”)上的计算机可执行指令(例如,一个或多个程序)以执行上述(一个或多个)实施例中的一个或多个的功能,以及/或者该系统或装置的计算机包括用于执行上述(一个或多个)实施例中的一个或多个的功能的一个或多个电路(例如,专用集成电路(ASIC));以及本公开的(一个或多个)实施例还可以通过由系统或装置的计算机通过例如从存储介质读出并执行计算机可执行指令以执行上述(一个或多个)实施例中的一个或多个的功能以及/或

者控制一个或多个电路以执行上述(一个或多个)实施例中的一个或多个的功能而执行的方法来实现。计算机可以包括一个或多个处理器(例如,中央处理单元(CPU)、微型处理单元(MPU)),以及可以包括用于读出并执行计算机可执行指令的独立计算机或独立处理器的网络。可以将计算机可执行指令例如从网络或存储介质提供到计算机。存储介质可以包括例如以下中的一个或多个:硬盘、随机存取存储器(RAM)、只读存储器(ROM)、分布式计算系统的存储器、光盘(诸如紧致盘(compact disk)(CD)、数字多功能盘(DVD)或蓝光盘(BD)TM、闪存存储设备、存储卡等。

[0079] 虽然已经参照示例性实施例描述了本发明,但是要理解本发明不限于所公开的示例性实施例。下列权利要求的范围要被赋予最宽泛的解释以便包含所有这样的修改以及等同的结构和功能。

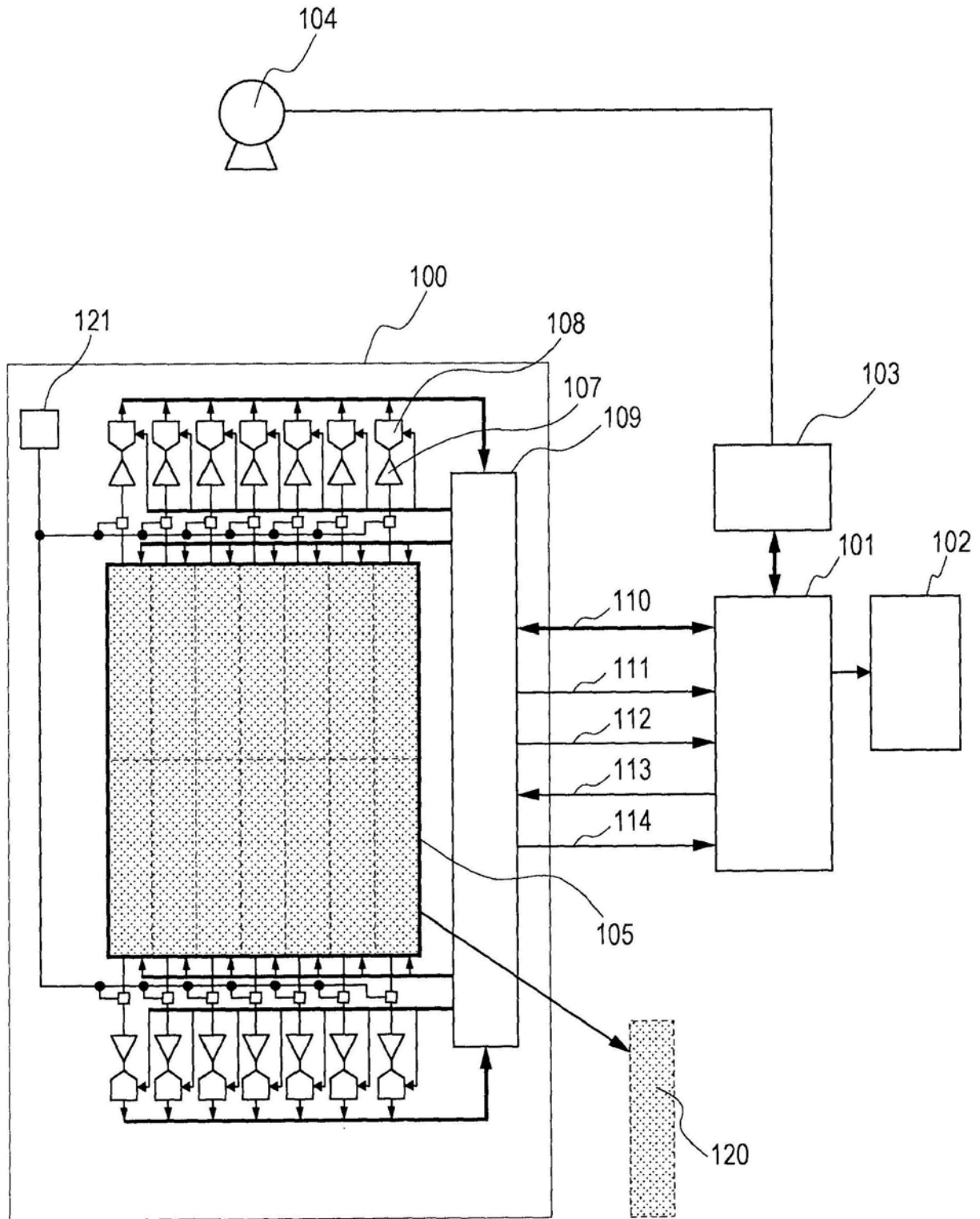


图1

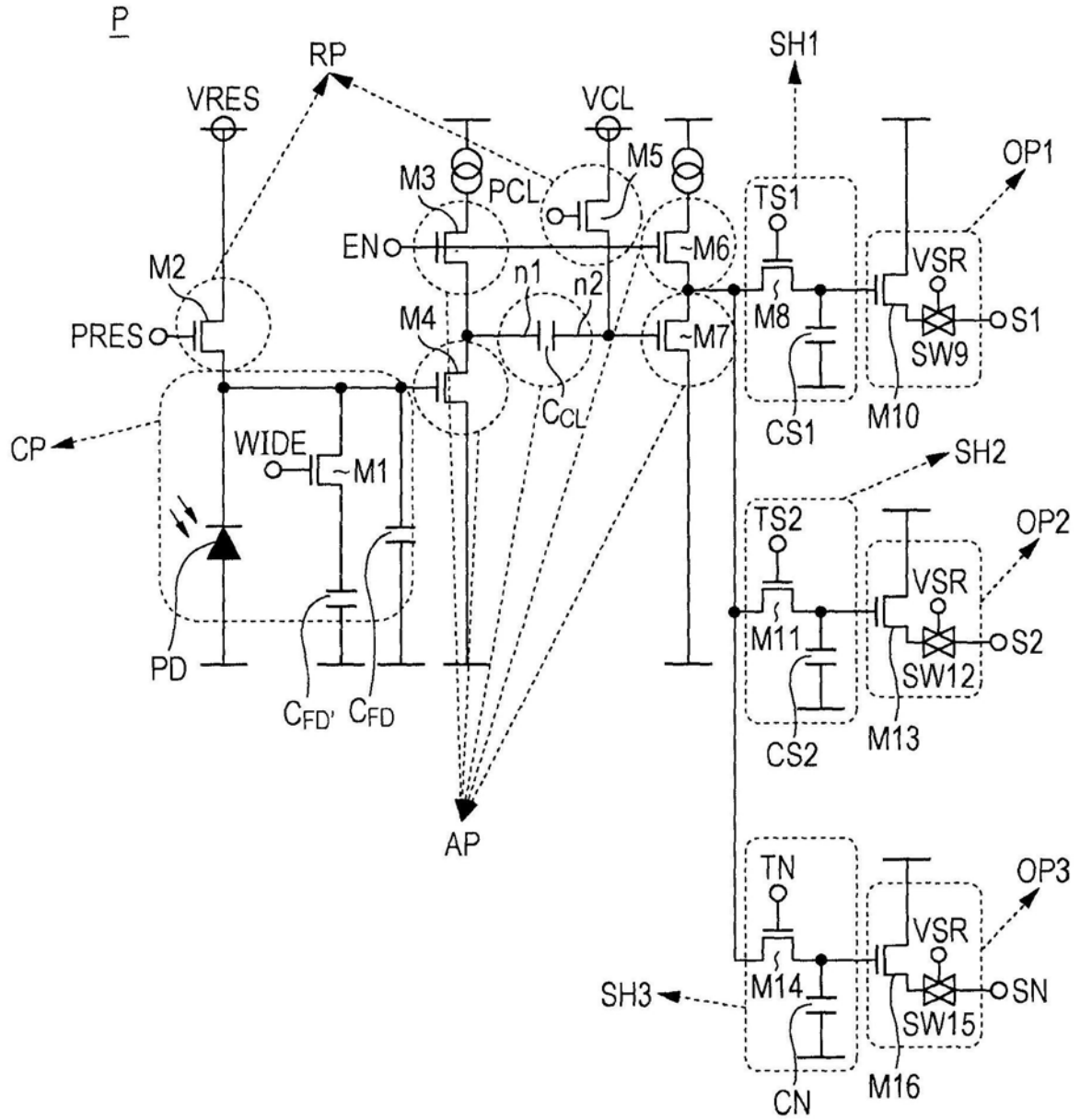


图2

照相模式设置和照相开始设置

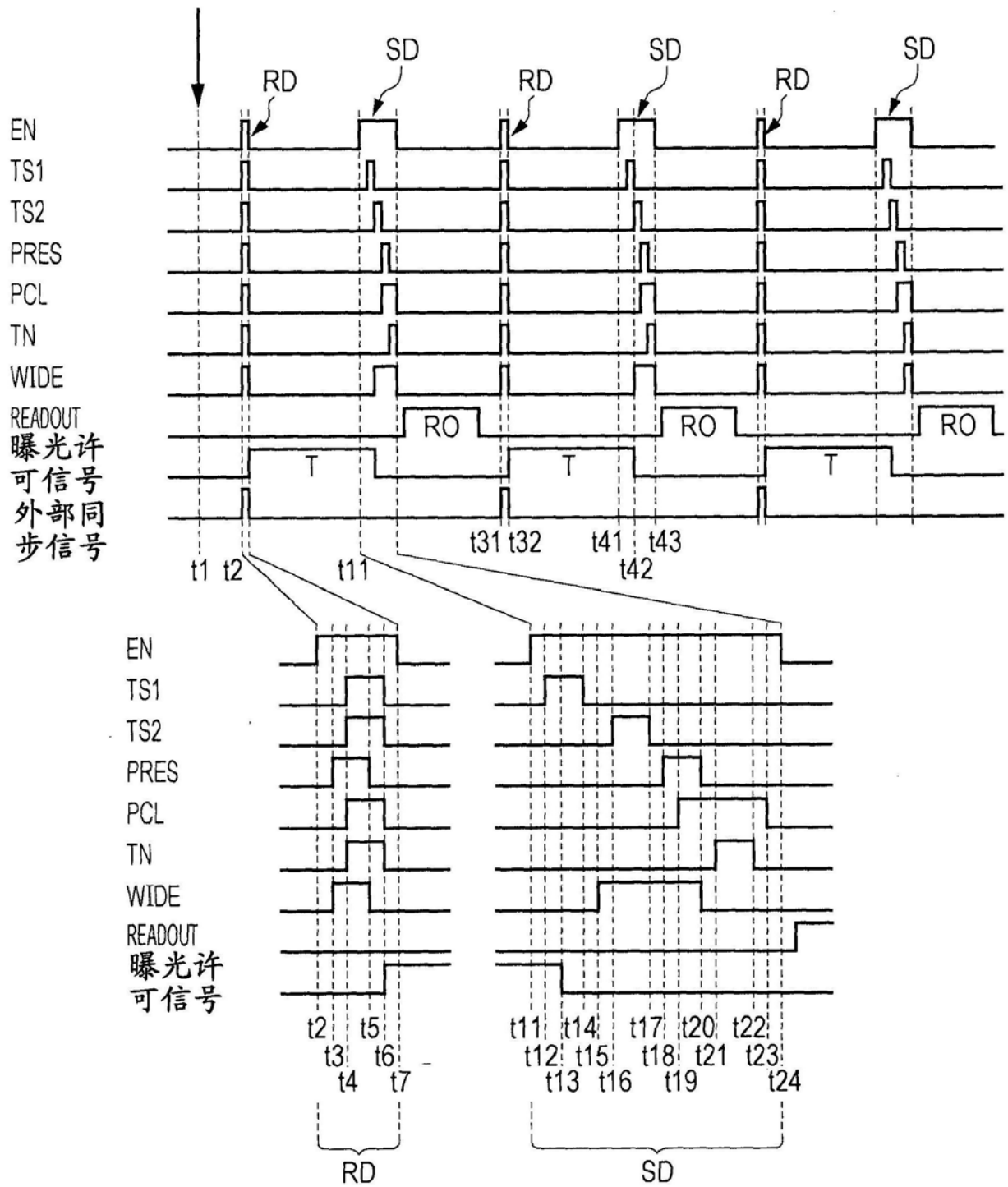


图3

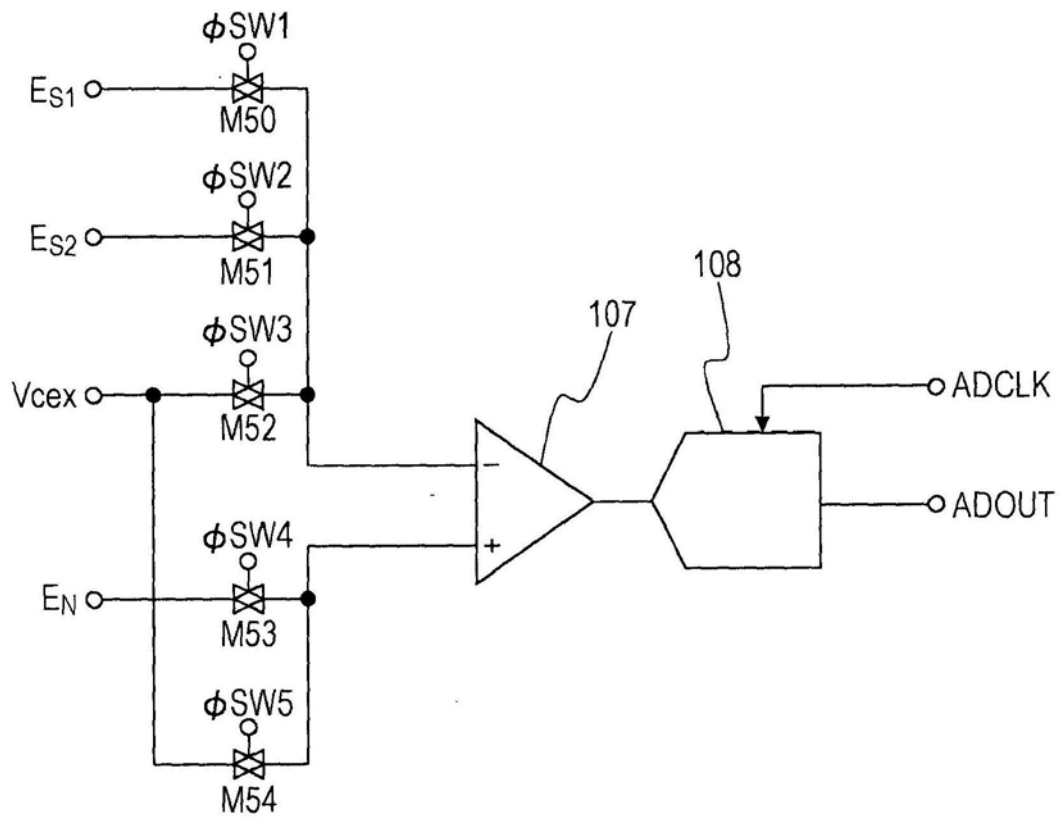


图5

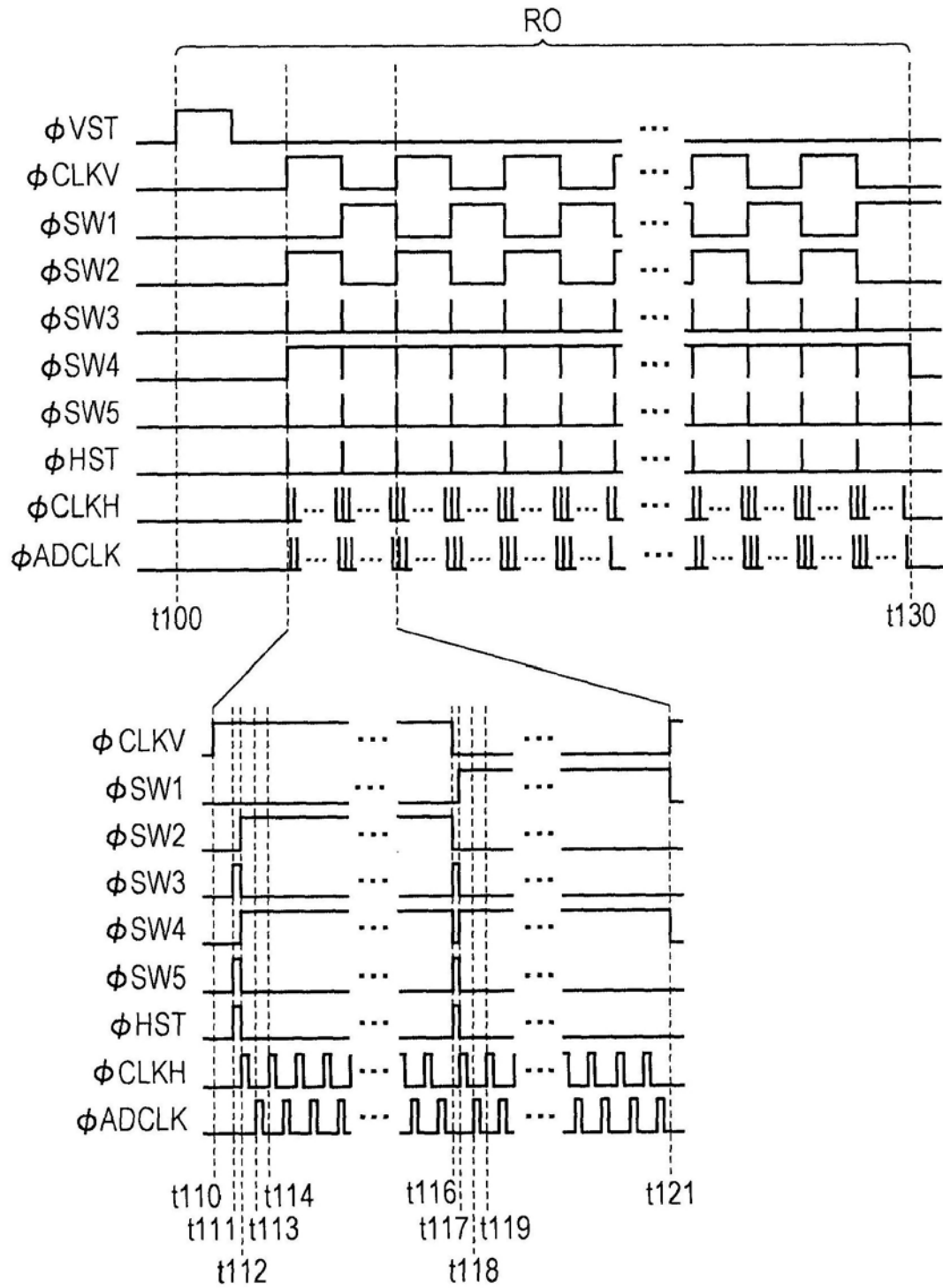


图6

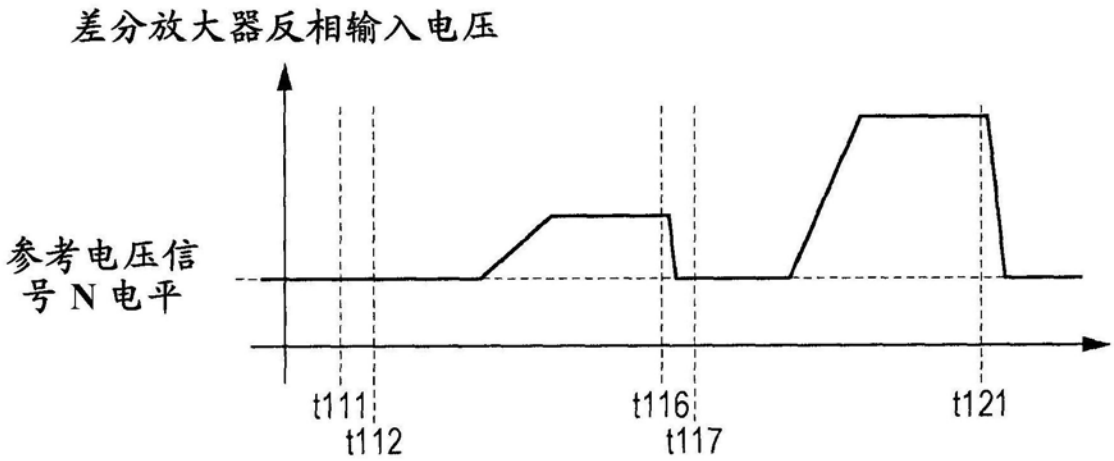


图7

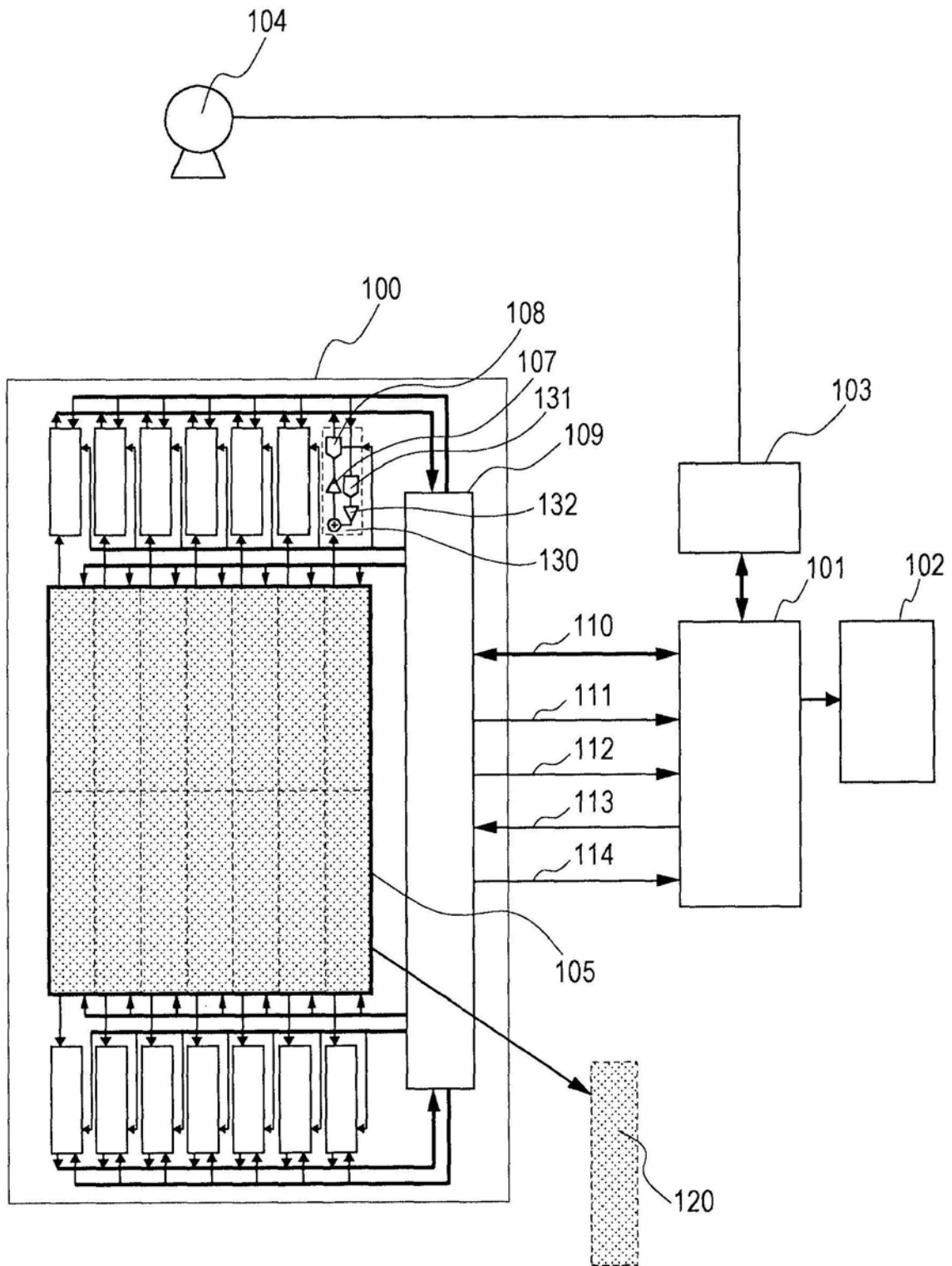


图8

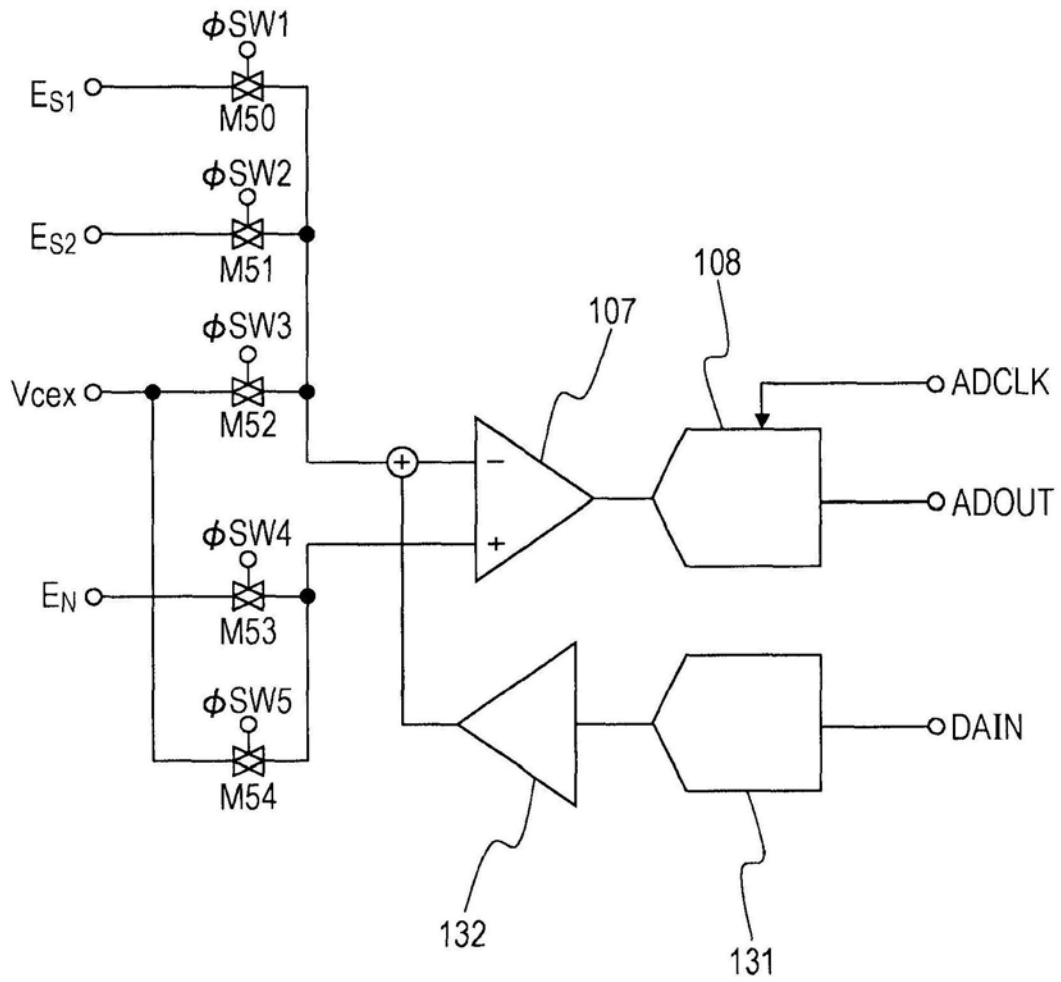


图9

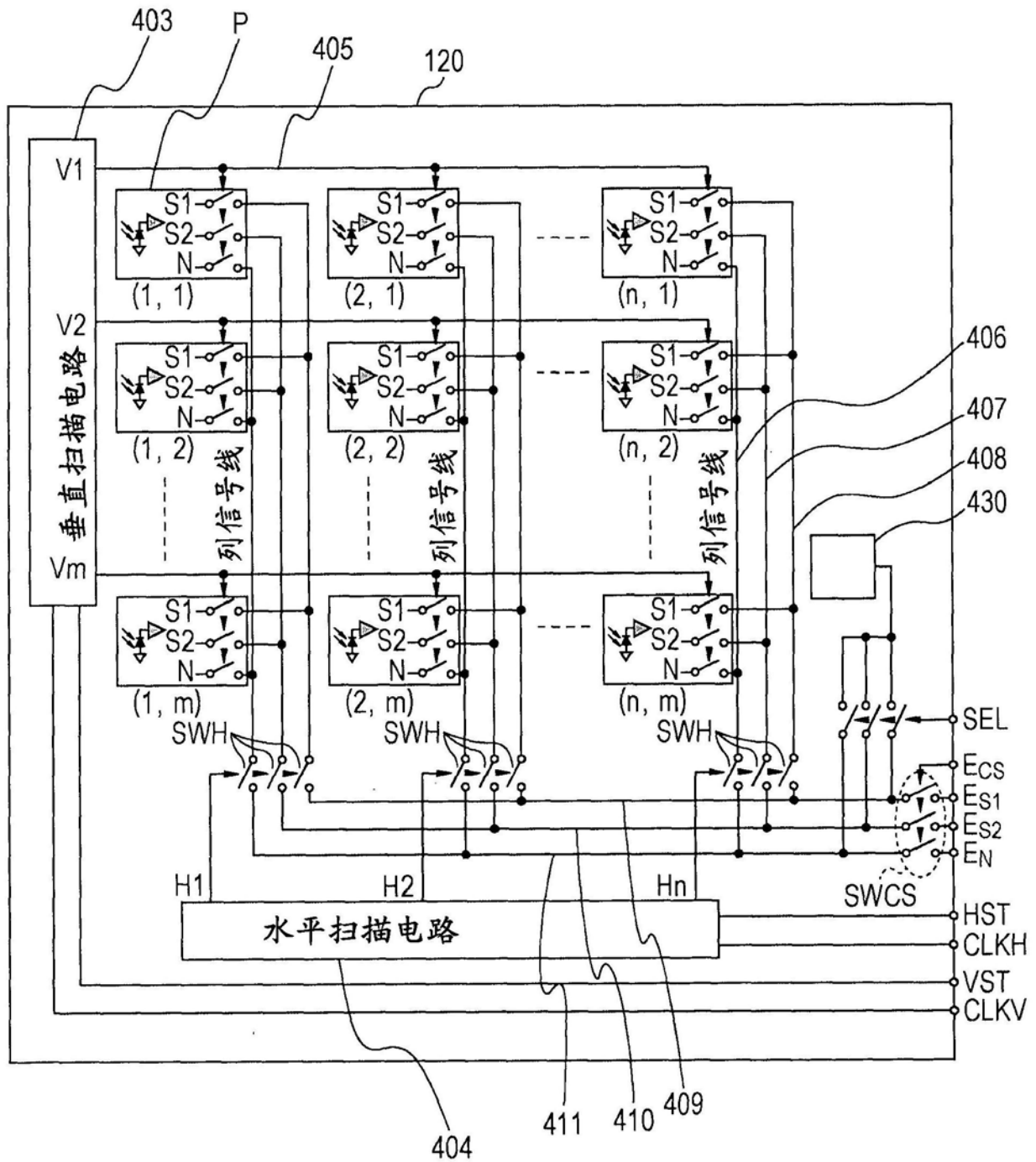


图10

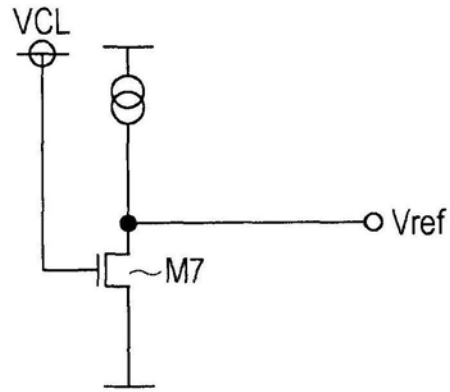


图11

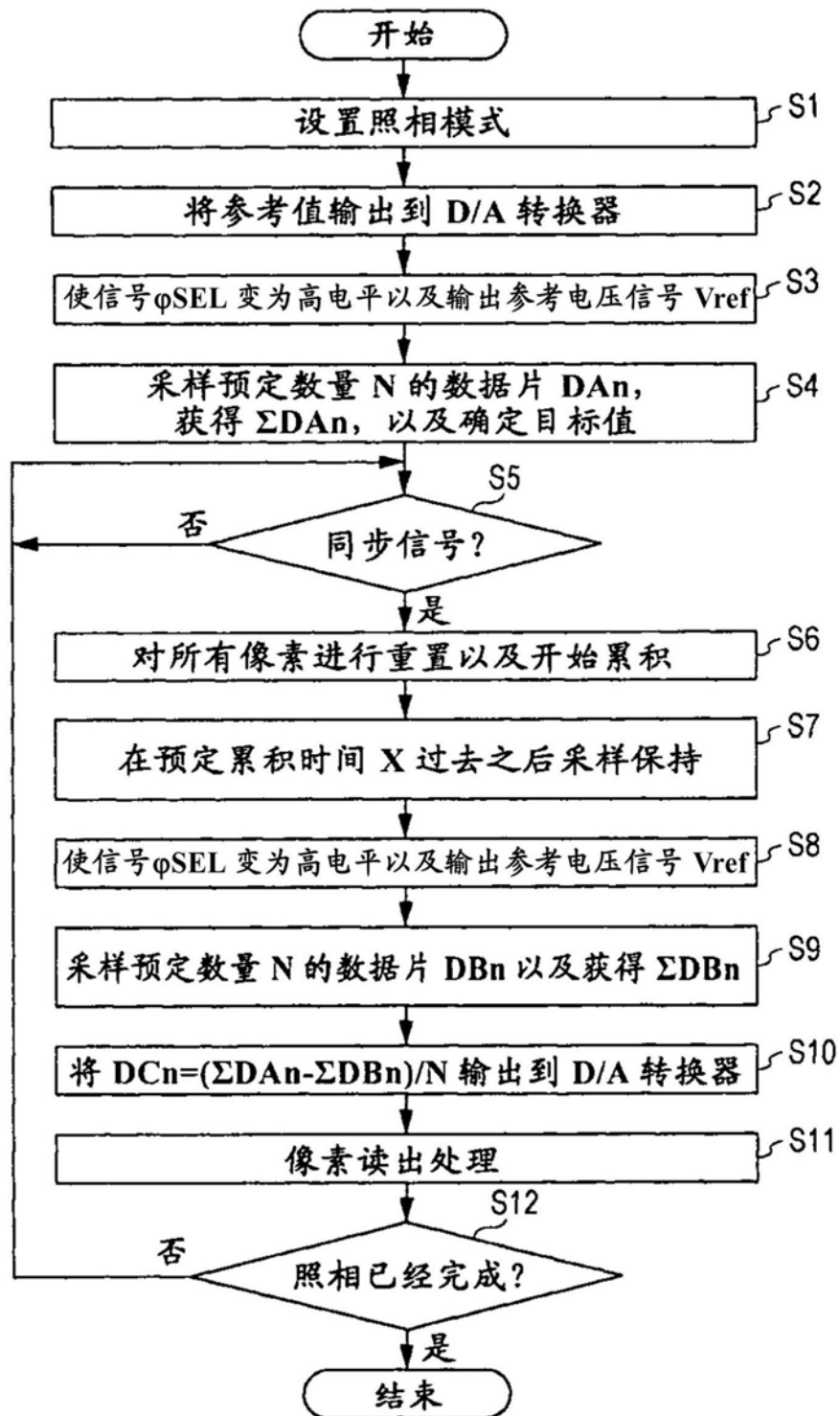


图12

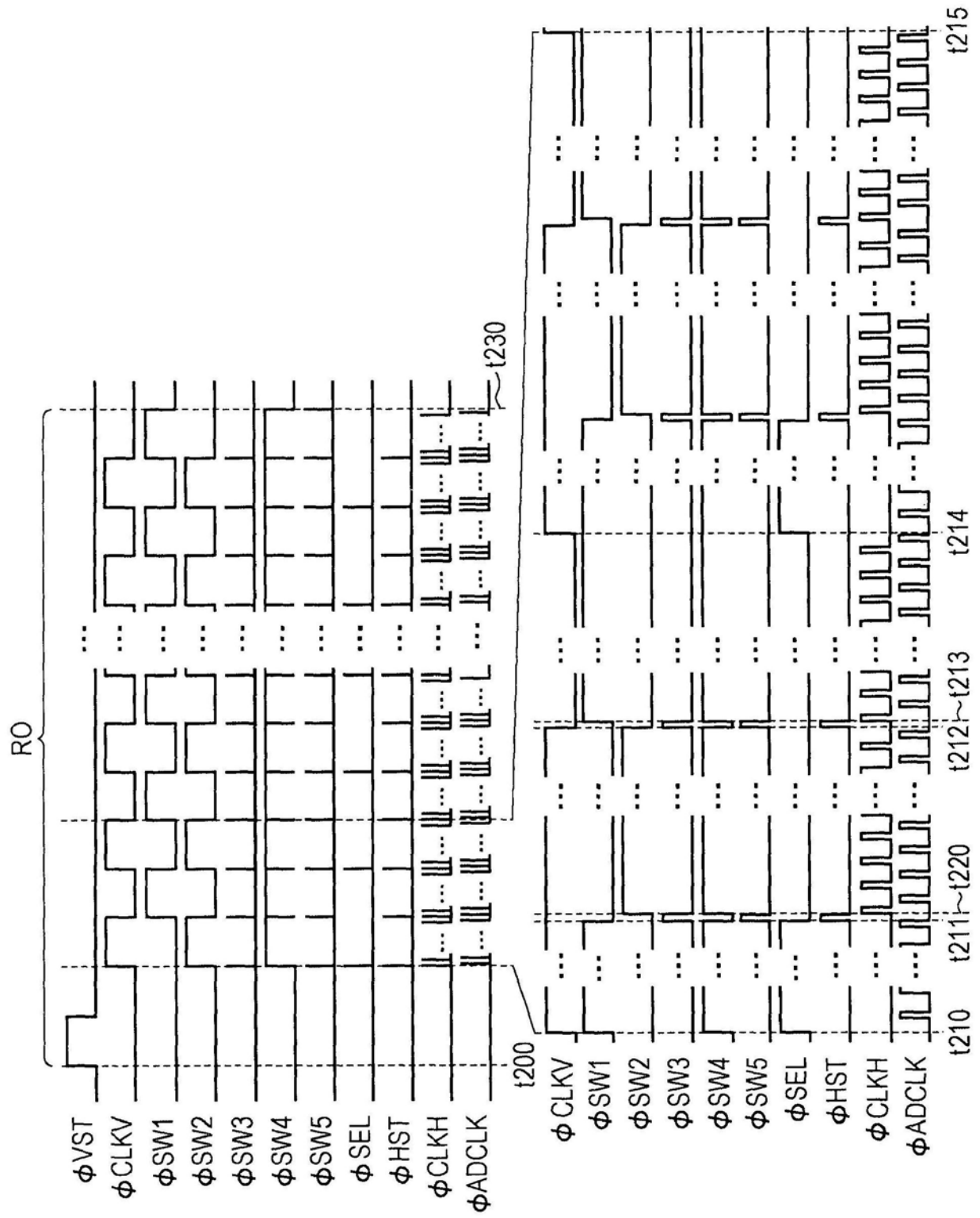


图13

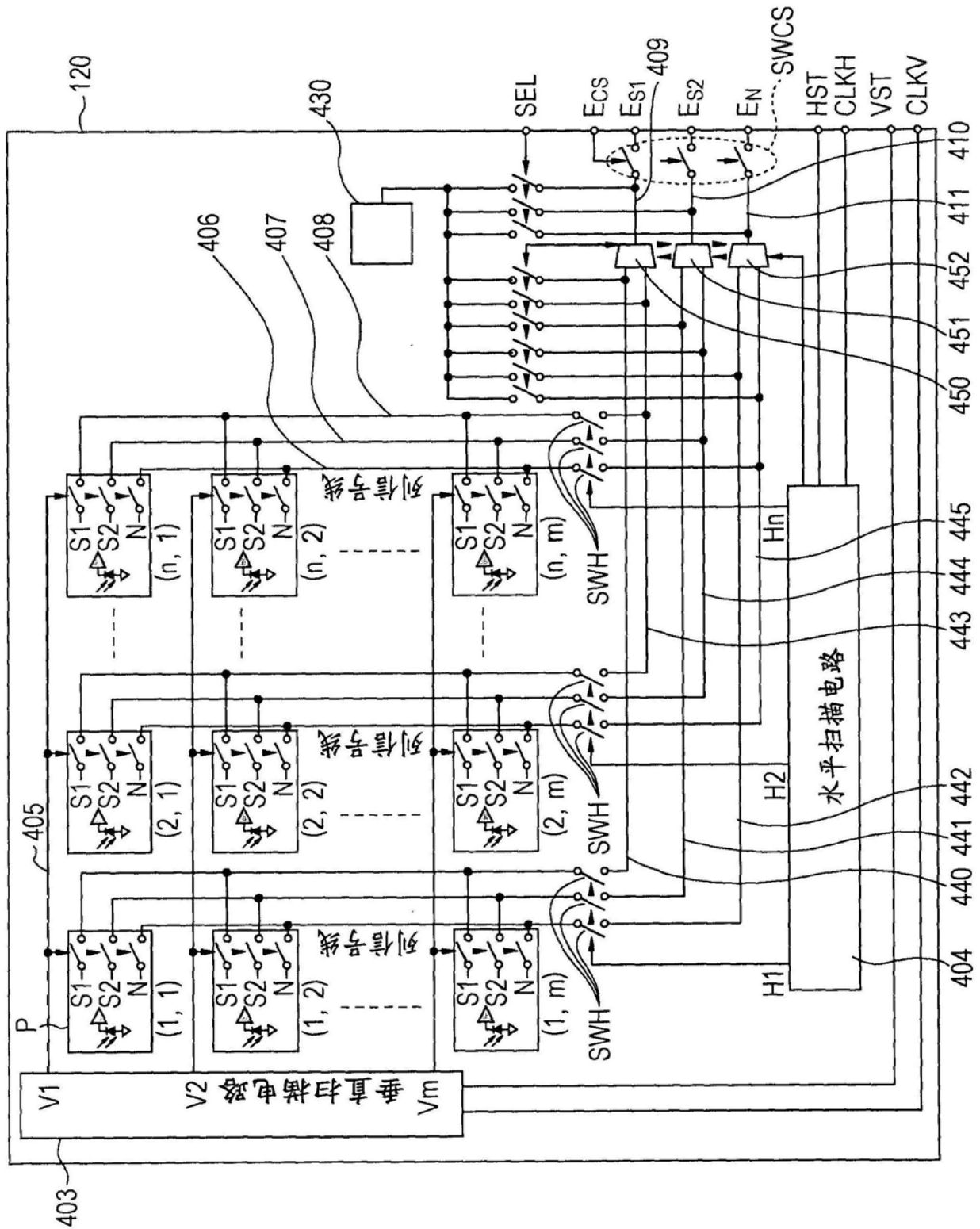


图14

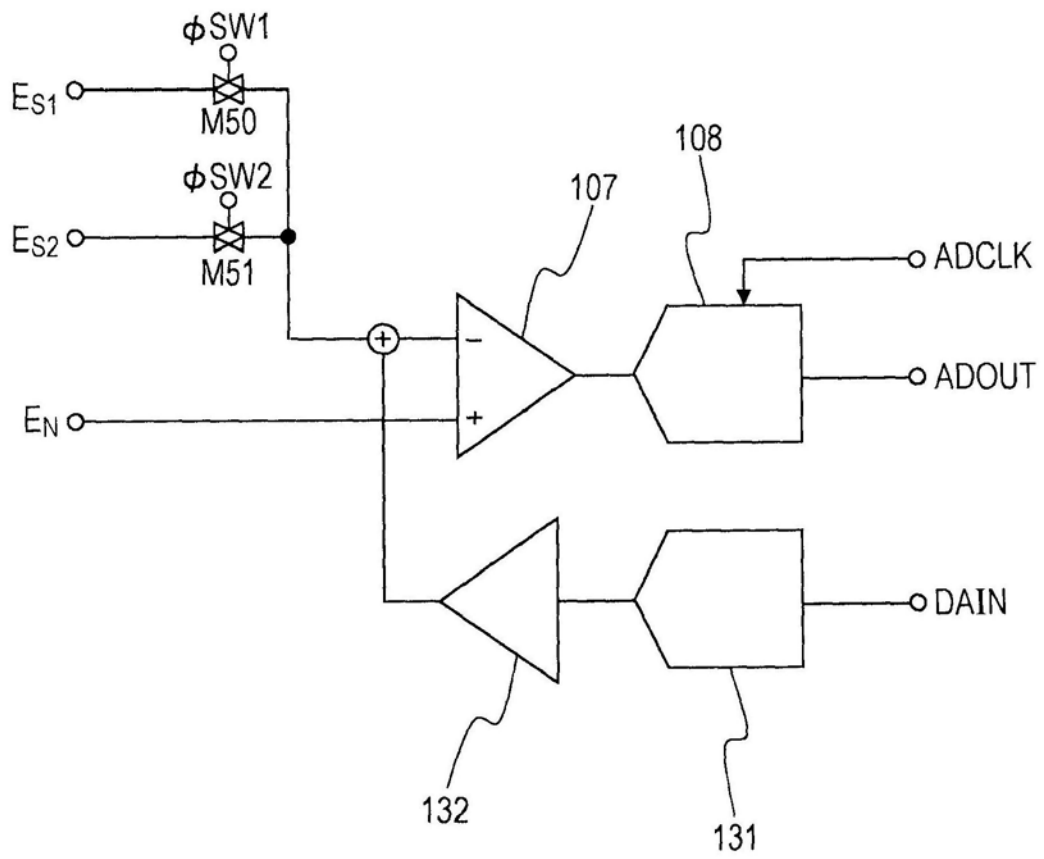


图15

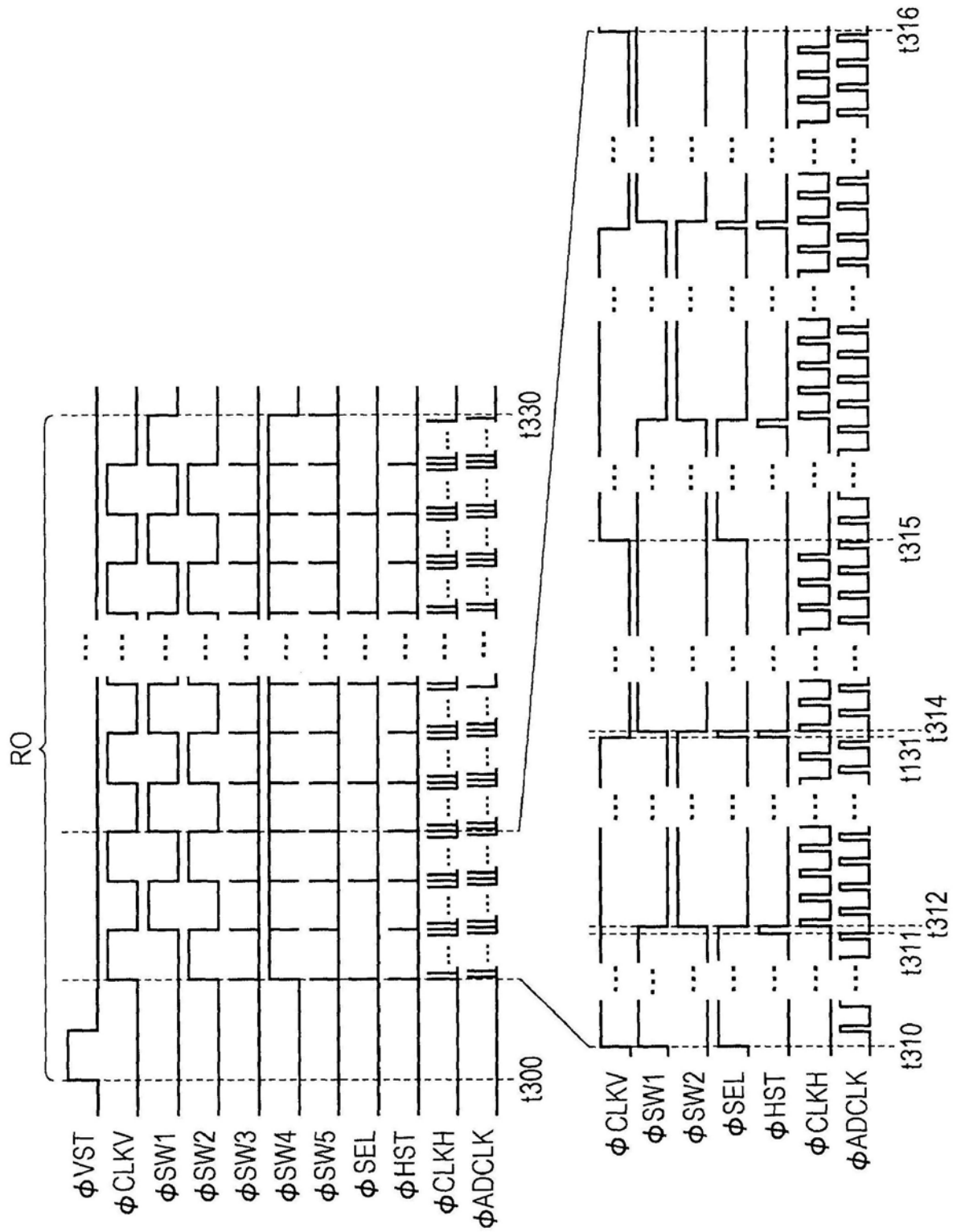


图16