

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 3 日(03.11.2016)



(10) 国際公開番号
WO 2016/175086 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2016/062369
- (22) 国際出願日: 2016 年 4 月 19 日(19.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-091063 2015 年 4 月 28 日(28.04.2015) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地 Osaka (JP).
- (72) 発明者: 相地 広西(AICHI Hiroshi).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引所ビル 10 階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

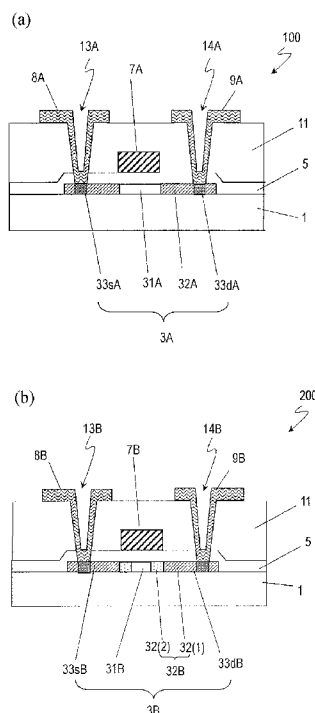
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: This semiconductor device is provided with at least one thin-film transistor (100, 200) comprising: a semiconductor layer (3A, 3B) having a channel region (31A, 31B), a heavily-doped region, and a lightly-doped region (32A, 32B) that is located between the channel region and the heavily-doped region; a gate electrode (7A, 7B) provided on a gate insulating layer (5); an interlayer insulating layer (11) formed on the gate electrode; a source electrode (8A, 8B); and a drain electrode (9A, 9B). Contact holes are provided in the interlayer insulating layer and the gate insulating layer, said contact holes reaching the semiconductor layer. Inside each contact hole, at least one of the source electrode (8A, 8B) and the drain electrode (9A, 9B) is in contact with the heavily-doped region. On the side walls of each contact hole, the side faces of the gate insulating layer and the interlayer insulating layer are aligned, and on the top surface of the semiconductor layer, the edge of each contact hole and the edge of the heavily-doped region are aligned.

(57) 要約: 半導体装置は、チャネル領域 (31A、31B)、高濃度不純物領域およびチャネル領域と高濃度不純物領域との間に位置する低濃度不純物領域 (32A、32B) を有する半導体層 (3A、3B) と、ゲート絶縁層 (5) の上に設けられたゲート電極 (7A、7B) と、ゲート電極上に形成された層間絶縁層 (11) と、ソース電極 (8A、8B) およびドレイン電極 (9A、9B) とを有する少なくとも 1 つの薄膜トランジスタ (100、200) を備え、層間絶縁層およびゲート絶縁層には、半導体層に達するコンタクトホールが設けられており、ソース電極 (8A、8B) およびドレイン電極 (9A、9B) の少なくとも一方は、コンタクトホール内で高濃度不純物領域と接し、コンタクトホールの側壁において、ゲート絶縁層および層間絶縁層の側面は整合して

り、半導体層の上面において、コンタクトホールの縁部と、高濃度不純物領域の縁部とは整合している。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「TFT」）などのスイッチング素子を備えている。一般に、結晶質シリコン膜の電界効果移動度は非晶質シリコン膜の電界効果移動度よりも高いため、結晶質シリコンTFTは、非晶質シリコンTFTよりも高速に動作することが可能である。従って、結晶質シリコン膜を用いると、スイッチング素子として画素毎に設けられるTFT（「画素用TFT」と呼ぶ。）のみでなく、表示領域周辺（額縁領域）に形成される駆動回路や種々の機能回路などの周辺回路を構成するTFT（「駆動回路用TFT」と呼ぶ。）をも同一基板上に形成することが可能になる。

[0003] 画素用TFTには、オフリーク電流が極めて小さいことが要求される。オフリーク電流が大きいと、フリッカー、クロストーク等が生じて表示品位を低下させる可能性がある。このため、画素用TFTとして、LDD構造を有するTFT（以下、「LDD構造TFT」と略する。）が用いられている。

[0004] 「LDD構造TFT」は、TFTのチャネル領域とソース領域・ドレイン領域との間の少なくとも一方に低濃度不純物領域（Lightly Doped Drain、以下「LDD領域」と略することがある）を有している。この構造では、ゲート電極のエッジと低抵抗なソース・ドレイン領域との間に、ソース・ドレイン領域よりも高抵抗なLDD領域を存在させるので、LDD領域を有していない（「シングルドレイン構造」）TFTと比べてオフリーク電流を大幅に低減できる。

[0005] アクティブマトリクス基板では、製造工程の簡略化のため、画素用TFT

だけでなく、駆動回路用TFTにLDD構造TFTを採用する場合がある。しかしながら、駆動回路用TFTとしてLDD構造TFTを用いると、次のような問題がある。駆動回路用TFTには、電流駆動力が大きい、すなわちオン電流が大きいことが要求されるが、LDD構造TFTでは、LDD領域が抵抗となるので、シングルドレイン構造のTFTよりも電流駆動力が低下してしまう。また、LDD領域のチャネル長方向の長さ（LDD長）を最適化するために、回路の設計が煩雑になったり、額縁領域のサイズが増大する可能性がある。さらに、高速動作を行う駆動回路用TFTには、より高い信頼性が要求される。

[0006] そこで、駆動回路用TFTとして、LDD領域がゲート電極によってオーバーラップされた構造を有するTFTを用いることが提案されている。このような構造は、「GOLD (Gate Overlapped LDD) 構造」と称されている。GOLD構造を有するTFT（以下、「GOLD構造TFT」と略する。）では、ゲート電極に電圧を印加すると、ゲート電極がオーバーラップしたLDD領域にキャリアとなる電子が蓄積されるので、LDD領域の抵抗を小さくできる。このため、TFTの電流駆動力の低下を抑えることができる。また、ゲートの下に電界緩和領域を形成する事により、LDD構造TFTよりも高い信頼性を確保できる。

[0007] なお、本明細書では、LDD領域全体がゲート電極でオーバーラップされていない構造を「LDD構造」、LDD領域の少なくとも一部がゲート電極でオーバーラップされている構造を「GOLD構造」と称している。

[0008] しかしながら、LDD構造TFTに加えて、駆動回路用TFTとしてGOLD構造TFTを同一基板上に形成すると、製造プロセスで使用するフォトリソグラフィの枚数が増加するという問題がある。フォトリソグラフィは、エッチング工程やイオン注入工程でマスクとなるレジストパターンを形成するために使用される。従って、フォトリソグラフィによるレジストパターンの形成、レジストパターンの剥離、洗浄および乾

燥工程が増加することを意味する。従って、フォトマスクの枚数が増加すると、製造コストが増大し、リードタイムも長くなり、生産性を大幅に低下させてしまう。また、歩留まりが低下するおそれがある。

[0009] これに対し、フォトマスクを1枚でも減らすための種々のプロセスが提案されている。

[0010] 例えば特許文献1は、ハーフトーンマスクを使用することにより、フォトマスクの枚数を増やすことなく、GOLD構造TFEを製造する方法を開示している。特許文献1では、ハーフトーンマスクを使用したフォトリソグラフィ工程により、部分的に厚さが異なるレジストパターンを形成して、これをエッチングマスクとして半導体膜のエッチングを行う。次いで、レジストパターンの凹部を除去した後、LDD領域形成のための不純物ドーピングを行う。従って、1回のフォトリソグラフィ工程で、半導体膜のエッチングおよびLDD領域の形成を行うことが可能であり、フォトマスクの枚数を1枚削減できる。

先行技術文献

特許文献

[0011] 特許文献1：特開2002-134756号公報

発明の概要

発明が解決しようとする課題

[0012] 特許文献1の方法によると、ハーフトーンマスクの解像度が低いために、十分な精度でレジストパターンの線幅を制御することが難しい。このため、高精細なTFEの製造に適用できない場合がある。このように、従来の方法では、良好な線幅制御性を確保しつつ、フォトマスクの枚数を削減して生産性を向上させることは困難であった。

[0013] 本発明の一実施形態は、上記事情に鑑みてなされたものであり、その主な目的は、LDD領域を有するTFEを備えた、生産性に優れ、かつ高精細な半導体装置を提供することにある。

課題を解決するための手段

- [0014] 本発明による一実施形態の半導体装置は、基板上に少なくとも1つの薄膜トランジスタを備えた半導体装置であって、前記少なくとも1つの薄膜トランジスタは、チャネル領域と、第1導電型の不純物を含む高濃度不純物領域と、前記チャネル領域と前記高濃度不純物領域との間に位置し、前記高濃度不純物領域よりも低く、かつ、前記チャネル領域よりも高い濃度で前記第1導電型の不純物を含む低濃度不純物領域とを有する半導体層と、前記半導体層の上に形成されたゲート絶縁層と、前記ゲート絶縁層の上に設けられ、少なくとも前記チャネル領域と重なるように配置されたゲート電極と、前記ゲート電極および前記ゲート絶縁層上に形成された層間絶縁層と、前記半導体層に接続されたソース電極およびドレイン電極とを備え、前記層間絶縁層および前記ゲート絶縁層には、前記半導体層に達するコンタクトホールが設けられており、前記ソース電極およびドレイン電極の少なくとも一方は、前記層間絶縁層上および前記コンタクトホール内に形成され、前記コンタクトホール内で前記高濃度不純物領域と接し、前記コンタクトホールの側壁において、前記ゲート絶縁層および前記層間絶縁層の側面は整合しており、前記半導体層の上面において、前記コンタクトホールの縁部と、前記高濃度不純物領域の縁部とは整合している。
- [0015] ある実施形態において、前記基板の法線方向から見たとき、前記高濃度不純物領域は、前記低濃度不純物領域の内部に位置している。
- [0016] ある実施形態において、前記少なくとも1つの薄膜トランジスタは、第1薄膜トランジスタを含み、前記第1薄膜トランジスタでは、前記低濃度不純物領域の一部は、前記ゲート絶縁層を介して前記ゲート電極で覆われている。
- [0017] ある実施形態において、前記少なくとも1つの薄膜トランジスタは、第2薄膜トランジスタを含み、前記第2薄膜トランジスタでは、前記低濃度不純物領域の前記チャネル領域側の端部は、前記ゲート電極の端部と整合している。

- [0018] ある実施形態において、前記第1薄膜トランジスタにおいて、前記低濃度不純物領域は、前記ゲート絶縁層を介して前記ゲート電極と重ならない第1低濃度不純物領域と、前記ゲート電極と重なる第2低濃度不純物領域とを含み、前記第1低濃度不純物領域は、前記第2低濃度不純物領域よりも高い濃度で前記第1導電型の不純物を含む。
- [0019] ある実施形態において、前記少なくとも1つの薄膜トランジスタは、第2薄膜トランジスタをさらに含み、前記第2薄膜トランジスタでは、前記低濃度不純物領域の前記チャネル領域側の端部は、前記ゲート電極の端部と整合しており、前記第2薄膜トランジスタにおいて、前記低濃度不純物領域は、前記高濃度不純物領域と接する第3低濃度不純物領域と、前記第3低濃度不純物領域よりも前記チャネル領域側に位置する第4低濃度不純物領域とを含み、前記第3低濃度不純物領域は、前記第4低濃度不純物領域よりも高い濃度で前記第1導電型の不純物を含む。
- [0020] ある実施形態において、前記第1薄膜トランジスタの前記第1低濃度不純物領域と、前記第2薄膜トランジスタの前記第3低濃度不純物領域とは同一の不純物元素を含み、前記第1および第3低濃度不純物領域の厚さ方向における前記第1導電型の不純物の濃度プロファイルは略等しい。
- [0021] ある実施形態において、前記少なくとも1つの薄膜トランジスタとは異なる導電型を有する他の薄膜トランジスタをさらに含み、前記他の薄膜トランジスタは、チャネル領域と、コンタクト領域と、前記チャネル領域と前記コンタクト領域との間に位置し、第2導電型の不純物を含む他の高濃度不純物領域とを有する半導体層であって、前記コンタクト領域は、前記他の高濃度不純物と同じ濃度で前記第2導電型の不純物を含み、かつ、前記他の高濃度不純物よりも高い濃度で前記第1導電型の不純物を含む、他の半導体層と、前記他の半導体層上に延設された前記ゲート絶縁層と、前記ゲート絶縁層の上に設けられた他のゲート電極と前記他のゲート電極および前記ゲート絶縁層上に延設された前記層間絶縁層と、前記他の半導体層に接続された他のソース電極および他のドレイン電極とを備え、前記層間絶縁層および前記ゲー

ト絶縁層には、前記他の半導体層に達する他のコンタクトホールが設けられており、前記他のソース電極および他のドレイン電極の少なくとも一方は、前記層間絶縁層上および前記他のコンタクトホール内に形成され、前記他のコンタクトホール内で前記コンタクト領域と接し、前記他のコンタクトホールの側壁において、前記ゲート絶縁層および前記層間絶縁層の側面は整合しており、前記他の半導体層の上面において、前記他のコンタクトホールの縁部と、前記コンタクト領域の縁部とは整合している。

[0022] 本発明の一実施形態の半導体装置に製造方法は、少なくとも1つ薄膜トランジスタを基板上に備えた半導体装置の製造方法であって、（a）基板上に、チャネル領域と、前記チャネル領域よりも高い濃度で第1導電型の不純物を含む低濃度不純物領域とを含む島状の半導体層、前記半導体層を覆うゲート絶縁層、および前記ゲート絶縁層上に配置されたゲート電極を形成する工程と、（b）前記ゲート絶縁層および前記ゲート電極上に層間絶縁層を形成する工程と、（c）前記層間絶縁層上にマスクを形成し、前記マスクを用いて前記ゲート絶縁層および前記層間絶縁層を同時にエッチングすることによって、前記ゲート絶縁層および前記層間絶縁層に、前記低濃度不純物領域の一部を露出するコンタクトホールを形成する工程と、（d）前記コンタクトホールを介して、前記半導体層における前記低濃度不純物領域の前記一部に第1導電型の不純物を注入することによって、高濃度不純物領域を形成する工程と、（e）前記層間絶縁層上および前記コンタクトホール内に、前記高濃度不純物領域と接するように電極を形成する工程とを包含する。

[0023] ある実施形態において、前記工程（d）よりも前に、前記低濃度不純物領域に対して、第1の活性化アニールを行い、前記工程（d）よりも後に、前記高濃度不純物領域に対して、第2の活性化アニールを行う。

[0024] ある実施形態において、前記第2の活性化アニールは、前記第1の活性化アニールよりも低い温度で行う。

[0025] ある実施形態において、前記工程（a）は、前記半導体層の一部に、前記第1導電型の不純物を注入する第1のイオン注入工程を含み、前記工程（d

）では、前記第1のイオン注入工程よりも低いドーズ量または低い加速電圧で、前記第1導電型の不純物の注入を行う。

[0026] ある実施形態において、前記工程（a）において、前記低濃度不純物領域の少なくとも一部は、前記ゲート絶縁層を介して前記ゲート電極と重なっている。

[0027] 本発明の他の実施形態の半導体装置の製造方法は、少なくとも第1薄膜トランジスタおよび第2薄膜トランジスタを基板上に備えた半導体装置の製造方法であって、（a）基板上に、第1薄膜トランジスタの活性層となる第1半導体層と、第2薄膜トランジスタの活性層となる第2半導体層とを形成し、前記第1および第2半導体層を覆うゲート絶縁層を形成する工程と、（b）前記第1半導体層の一部および前記第2半導体層の一部に、第1導電型の不純物を注入する第1の注入工程と、（c）前記第1半導体層のうち前記第1の注入工程で不純物が注入された領域の一部およびチャネル領域となる部分の上に第1ゲート電極を形成し、前記第2半導体層のうち前記第1の注入工程で不純物が注入されなかった領域の一部上に第1ゲート電極を形成する工程と、（d）前記第1および第2ゲート電極をマスクとして、前記第1および第2半導体層に第1導電型の不純物を注入する第2の注入工程であって、これにより、前記第1半導体層のうち前記第1および第2の注入工程の両方で不純物が注入された領域が第1低濃度不純物領域、前記第1の注入工程で不純物が注入され、かつ、前記第2ゲート電極で覆われていたために前記第2の注入工程で不純物が注入されなかった領域が第2低濃度不純物領域となり、前記第2半導体層のうち前記第1および第2の注入工程の両方で不純物が注入された領域が第3低濃度不純物領域、前記第2の注入工程で不純物が注入され、前記第1の注入工程で不純物が注入されなかった領域が第4低濃度不純物領域となる、第2のイオン注入工程と、（e）前記ゲート絶縁層、前記第1ゲート電極および第2ゲート電極上に層間絶縁層を形成する工程と、（f）前記層間絶縁層上にマスクを形成し、前記マスクを用いて前記ゲート絶縁層および前記層間絶縁層を同時にエッチングすることによって、前

記ゲート絶縁層および前記層間絶縁層に、前記第 1 低濃度不純物領域の一部を露出する第 1 コンタクトホールと、前記第 3 低濃度不純物領域の一部を露出する第 2 コンタクトホールとを形成する工程と、（g）前記第 1 および第 2 コンタクトホールを介して、前記第 1 および第 3 低濃度不純物領域の前記一部に第 1 導電型の不純物を注入することによって、前記第 1 半導体層に第 1 高濃度不純物領域を形成し、前記第 2 半導体層に第 2 高濃度不純物領域を形成する工程と、（h）前記層間絶縁層上および前記第 1 コンタクトホール内に、前記第 1 高濃度不純物領域と接する第 1 の電極を形成し、前記層間絶縁層上および前記第 2 コンタクトホール内に、前記第 2 高濃度不純物領域と接する第 2 の電極を形成する工程とを包含する。

[0028] ある実施形態において、前記工程（g）よりも前に、前記第 1、第 2、第 3 および第 4 低濃度不純物領域に対して、第 1 の活性化アニールを行い、前記工程（g）よりも後に、前記第 1 および第 2 高濃度不純物領域に対して、第 2 の活性化アニールを行う。

[0029] ある実施形態において、前記第 2 の活性化アニールは、前記第 1 の活性化アニールよりも低い温度で行う。

[0030] ある実施形態において、前記工程（g）では、前記第 1 および第 2 のイオン注入工程よりも低いドーズ量または低い加速電圧で、前記第 1 導電型の不純物の注入を行う。

[0031] ある実施形態において、前記第 1 および第 2 薄膜トランジスタとは導電型の異なる第 3 薄膜トランジスタをさらに備え、前記工程（a）は、前記基板上に第 3 半導体層を形成する工程を含み、前記ゲート絶縁層は前記第 3 半導体層上にも延設され、前記工程（c）は、前記第 3 半導体層上に第 3 ゲート電極を形成する工程を含み、前記工程（c）の後、前記工程（e）の前に、前記第 3 ゲート電極をマスクとして第 2 導電型の不純物を前記第 3 半導体層に注入することによって、前記第 3 半導体層に第 3 高濃度不純物領域を形成する工程をさらに含み、前記工程（e）において前記層間絶縁層は、前記第 3 ゲート電極上にも延設され、前記工程（f）は、前記ゲート絶縁層および

前記層間絶縁層に、前記第3高濃度不純物領域の一部を露出する第3コンタクトホールを形成する工程を含み、前記工程（g）は、前記第3コンタクトホールを介して、前記第3高濃度不純物領域の前記一部に第1導電型の不純物を注入することによって、前記第3半導体層にコンタクト領域を形成する工程を含み、前記工程（h）は、前記層間絶縁層上および前記第3コンタクトホール内に、前記コンタクト領域と接する第3の電極を形成する工程を含む。

[0032] ある実施形態において、前記工程（b）の前記第1の注入工程は、前記第1、第2および第3半導体層上にそれぞれ配置された第1、第2および第3マスクを用いて行い、前記第3マスクは多階調マスクであり、前記第1の注入工程の後、前記工程（c）の前に、前記第1および第2マスクを除去するとともに、前記第3マスクの一部を除去する工程と、前記第3マスクの一部を用いて、前記第1および第2半導体層のチャネル領域となる部分を含む領域に不純物を注入する工程とをさらに包含する。

発明の効果

[0033] 本発明による一実施形態によると、LDD領域を有するTFTを備えた、生産性に優れ、かつ高精細な半導体装置を提供できる。

[0034] また、LDD領域を有するTFTを備えた半導体装置の製造方法において、フォトリソの使用枚数を削減できる。

図面の簡単な説明

[0035] [図1]（a）および（b）は、それぞれ、第1の本実施形態の半導体装置におけるLDD構造TFT100およびGOLD構造TFT200を例示する模式的な断面図である。

[図2]（a）および（b）は、それぞれ、LDD構造TFT100およびGOLD構造TFT200における半導体層3A、3Bを例示する模式的な平面図である。

[図3]（a）～（d）は、LDD構造TFT100を製造する方法の一例を示す模式的な断面工程図である。

[図4] (a) ~ (d) は、GOLD構造を有するTFT200を製造する方法の一例を示す模式的な断面工程図である。

[図5] (a) は、第2の実施形態の半導体装置におけるLDD構造TFT101およびGOLD構造TFT201を例示する断面図であり、(b) および(c) は、それぞれ、LDD構造TFT101およびGOLD構造TFT201の半導体層3A、3Bを例示する平面図である。

[図6] (a) ~ (e) は、第2の実施形態の半導体装置を製造する方法を示す模式的な工程断面図である。

[図7] (a) は、参考例のGOLD構造TFT2000を製造するプロセスフローであり、(b) は、GOLD構造TFT200、201を製造するプロセスフローである。

[図8] (a) は、第3の実施形態におけるp型TFT302の断面図であり、(b) はp型TFT302の半導体層3Cの平面図である。

[図9] (a) ~ (f) は、第3の実施形態の半導体装置を製造する方法を示す模式的な工程断面図である。

[図10] (a) は、参考例のLDD構造TFT1000およびGOLD構造TFT2000を例示する断面図であり、(b) および(c) は、それぞれ、LDD構造TFT1000およびGOLD構造TFT2000の半導体層3D、3Eの上面図である。

発明を実施するための形態

[0036] (第1の実施形態)

以下、図面を参照しながら、本発明による半導体装置の実施形態を説明する。本明細書では、「半導体装置」は、機能回路が形成された基板やアクティブマトリクス基板、および、液晶表示装置や有機EL表示装置などの表示装置を広く含むものとする。

[0037] 本実施形態の半導体装置は、基板と、基板上に形成された複数のTFTとを備えている。複数のTFTは、LDD領域を有するTFTを少なくとも1つ含んでいる。LDD領域を有するTFTは、LDD構造TFTであっても

よいし、GOLD構造TF Tであってもよい。あるいは、共通の半導体膜を用いて形成されたGOLD構造TF TおよびLDD構造TF Tの両方を含んでいてもよい。

[0038] 図1 (a) および (b) は、本実施形態の半導体装置におけるLDD領域を有するTF Tを例示する模式的な断面図であり、図1 (a) はLDD構造TF T 100、図1 (b) はGOLD構造TF T 200を例示している。また、図2 (a) および (b) は、それぞれ、LDD構造TF T 100およびGOLD構造TF T 200における半導体層を例示する模式的な平面図である。図1 および図2 では、同様の構成要素には同じ参照符号を付しているか、同じ数字を用いた参照符号を付している。LDD構造TF T 100の構成要素の一部には、数字の後に「A」を付した参照符号を用い、GOLD構造TF T 200の構成要素の一部には、数字の後に「B」を付した参照符号を用いている。

[0039] 図1 (a) に示すように、LDD構造TF T 100は、基板1上に形成された半導体層3 Aと、半導体層3 Aを覆うゲート絶縁層5 と、ゲート絶縁層5 上に形成されたゲート電極7 Aと、ゲート電極7 Aおよび半導体層3 Aを覆う層間絶縁層1 1 と、半導体層3 Aに電氣的に接続されたソース電極8 Aおよびドレイン電極9 Aとを有している。

[0040] 半導体層3 Aは、チャネル領域3 1 A、ソース領域3 3 s A、ドレイン領域3 3 d A、およびLDD領域3 2 Aとを有している。チャネル領域3 1 Aは、ソース領域3 3 s Aとドレイン領域3 3 d Aとの間に位置している。LDD領域3 2 Aは、チャネル領域3 1 Aとソース領域3 3 s Aおよびドレイン領域3 3 d Aの少なくとも一方とに挟まれている。この例では、ソース領域3 3 s A及びドレイン領域3 3 d Aは、第1導電型不純物（例えばn型不純物）を含む第1導電型領域（例えばn⁺型領域）である。LDD領域3 2 Aは、チャネル領域3 1 Aよりも高く、かつ、ソース領域3 3 s A及びドレイン領域3 3 d Aよりも低い濃度で第1導電型不純物（例えばn型不純物）を含む第1導電型領域（例えばn⁻型領域）である。本明細書では、ソース領域

33sA及びドレイン領域33dAを「高濃度不純物領域」または「n⁺型領域」と総称し、LDD領域32Aを「低濃度不純物領域」または「n⁻型領域」と呼ぶことがある。

[0041] ゲート電極7Aは、ゲート絶縁層5を介して、半導体層3Aの少なくともチャネル領域31Aと重なるように配置されている。この例では、基板1の法線方向から見たとき、ゲート電極7Aは、チャネル領域31Aと重なり、ソース領域33sA、ドレイン領域33dAおよびLDD領域32Aとは重なっていない。また、基板1の法線方向から見たとき、ゲート電極7Aの端部と、LDD領域32Aのチャネル領域31A側の端部とが整合している。

[0042] ゲート絶縁層5および層間絶縁層11には、半導体層3Aのソース領域33sAに達するソースコンタクトホール13A、および、半導体層3Aのドレイン領域33dAに達するドレインコンタクトホール14Aが設けられている。これらのコンタクトホール13A、14Aは、ゲート絶縁層5および層間絶縁層11を同時にエッチングすることによって形成されている。このため、ソースコンタクトホール13Aおよびドレインコンタクトホール14Aの側壁において、ゲート絶縁層5の側面と層間絶縁層11の側面とは整合している。

[0043] ソース電極8Aは、層間絶縁層11上およびソースコンタクトホール13A内に設けられ、ソースコンタクトホール13A内でソース領域33sAと接している。ドレイン電極9Aは、層間絶縁層11上およびドレインコンタクトホール14A内に設けられ、ドレインコンタクトホール14A内でドレイン領域33dAと接している。

[0044] 本実施形態では、ソース領域33sAおよびドレイン領域33dAは、コンタクトホール13A、14Aを介して半導体層3Aに第1導電型不純物を注入することによって形成されている。本明細書では、コンタクトホールを介した注入工程を、「コンタクトドーピング工程」と称する。このため、半導体層3Aの上面において、ソースコンタクトホール13Aの縁部と、半導体層3Aのソース領域33sAとは整合している。同様に、ドレインコンタ

クトホール 14 A の縁部と、半導体層 3 A のドレイン領域 33 d A とは整合している。ここでいう「整合している」とは、上記のようなコンタクトホールを介した注入で形成されていればよく、例えば半導体層 3 A に注入された第 1 導電型不純物が活性化アニールによって周囲に拡散した場合をも含む。このような構成により、ソース電極 8 A のうち半導体層 3 A と接する面（コンタクト面）とソース領域 33 s A とが整合し、ドレイン電極 9 A のうち半導体層 3 A と接する面とドレイン領域 33 d A とが整合することになる。

[0045] 一方、図 1 (b) に示す GOLD 構造 TFT 200 は、基板 1 上に形成された半導体層 3 B と、半導体層 3 B を覆うゲート絶縁層 5 と、ゲート絶縁層 5 上に形成されたゲート電極 7 B と、ゲート電極 7 B および半導体層 3 B を覆う層間絶縁層 11 と、半導体層 3 B に電氣的に接続されたソース電極 8 B およびドレイン電極 9 B とを有している。半導体層 3 B は、チャネル領域 31 B、ソース領域 33 s B、ドレイン領域 33 d B、および LDD 領域 32 B を有している。LDD 領域 32 B は、チャネル領域 31 B と、ソース領域 33 s B およびドレイン領域 33 d B の少なくとも一方との間に位置している。LDD 領域 32 B は、チャネル領域 31 B よりも高く、かつ、ソース領域 33 s B 及びドレイン領域 33 d B（以下、「高濃度不純物領域」）よりも低い濃度で第 1 導電型不純物を含む。

[0046] GOLD 構造 TFT 200 は、ゲート電極 7 B が、ゲート絶縁層 5 を介して、半導体層 3 B のチャネル領域 31 B だけでなく、LDD 領域 32 B の一部とも重なるように配置されている点で、LDD 構造 TFT 100 と異なっている。LDD 領域 32 B は、ゲート電極 7 B と重なっていない部分、すなわち基板 1 の法線方向から見たとき、ソース領域 33 s B およびドレイン領域 33 d B とゲート電極 7 B との間に位置する部分（「LDD 部分」）32 (1) と、ゲート電極 7 B と重なる部分（以下、「GOLD 部分」）32 (2) とを含む。GOLD 部分 32 (2) は、GOLD 領域または NM 領域と呼ばれることもある。LDD 部分 32 (1) および GOLD 部分 32 (2) は、不純物元素を同じ濃度で含んでいてもよいし、異なる濃度で含んでいて

もよい。後述するように、LDD部分32(1)は、GOLD部分32(2)よりも高い濃度で第1導電型不純物を含んでいてもよい。

[0047] その他の構造は、図1(a)に示すLDD構造TFT100と同様であるため、説明を省略する。

[0048] GOLD構造TFT200でも、LDD構造TFT100と同様に、ソース領域33sBおよびドレイン領域33dBは、それぞれ、ソースコンタクトホール13Bおよびドレインコンタクトホール14Bを介して半導体層3Bに第1導電型不純物を注入することによって形成されている（コンタクトドーピング工程）。このため、半導体層3Bの上面において、コンタクトホール13B、14Bの縁部は、それぞれ、半導体層3Bのソース領域33sBおよびドレイン領域33dBの縁部と整合している。

[0049] 本実施形態の半導体装置は、LDD構造TFT100およびGOLD構造TFT200の両方を備えていてもよい。例えば、画素用TFTとして複数のLDD構造TFT100、駆動回路用TFTとして複数のGOLD構造TFT200を同一基板1上に有していてもよい。このような場合、半導体層3A、3Bは同じ半導体膜から形成され、ゲート電極7A、7Bは同じ導電膜から形成され得る。ゲート絶縁層5および層間絶縁層11は、各TFT100、200に共通であってもよい。また、TFT100、200のソース領域33sA、33sBおよびドレイン領域33dA、33dBを共通のコンタクトドーピング工程で形成してもよい。これにより、半導体装置の製造プロセスで使用するフォトマスクの枚数を削減できる。

[0050] なお、本実施形態の半導体装置では、LDD領域を有するTFTの少なくとも1つの高濃度不純物領域が、コンタクトドーピング工程によって形成され、その高濃度不純物領域とコンタクトホール内で接するように電極（ソースまたはドレイン電極）が配置されていけばよい。従って、ソースおよびドレイン領域のいずれか一方のみがコンタクトドーピング工程で形成されていてもよい。

[0051] 本明細書において、「LDD領域」は、その不純物濃度が例えば 1×10^{18}

a t o m s / c m³以上であり、かつ、ソース・ドレイン領域の不純物濃度よりも低い領域を指す。従って、半導体層のうち極めて低濃度（ 1×10^{18} a t o m s / c m³未満）で不純物を含む領域を含まない。例えばL D D領域に注入された不純物の一部がゲート電極の下にあるチャネル領域まで拡散する場合もあるが、不純物が拡散した部分の不純物濃度は極めて低いと考えられるため、そのような部分は「L D D領域」には含まれない。

[0052] 次いで、本実施形態におけるL D D構造T F T 1 0 0、G O L D構造T F T 2 0 0の製造方法の一例を順に説明する。

[0053] 図3（a）～（d）は、L D D構造T F T 1 0 0を製造する方法の一例を示す模式的な断面工程図である。

[0054] まず、図3（a）に示すように、基板1上に、公知の方法で、半導体層（例えばポリシリコン層）3 A、ゲート絶縁層5およびゲート電極7 Aをこの順で形成する。

[0055] 次いで、図3（b）に示すように、ゲート電極7 Aをマスクとして、半導体層3 Aに第1導電型（ここではn型）の不純物イオンを低濃度で注入し、半導体層3 Aに低濃度注入領域3 0 Aを形成する。不純物イオンが注入されなかった領域はチャネル領域3 1 Aとなる。この後、第1の温度で活性化アニールを行い、低濃度注入領域3 0 Aに注入された不純物イオンを活性化させるとともに、低濃度注入領域3 0 Aの結晶性を回復させる。

[0056] 続いて、図3（c）に示すように、半導体層3 Aを覆うように層間絶縁層1 1を形成した後、層間絶縁層1 1上に、開口部を有するレジストマスク4 1を形成する。次いで、レジストマスク4 1を用いて、ゲート絶縁層5および層間絶縁層1 1にソースコンタクトホール1 3 A、ドレインコンタクトホール1 4 Aを形成する。

[0057] 続いて、図3（d）に示すように、ソースコンタクトホール1 3 Aおよびドレインコンタクトホール1 4 Aを介して、低濃度注入領域3 0 Aの一部に第1導電型の不純物イオンを高濃度で注入する。これにより、半導体層3 Aにソース領域3 3 s Aおよびドレイン領域3 3 d Aが形成される。低濃度注

入領域 30A のうち高濃度で不純物イオンが注入されなかった領域が LDD 領域 32A となる。この後、レジストマスク 41 を剥離する。なお、レジストマスク 41 の剥離は、不純物イオンの注入の前に行ってもよい。

[0058] 次いで、第 2 の温度で活性化アニールを行い、ソース領域 33sA およびドレイン領域 33dA に注入された不純物イオンを活性化させる。第 2 の温度は、例えば第 1 の温度よりも低い温度に設定される。このようにして、LDD 構造 TFT100 を得る。

[0059] 図 4 (a) ~ (d) は、GOLD 構造を有する TFT200 を製造する方法の一例を示す模式的な断面工程図である。

[0060] まず、図 4 (a) に示すように、基板 1 上に、公知の方法で、半導体層 3B およびゲート絶縁層 5 を形成する。次いで、ゲート絶縁層 5 上にレジストマスク 42 を形成し、これを用いて、半導体層 3B に第 1 導電型（ここでは n 型）の不純物イオンを低濃度で注入し、半導体層 3B に低濃度注入領域 30B を形成する。不純物イオンが注入されなかった領域はチャネル領域 31B となる。

[0061] レジストマスク 42 を剥離した後、図 4 (b) に示すように、ゲート絶縁層 5 上に、低濃度注入領域 30B の一部およびチャネル領域 31B と重なるようにゲート電極 7B を形成する。この後、第 1 の温度で活性化アニールを行い、低濃度注入領域 30B に注入された不純物イオンを活性化させる。なお、活性化アニールを、ゲート電極 7B の形成前に行ってもよい。

[0062] 続いて、図 4 (c) に示すように、図 3 (c) を参照しながら前述した方法と同様の方法で、層間絶縁層 11 を形成し、ゲート絶縁層 5 および層間絶縁層 11 のパターニングを行ってソースコンタクトホール 13B およびドレインコンタクトホール 14B を得る。

[0063] 続いて、図 4 (d) に示すように、図 3 (d) を参照しながら前述した方法と同様の方法で、低濃度注入領域 30B の一部に第 1 導電型の不純物イオンを高濃度で注入し、ソース領域 33sB およびドレイン領域 33dB を得る。低濃度注入領域 30B のうち高濃度で不純物イオンが注入されなかった

領域がLDD領域32Bとなる。次いで、第1の温度よりも低い第2の温度で活性化アニールを行い、GOLD構造TF T200を得る。

[0064] 本実施形態によると、LDD構造TF T100を製造する際に、ゲート電極7AをマスクとしてLDD領域32Aとなる低濃度注入領域（N⁻領域）を形成し、コンタクトホール13A、14Aが形成された絶縁層をマスクとしてソース領域またはドレイン領域となる高濃度注入領域（N⁺領域）を形成する。また、GOLD構造TF T200を製造する場合でも、コンタクトホール13B、14Bが形成された絶縁層をマスクとして高濃度注入領域（N⁺領域）を形成する。このため、フォトマスクの使用枚数を従来よりも1枚削減することが可能である。

[0065] 上記方法では、コンタクトドーピングを行う前に低濃度注入領域に対する活性化アニールを行い、コンタクトドーピング後に高濃度注入領域に対する活性化アニールを行っている。なお、活性化アニールは、コンタクトドーピング後に1回だけ行っても構わない。ただし、上記方法のように、コンタクトドーピングを行う前にも活性化アニールを行うことが好ましい。この理由は次のとおりである。

[0066] 一般に、不純物イオンが注入された領域には、イオン注入時に生じた結晶の損傷を回復し、注入されたイオンを活性化するためにアニール（活性化アニール）が行われる。しかしながら、コンタクトドーピング後に、高温で活性化アニールを行うと、コンタクトホールからゲート絶縁層と半導体層との界面において終端している水素が離脱し、TF T特性を悪化させる可能性がある。これに対し、上記方法では、LDD領域32A、32Bとなる低濃度注入領域（N⁻領域）を形成した後、コンタクトドーピング工程を行う前に、第1の温度で活性化アニールを行い、低濃度注入領域30A、30Bの結晶を一旦回復させている。第1の温度は、例えば500℃以上700℃以下であってもよい。次いで、コンタクトドーピング後、第2の温度で高濃度注入領域（N⁺領域）の活性化アニールを行う。第2の温度は、第1の温度よりも低く設定され得る。第2の温度は例えば200℃以上300℃未満であって

もよい。このように、コンタクトドーピング前後に活性化アニールを行うことにより、TFET特性を確保しつつ、低濃度不純物領域および高濃度不純物領域の結晶性の回復をより確実に行うことができる。

[0067] コンタクトドーピングを行う際の加速エネルギーは、低濃度注入領域30A、30Bを形成する際の加速エネルギーよりも低くてもよく、例えば5keV以上30keV以下であってもよい。これにより、コンタクトドーピング後の活性化アニールにおいて、終端水素の離脱をより効果的に抑制できる。

[0068] なお、TFET100、200の導電型はn型に限定されず、p型であってもよい。この場合には、半導体層3A、3Bに注入される第1導電型不純物として、ボロンなどのp型不純物を用いる。

[0069] なお、特開2007-141992号公報には、ゲート絶縁層に設けたコンタクトホールを介して半導体層に不純物イオンを注入することによって、ソース・ドレイン領域を形成する方法が記載されている。この方法では、ソース・ドレイン領域の形成後、層間絶縁層の形成およびパターニングが行われる。この方法によると、ゲート絶縁層および層間絶縁層を別個にパターニングする必要があり、フォトマスクの枚数を低減できない。また、ゲート絶縁層が薄い場合には、ゲート絶縁層をドーピングマスクとして利用できない場合もある。これに対し、本実施形態では、ゲート絶縁層であるゲート絶縁層5および層間絶縁層11を一括してエッチングするので、フォトマスクの枚数を低減できる。また、エッチングマスクとして、ゲート絶縁層5および層間絶縁層11を用いるので、ゲート絶縁層5の厚さにかかわらず適用できる。前述したように、コンタクトドーピングの前後に、活性化アニールを2回に分けて行くと、さらに有利である。

[0070] (第2の実施形態)

以下、図面を参照しながら、本発明による第2の実施形態の半導体装置を説明する。

[0071] 本実施形態の半導体装置は、同一基板上に、LDD構造TFETおよびGO

LD構造TF Tを備えている。これらのTF Tは、同一の半導体膜を用いて、共通の工程で形成される。LDD構造TF Tは画素用TF Tとして表示領域に形成され、GOLD構造TF Tは駆動回路用TF Tとして額縁領域に形成され得る。

[0072] 図5 (a) は、本実施形態の半導体装置におけるLDD構造TF T 101 およびGOLD構造TF T 201 を例示する断面図であり、図5 (b) および (c) は、それぞれ、LDD構造TF T 101 およびGOLD構造TF T 201 の半導体層3 A、3 Bを例示する平面図である。

[0073] LDD構造TF T 101 では、LDD領域32 Aは、ソース領域33 s A およびドレイン領域33 d Aにそれぞれ接する第3 LDD領域（「高濃度LDD領域」ともいう。）36と、第3 LDD領域36とチャネル領域31 Aとの間に位置する第4 LDD領域（「低濃度LDD領域」ともいう。）37とを含む。第3 LDD領域36は、第4 LDD領域37よりも高い濃度で、第1導電型の不純物を含む。この例では、第4 LDD領域37は、チャネル領域31 Aと接している。図示する例では、基板1の法線方向から見たとき、ソース領域33 s Aおよびドレイン領域33 d Aは、それぞれ、第3 LDD領域36の内部に配置されている。その他の構成は、図1に示すLDD構造TF T 100と同様であるので、説明を省略する。

[0074] また、GOLD構造TF T 201 では、LDD領域32 Bは、ソース領域33 s Bおよびドレイン領域33 d Bにそれぞれ接する第1 LDD領域（「高濃度LDD領域」ともいう）34と、第1 LDD領域34とチャネル領域31 Bとの間に位置する第2 LDD領域（「低濃度LDD領域」ともいう。）35とを含む。第2 LDD領域35は、ゲート電極7 Bによってオーバーラップされている。基板1の法線方向から見たとき、ソース領域33 s Bおよびドレイン領域33 d Bは、それぞれ、第1 LDD領域34の内部に配置されている。その他の構成は、図1に示すGOLD構造TF T 200と同様であるので、説明を省略する。

[0075] 次いで、本実施形態の半導体装置の製造方法の一例を説明する。

[0076] 図6(a)～(e)は、本実施形態の半導体装置を製造する方法を示す模式的な工程断面図である。簡単のため、ここでは、LDD構造TF T1 O1およびGOLD構造TF T2 O1を1個ずつ形成する方法を示しているが、典型的には、各TF Tは複数個形成される。

[0077] まず、図6(a)に示すように、基板1のLDD構造TF Tを形成しようとする領域に島状の半導体層3 A、GOLD構造TF Tを形成しようとする領域に島状の半導体層3 Bを形成する。続いて、これらの半導体層3 A、3 Bを覆うゲート絶縁層5を形成する。

[0078] 基板1は絶縁性の表面を有する基板であればよく、石英基板、ガラス基板の他、表面が絶縁層で覆われたSi基板や金属基板を用いてもよい。

[0079] 半導体層3 A、3 Bは、結晶質シリコン膜を用いて形成される。具体的には、まず、プラズマCVD法やスパッタ法などの公知の方法を用いて、非晶質構造を有する半導体膜（ここでは、非晶質シリコン膜）を堆積する。非晶質半導体膜の厚さは20 nm以上70 nm以下、好ましくは40 nm以上60 nm以下である。この後、非晶質半導体膜を結晶化させて結晶質半導体膜（ここではポリシリコン膜）を形成し、これをパターニングすることによって、半導体層3 A、3 Bを得る。非晶質半導体膜の結晶化は、レーザー結晶化によって行うことができる。あるいは、非晶質半導体膜に触媒元素を添加した後、アニール処理を行うことにより、結晶化させてもよい。

[0080] ゲート絶縁層5は、例えばCVD法を用いて形成される。ここでは、厚さが例えば50 nm以上200 nm以下の酸化ケイ素（SiO₂）層を形成する。

[0081] 次に、公知のフォトリソグラフィにより、半導体層3 Aの一部を覆うレジストマスク45と、半導体層3 Bのチャネル領域となる部分を覆うレジストマスク47とを形成する。レジストマスク45は、半導体層3 Aのうち高濃度不純物領域が形成される領域を露出し、かつ、チャネル領域およびLDD領域が形成される領域を覆うように配置される。

[0082] この後、レジストマスク45、47を用いて、半導体層3 A、3 Bに、n

型の不純物イオンを低濃度で注入し、低濃度注入領域50A、50Bを得る（第1のイオン注入工程）。ここでは、不純物イオンとしてリンイオンを注入する。注入の際の加速電圧は例えば60kV、ドーズ量は $1 \times 10^{13} / \text{cm}^2$ とする。半導体層3Bのうち不純物イオンが注入されなかった領域はチャンネル領域31Bとなる。

[0083] 続いて、レジストマスク45、47を除去し、図6（b）に示すように、半導体層3A、3B上にそれぞれゲート電極7A、7Bを形成する。ゲート電極7Aは、低濃度注入領域50Aのうちチャンネル領域となる部分上に配置される。ゲート電極7Bは、半導体層3Bの低濃度注入領域50Bの一部およびチャンネル領域31Bを覆うように配置される。

[0084] ゲート電極7A、7Bは、例えば、スパッタ法により、ゲート絶縁層5上にタングステン（W）膜（厚さ：例えば400nm）を形成した後、W膜をエッチングすることによって行うことができる。ゲート電極7A、7Bの材料は特に限定されない。例えばTaN膜およびW膜からなる積層膜であってもよい。

[0085] 次に、図6（c）に示すように、ゲート電極7A、7Bをマスクとして、半導体層3A、3Bに、n型の不純物イオンを低濃度で注入する（第2のイオン注入工程）。ここでは、不純物イオンとしてリンイオンを注入する。注入の際の加速電圧は例えば50kV、ドーズ量は $1 \times 10^{13} / \text{cm}^2$ とする。これにより、半導体層3Aのうちゲート電極7Aで覆われ、不純物が注入されなかった部分はチャンネル領域31Aとなる。また、第1および第2のイオン注入工程の両方で不純物イオンが注入された部分36は、第3LDD領域となる。第1のイオン注入工程で不純物イオンが注入されず、第2のイオン注入工程で不純物イオンが注入された部分37は、第4LDD領域となる。第3LDD領域36は、第4LDD領域37よりも高い濃度で第1導電型不純物を含む。

[0086] この後、活性化アニール（第1の活性化アニール）を行う。アニール温度は、特に限定しないが、例えば500℃以上700℃以下であってもよい。

- [0087] 続いて、図6（d）に示すように、半導体層3A、3B、ゲート電極7A、7Bおよびゲート絶縁層5を覆うように、層間絶縁層11を形成する。層間絶縁層11は、例えば、厚さが300nm以上900nm以下のSiO₂膜であってもよい、あるいは、例えばSiN膜およびSiO₂膜からなる積層膜であってもよい。この後、必要に応じて、半導体層3A、3Bを水素化するための熱処理（水素化アニール）、例えば1気圧の窒素雰囲気あるいは水素混合雰囲気中で350～550℃のアニールを行ってもよい。
- [0088] 次いで、図6（e）に示すように、層間絶縁層11上に、開口部を有するレジストマスク49を形成し、レジストマスク49を用いて、層間絶縁層11のパターニングを行う。これにより、層間絶縁層11に、半導体層3Aの第3LDD領域36の一部に達するソースコンタクトホール13A、ドレインコンタクトホール14Aと、半導体層3Bの第1LDD領域34の一部に達するソースコンタクトホール13B、ドレインコンタクトホール14Bとを形成する。
- [0089] 次いで、これらのコンタクトホール13A、14A、13B、14Bを介して、半導体層3A、3Bに不純物イオンを注入する（コンタクトドーピング工程）。これにより、半導体層3Aの第3LDD領域36にソースおよびドレイン領域33sA、33dAを形成する。また、半導体層3Bの第1LDD領域34にソースおよびドレイン領域33sB、33dBを形成する。この後、レジストマスク49を除去する。なお、レジストマスク49を除去した後で、コンタクトドーピングを行っても構わない。
- [0090] コンタクトドーピング工程におけるイオン注入条件を説明する。ここでは、不純物イオンとしてリンイオンを注入する。注入の際の加速電圧は、第1および第2のイオン注入工程の加速電圧よりも低く設定されることが好ましく、例えば20kV未満に設定される。また、既に2回のイオン注入を行った後の領域に対してイオン注入を行うため、本工程におけるドーズ量は、従来の高濃度注入領域を形成する際のドーズ量よりも低い値に設定され得る。また、第1および第2のイオン注入工程におけるドーズ量よりも低くなるよ

うに設定されてもよい。好ましくは、ドーズ量は $1.0 \times 10^{13} / \text{cm}^2$ 以上 $1.0 \times 10^{14} / \text{cm}^2$ 以下に設定される。このように、コンタクトドーピング工程では、第1および第2のイオン注入工程よりも低いエネルギーでイオン注入を行うことが可能になるので、注入時の結晶の損傷を小さくできる。従って、注入後に行う活性化アニールの温度を低く設定しても、結晶性を十分に回復できる。

[0091] この後、第2の活性化アニールを行い、ソースおよびドレイン領域33sA、33dA、33sB、33dBの結晶性を回復し、注入されたイオンを活性化させる。この後、図示しないが、コンタクトホール13A、13B、14A、14Bにそれぞれソース電極およびドレイン電極を形成する。このようにして、LDD構造TFT101およびGOLD構造TFT201が製造される。

[0092] 第2の活性化アニールは、上記の第1の活性化アニールよりも低い温度で行ってもよく、例えば300℃未満に設定されてもよい。これにより、コンタクトホール13A、14A、13B、14Bからの水素の離脱を低減できるので、TFT特性の低下を抑制できる。

[0093] 上記方法では、コンタクトドーピングを利用して、TFT101、201の高濃度注入領域を形成するので、高濃度注入領域を形成するためのドーピングマスクをフォトリソで形成する必要がない。従って、フォトリソの使用枚数を従来よりも低減できる。

[0094] 本実施形態では、LDD構造TFT101の第4LDD領域37の不純物濃度および注入プロファイルは、第2のイオン注入工程の注入条件によって決まる。GOLD構造TFT201の第2LDD領域35の不純物濃度および注入プロファイルは、第1のイオン注入工程の注入条件によって決まる。第1および第3LDD領域34、36は、第1および第2のイオン注入工程の両方で不純物イオンが注入された領域である。このため、第1および第3LDD領域34、36の不純物濃度および注入プロファイルは実質的に同じになる。また、高濃度不純物領域であるソースおよびドレイン領域33sA、33dA、33sB、33dBの不純物濃度および注入プロファイルは実

質的に同じになる。

[0095] 従って、第1～第4 LDD領域34、35、36、37の不純物濃度を、それぞれ、 c_1 、 c_2 、 c_3 、 c_4 とし、高濃度不純物領域の不純物濃度を c_5 とすると、下式(1)～(3)に示す関係が成り立つ。

$$c_2 < c_1 < c_5 \quad (1)$$

$$c_4 < c_3 < c_5 \quad (2)$$

$$c_1 = c_3 \quad (3)$$

[0096] 上記では、不純物濃度の異なる2つのLDD領域を有するLDD構造TFT101およびGOLD構造TFT201を製造する方法を説明するが、代わりに、図1に示すLDD構造TFT100、GOLD構造200を製造してもよい。

[0097] ここで、比較のため、コンタクトドーピングを行わずに製造された参考例の半導体装置を説明する。参考例の半導体装置は、同一基板上に、LDD構造TFT1000およびGOLD構造TFT2000を有している。

[0098] 図10(a)は、LDD構造TFT1000およびGOLD構造TFT2000を例示する断面図である。図10(b)および(c)は、それぞれ、LDD構造TFT1000およびGOLD構造TFT2000の半導体層3D、3Eの上面図である。図10では、簡単のため、図1～図5と同様の構成要素には同じ参照符号を付している。

[0099] 図7(a)は、LDD構造TFT1000およびGOLD構造TFT2000を備えた参考例の半導体装置のプロセスフローであり、図7(b)は、LDD構造TFT101およびGOLD構造TFT201を備えた本実施形態の半導体装置のプロセスフローである。なお、図7(a)および(b)は、それぞれ、GOLD構造TFT2000、およびGOLD構造TFT201のみを製造する場合のプロセスフローと同様である。

[0100] 参考例の半導体装置では、各TFT1000、2000の高濃度注入領域(ソース領域33sA、33sBおよびドレイン領域33dA、33dB)と、LDD構造TFT1000のLDD領域32Aとを作り分けるために、

高濃度注入領域を形成するためのマスク（N⁺フォト）を用いている。高濃度注入領域を形成した後、これらの一部を露出するコンタクトホール13A、13B、14A、14Bを設けて、その内部にソースおよびドレイン電極8A、8B、9A、9Bを形成する。従って、基板1の法線方向から見たとき、半導体層上面において、ソース領域33sA、33sBおよびドレイン領域33dA、33dBの縁部と、コンタクトホール13A、13B、14A、14Bの縁部とは整合しない。これに対し、本実施形態では、コンタクトドーピングによってソース領域33sA、33sBおよびドレイン領域33dA、33dBを形成するので、N⁺領域形成用マスクは不要である。従って、参考例の半導体装置よりもフォトマスクの枚数を削減できる。このように、本実施形態によると、フォトマスクの使用枚数を増加させることなく、LDD構造TFETとGOLD構造TFETとを同一基板上に形成できるので有利である。

[0101] 図7から分かるように、本実施形態によると、参考例のプロセスフローで必須であったフォト工程を1回分削減できる、すなわちフォトマスクを1枚削減できることが分かる。フォトマスクを1枚減らすことができれば、フォトリソグラフィによるレジストパターンの形成（レジスト塗布、プレバーク、露光、現像、ポストバークなどを含む）、レジストパターンの剥離、洗浄および乾燥工程を省略できるので、製造工程数および製造コストを大幅に低減できる。

[0102] （第3の実施形態）

以下、図面を参照しながら、本発明による第3の実施形態の半導体装置を説明する。本実施形態の半導体装置は、同一基板上に、LDD構造を有する第1導電型のTFET、GOLD構造を有する第1導電型のTFET、および第2導電型のTFETを備えている。また、本実施形態では、LDD構造およびGOLD構造TFETのチャネル領域に閾値電圧を調整するためのドーピング（チャネルドーピング）が施されている。

[0103] 以下では、第1導電型はn型、第2導電型はp型であるとして説明するが

、第1導電型はp型、第2導電型はn型であってもよい。LDD構造TFTは画素用TFTとして表示領域に形成され、GOLD構造TFTおよびp型TFTは駆動回路用TFTとして額縁領域に形成され得る。p型TFTは、例えばシングルドレイン構造を有する。

[0104] 本実施形態の半導体装置は、同一基板上に、n型のLDD構造TFT102、n型のGOLD構造TFT202およびp型TFT302を備えている。

[0105] LDD構造TFT102およびGOLD構造TFT202の構造は、チャネル領域31A、31Bに不純物が注入されている点以外は、それぞれ、図5を参照しながら前述したLDD構造TFT101およびGOLD構造TFT201と同様である。また、これらのTFT102、202のLDD領域および高濃度不純物領域の配置、不純物濃度、注入プロファイルなども前述の実施形態と同様であるので、ここでは説明を省略する。

[0106] 図8(a)は、p型TFT302の断面図であり、図8(b)はp型TFT302の半導体層3Cの平面図である。p型TFT302は、例えばシングルドレイン構造を有している。p型TFT302は、基板1上に形成された半導体層3Cと、半導体層3Cを覆うゲート絶縁層5と、ゲート絶縁層5上に形成されたゲート電極7Cと、ゲート電極7Cおよび半導体層3Cを覆う層間絶縁層11と、ソース電極8Cおよびドレイン電極9Cとを有している。

[0107] 半導体層3Cは、チャネル領域31C、ソース領域38s、ドレイン領域38d、ソースコンタクト領域39sおよびドレインコンタクト領域39dを有している。ソース領域38sは、ソースコンタクト領域39sとチャネル領域31Cとに挟まれている。同様に、ドレイン領域38dは、ドレインコンタクト領域39dとチャネル領域31Cとに挟まれている。この例では、ソース領域38s、ドレイン領域38d、ソースコンタクト領域39sおよびドレインコンタクト領域39dは、いずれも、高濃度で第2導電型不純物（例えばp型不純物）を含む第2導電型領域（例えばp⁺型領域）である。

[0108] ソース電極 8 C は、ゲート絶縁層 5 および層間絶縁層 1 1 に形成されたソースコンタクトホール内で、半導体層 3 C のソースコンタクト領域 3 9 s と接している。ドレイン電極 9 C は、ゲート絶縁層 5 および層間絶縁層 1 1 に形成されたドレインコンタクトホール内で、半導体層 3 C のドレインコンタクト領域 3 9 d と接している。半導体層 3 C の上面において、ソースコンタクトホールの縁部と、ソースコンタクト領域 3 9 s の縁部とは整合している。同様に、ドレインコンタクトホールの縁部と、ドレインコンタクト領域 3 9 d の縁部とは整合している。

[0109] この例では、ソースコンタクト領域 3 9 s およびドレインコンタクト領域 3 9 d は、コンタクトドーピングによって形成されている。ソースコンタクト領域 3 9 s およびドレインコンタクト領域 3 9 d の第 2 導電型の不純物濃度は、ソース領域 3 8 s およびドレイン領域 3 8 d の第 2 導電型（例えば p 型）の不純物濃度と同じである。また、ソースコンタクト領域 3 9 s およびドレインコンタクト領域 3 9 d の第 1 導電型（例えば n 型）の不純物濃度は、ソース領域 3 8 s およびドレイン領域 3 8 d の第 1 導電型の不純物濃度よりも、コンタクトドーピングで注入された分だけ高い。

[0110] 次いで、本実施形態の半導体装置の製造方法の一例を説明する。

[0111] 図 9 (a) ~ (f) は、本実施形態の半導体装置を製造する方法を示す模式的な工程断面図である。簡単のため、ここでは、L D D 構造 T F T 1 0 2、G O L D 構造 T F T 2 0 2 および p 型 T F T 3 0 2 を 1 個ずつ形成する方法を示しているが、典型的には、各 T F T は複数個形成される。

[0112] まず、図 9 (a) に示すように、基板 1 の L D D 構造 T F T を形成しようとする領域に島状の半導体層 3 A、G O L D 構造 T F T を形成しようとする領域に島状の半導体層 3 B、p 型 T F T を形成しようとする領域に島状の半導体層 3 C を形成する。続いて、これらの半導体層 3 A、3 B、3 C を覆うゲート絶縁層 5 を形成する。これらの形成方法は、図 6 (a) を参照しながら前述した方法と同様の方法である。

[0113] 次いで、公知のフォトリソグラフィにより、半導体層 3 A の一部を覆うレ

ジストマスク45と、半導体層3Bのチャネル領域となる部分を覆うレジストマスク47と、半導体層3Cのチャネル領域となる部分を覆うレジストマスク48とを形成する。レジストマスク45は、半導体層3Aのうち高濃度不純物領域が形成される領域を露出し、かつ、チャネル領域およびLDD領域が形成される領域を覆うように配置される。ここでは、レジストマスク48として、ハーフトーンマスクなどの多階調マスクを用いる。

[0114] この後、レジストマスク45、47、48を用いて、半導体層3A、3B、3Cに、n型の不純物イオンを低濃度で注入し、低濃度注入領域50A、50B、50Cを得る（第1のイオン注入工程）。ここでは、不純物イオンとしてリンイオンを注入する。注入の際の加速電圧は例えば60kV、ドーズ量は $1 \times 10^{13} / \text{cm}^2$ とする。

[0115] 続いて、図9（b）に示すように、レジストマスク45、47を除去するとともに、レジストマスク48に対してアッシング処理（ハーフアッシング）を行い、レジストマスク48の高さを低減する。この後、高さが低減されたレジストマスク48をマスクとして、半導体層3A、3B、3Cにp型不純物を注入する。p型不純物は、半導体層3A、3Bにおけるチャネル領域となる部分に注入される（チャネルドーピング）。ここでは、例えば、加速電圧：30kV、ドーズ量： $1 \times 10^{12} / \text{cm}^2$ でボロンイオンを注入する。

[0116] 次いで、図9（c）に示すように、半導体層3A、3B、3C上にそれぞれゲート電極7A、7B、7Cを形成する。ゲート電極7Cは、半導体層3Cの低濃度注入領域50Cのうちチャネル領域となる部分上に配置される。ゲート電極7A、7B、7Cの形成方法、およびゲート電極7A、7Bの配置は、図6（b）を参照しながら前述した工程と同様であってもよい。

[0117] 次に、ゲート電極7A、7B、7Cをマスクとして、半導体層3A、3B、3Cに、n型の不純物イオンを低濃度で注入する（第2のイオン注入工程）。注入条件は、図6（c）に示す第2のイオン注入工程の条件と同様であってもよい。これにより、図6（c）を参照しながら前述したように、半導体層3Aに第3および第4LDD領域36、37が形成され、半導体層3Bに

第1および第2 L D D領域34、35が形成される。

[0118] 続いて、図9（d）に示すように、L D D構造形成領域およびG O L D構造形成領域を覆い、p型T F T形成領域を露出するレジストマスク44を設け、半導体層3Cのゲート電極7Cで覆われていない部分に、ゲート絶縁層5越しにp型の不純物イオンを高濃度で注入する。これにより、半導体層3Cに、ソース領域38sおよびドレイン領域38dを形成する。注入条件は特に限定しないが、例えば、加速電圧：50kV以上90kV以下、ドーズ量： $5 \times 10^{14} / \text{cm}^2$ 以上 $5 \times 10^{15} / \text{cm}^2$ 以下でボロンイオンを注入する。

[0119] レジストマスク44を除去した後、活性化アニール（第1の活性化アニール）を行う。これにより、第1のイオン注入工程、チャネルドーピングおよびp型不純物ドーピングによって半導体層3A、3B、3Cに注入されたイオンが活性化され、かつ、半導体層3A、3B、3Cの結晶性を回復させる。アニール温度は、特に限定しないが、例えば500℃以上700℃以下であってもよい。

[0120] 続いて、図9（e）に示すように、半導体層3A、3B、3C、ゲート電極7A、7B、7Cおよびゲート絶縁層5を覆うように、層間絶縁層11を形成する。この後、必要に応じて、水素化を行ってもよい。層間絶縁層11の形成および水素化アニールの方法は、図3（d）を参照しながら前述した方法と同様であってもよい。

[0121] 次いで、図9（f）に示すように、層間絶縁層11上に、開口部を有するレジストマスク49を形成し、レジストマスク49を用いて、層間絶縁層11のパターニングを行う。これにより、層間絶縁層11に、半導体層3Aの第3 L D D領域36の一部に達するソースコンタクトホール13A、ドレインコンタクトホール14Aと、半導体層3Bの第1 L D D領域34の一部に達するソースコンタクトホール13B、ドレインコンタクトホール14Bと、半導体層3Cのソース領域38sおよびドレイン領域38dにそれぞれ達するソースコンタクトホール13Cおよびドレインコンタクトホール14Cを形成する。

[0122] 次いで、これらのコンタクトホール13A、13B、13C、14A、14B、14Cを介して、半導体層3A、3B、3Cに不純物イオンを注入する（コンタクトドーピング工程）。イオン注入条件は、図3（e）に示すコンタクトドーピング工程の条件と同じであってもよい。これにより、半導体層3A、3Bにソース領域33sA、33sB、ドレイン領域33dA、33dBを形成する。このとき、p型TFTとなる半導体層3Cにもn型不純物イオンが注入され、ソースコンタクト領域39s、ドレインコンタクト領域39dが得られる。この後、レジストマスク49を除去する。なお、本コンタクトドーピング工程では、図9（d）に示す工程において高濃度でp型不純物が注入されたソースおよびドレイン領域38s、38dに、低ドーズでn型不純物を注入する。このため、n型不純物が注入された領域（ソースコンタクト領域39s、ドレインコンタクト領域39d）がn型化することはない。なお、レジストマスク49を除去した後で、コンタクトドーピングを行っても構わない。

[0123] この後、第2の活性化アニールを行い、半導体層3A、3Bのソース・ドレイン領域および半導体層3Cのコンタクト領域39s、39dの結晶性を回復し、注入されたイオンを活性化させる。次いで、図示しないが各TFTにソース電極およびドレイン電極を形成する。このようにして、TFT102、202、302を備えた半導体装置が製造される。第2の活性化アニールの温度は、上記の第1の活性化アニールよりも低い温度で行ってもよく、例えば300℃未満に設定されてもよい。

[0124] 上記方法では、コンタクトドーピングを利用して、TFT102、202の高濃度注入領域を形成する。また、ハーフトーンマスクを利用してチャネルドーピングを行う。このため高濃度注入領域を形成するためのドーピングマスク、およびチャネルドーピング用のマスクをフォトリソで形成する必要がない。従って、フォトリソの使用枚数を従来よりも2枚低減できる。

[0125] 特許文献1、特開2001-85695号公報などでは、ハーフトーンマ

スクを用いてフォトマスク枚数を削減する方法が開示されている。しかしながら、これらの方法では、エッチングによってレジストパターンの線幅を制御する必要がある。これに対し、上記方法では、ドーピングの打ち分けのためにハーフトーンマスクを適用しており、線幅の制御を行う必要がない。従って、精幅制御性を低下させることなく、フォトマスク枚数を削減できる。

[0126] なお、本実施形態の方法は上記方法に限定されない。チャネルドーピングのためのハーフトーンマスクを使用しなくてもよい。あるいは、チャネルドーピングを行わなくてもよい。

産業上の利用可能性

[0127] 本発明は、酸化物半導体TFTおよび酸化物半導体TFTを有する種々の半導体装置に広く適用され得る。例えばアクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（EL）表示装置および無機エレクトロルミネセンス表示装置、MEMS表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置、指紋読み取り装置、半導体メモリ等の種々の電子装置にも適用される。

符号の説明

[0128] 1 基板
3 A、3 B、3 C 半導体層
5 ゲート絶縁層
7 A、7 B、7 C ゲート電極
8 A、8 B、8 C ソース電極
9 A、9 B、9 C ドレイン電極
11 層間絶縁層
13 A、13 B、13 C ソースコンタクトホール
14 A、14 B、14 C ドレインコンタクトホール
30 A、30 B 低濃度注入領域
31 A、31 B、31 C チャネル領域
32 A、32 B LDD領域（低濃度不純物領域）

3 3 s A、3 3 s B、3 8 s ソース領域（高濃度不純物領域）
3 3 d A、3 3 d B、3 8 d ドレイン領域（高濃度不純物領域）
3 4 第1 L D D 領域（高濃度 L D D 領域）
3 5 第2 L D D 領域（低濃度 L D D 領域、N M 領域）
3 6 第3 L D D 領域（高濃度 L D D 領域）
3 7 第4 L D D 領域（低濃度 L D D 領域）
3 9 s ソースコンタクト領域
3 9 d ドレインコンタクト領域
4 1、4 2、4 4、4 5、4 7、4 9 レジストマスク
5 0 A、5 0 B、5 0 C 低濃度注入領域
2 0 0、2 0 1、2 0 2 G O L D 構造 T F T
1 0 0、1 0 1、1 0 2 L D D 構造 T F T

請求の範囲

- [請求項1] 基板上に少なくとも1つの薄膜トランジスタを備えた半導体装置であって、前記少なくとも1つの薄膜トランジスタは、
- チャネル領域と、第1導電型の不純物を含む高濃度不純物領域と、前記チャネル領域と前記高濃度不純物領域との間に位置し、前記高濃度不純物領域よりも低く、かつ、前記チャネル領域よりも高い濃度で前記第1導電型の不純物を含む低濃度不純物領域とを有する半導体層と、
- 前記半導体層の上に形成されたゲート絶縁層と、
- 前記ゲート絶縁層の上に設けられ、少なくとも前記チャネル領域と重なるように配置されたゲート電極と
- 前記ゲート電極および前記ゲート絶縁層上に形成された層間絶縁層と、
- 前記半導体層に接続されたソース電極およびドレイン電極とを備え、
- 前記層間絶縁層および前記ゲート絶縁層には、前記半導体層に達するコンタクトホールが設けられており、前記ソース電極およびドレイン電極の少なくとも一方は、前記層間絶縁層上および前記コンタクトホール内に形成され、前記コンタクトホール内で前記高濃度不純物領域と接し、
- 前記コンタクトホールの側壁において、前記ゲート絶縁層および前記層間絶縁層の側面は整合しており、
- 前記半導体層の上面において、前記コンタクトホールの縁部と、前記高濃度不純物領域の縁部とは整合している、半導体装置。
- [請求項2] 前記基板の法線方向から見たとき、前記高濃度不純物領域は、前記低濃度不純物領域の内部に位置している、請求項1に記載の半導体装置。
- [請求項3] 前記少なくとも1つの薄膜トランジスタは、第1薄膜トランジスタ

を含み、

前記第 1 薄膜トランジスタでは、前記低濃度不純物領域の一部は、前記ゲート絶縁層を介して前記ゲート電極で覆われている、請求項 1 または 2 に記載の半導体装置。

[請求項 4] 前記少なくとも 1 つの薄膜トランジスタは、第 2 薄膜トランジスタを含み、

前記第 2 薄膜トランジスタでは、前記低濃度不純物領域の前記チャネル領域側の端部は、前記ゲート電極の端部と整合している、請求項 1 から 3 のいずれかに記載の半導体装置。

[請求項 5] 前記第 1 薄膜トランジスタにおいて、前記低濃度不純物領域は、前記ゲート絶縁層を介して前記ゲート電極と重ならない第 1 低濃度不純物領域と、前記ゲート電極と重なる第 2 低濃度不純物領域とを含み、前記第 1 低濃度不純物領域は、前記第 2 低濃度不純物領域よりも高い濃度で前記第 1 導電型の不純物を含む、請求項 3 に記載の半導体装置。

[請求項 6] 前記少なくとも 1 つの薄膜トランジスタは、第 2 薄膜トランジスタをさらに含み、前記第 2 薄膜トランジスタでは、前記低濃度不純物領域の前記チャネル領域側の端部は、前記ゲート電極の端部と整合しており、

前記第 2 薄膜トランジスタにおいて、前記低濃度不純物領域は、前記高濃度不純物領域と接する第 3 低濃度不純物領域と、前記第 3 低濃度不純物領域よりも前記チャネル領域側に位置する第 4 低濃度不純物領域とを含み、前記第 3 低濃度不純物領域は、前記第 4 低濃度不純物領域よりも高い濃度で前記第 1 導電型の不純物を含む、請求項 5 に記載の半導体装置。

[請求項 7] 前記第 1 薄膜トランジスタの前記第 1 低濃度不純物領域と、前記第 2 薄膜トランジスタの前記第 3 低濃度不純物領域とは同一の不純物元素を含み、前記第 1 および第 3 低濃度不純物領域の厚さ方向における

前記第 1 導電型の不純物の濃度プロファイルは略等しい、請求項 6 に記載の半導体装置。

[請求項 8] 前記少なくとも 1 つの薄膜トランジスタとは異なる導電型を有する他の薄膜トランジスタをさらに含み、

前記他の薄膜トランジスタは、

チャネル領域と、コンタクト領域と、前記チャネル領域と前記コンタクト領域との間に位置し、第 2 導電型の不純物を含む他の高濃度不純物領域とを有する半導体層であって、前記コンタクト領域は、前記他の高濃度不純物と同じ濃度で前記第 2 導電型の不純物を含み、かつ、前記他の高濃度不純物よりも高い濃度で前記第 1 導電型の不純物を含む、他の半導体層と、

前記他の半導体層上に延設された前記ゲート絶縁層と、

前記ゲート絶縁層の上に設けられた他のゲート電極と

前記他のゲート電極および前記ゲート絶縁層上に延設された前記層間絶縁層と、

前記他の半導体層に接続された他のソース電極および他のドレイン電極と

を備え、

前記層間絶縁層および前記ゲート絶縁層には、前記他の半導体層に達する他のコンタクトホールが設けられており、前記他のソース電極および他のドレイン電極の少なくとも一方は、前記層間絶縁層上および前記他のコンタクトホール内に形成され、前記他のコンタクトホール内で前記コンタクト領域と接し、

前記他のコンタクトホールの側壁において、前記ゲート絶縁層および前記層間絶縁層の側面は整合しており、

前記他の半導体層の上面において、前記他のコンタクトホールの縁部と、前記コンタクト領域の縁部とは整合している、請求項 1 から 7 のいずれかに記載の半導体装置。

[請求項9] 少なくとも1つ薄膜トランジスタを基板上に備えた半導体装置の製造方法であって、

 (a) 基板上に、チャネル領域と、前記チャネル領域よりも高い濃度で第1導電型の不純物を含む低濃度不純物領域とを含む島状の半導体層、前記半導体層を覆うゲート絶縁層、および前記ゲート絶縁層上に配置されたゲート電極を形成する工程と、

 (b) 前記ゲート絶縁層および前記ゲート電極上に層間絶縁層を形成する工程と、

 (c) 前記層間絶縁層上にマスクを形成し、前記マスクを用いて前記ゲート絶縁層および前記層間絶縁層を同時にエッチングすることによって、前記ゲート絶縁層および前記層間絶縁層に、前記低濃度不純物領域の一部を露出するコンタクトホールを形成する工程と、

 (d) 前記コンタクトホールを介して、前記半導体層における前記低濃度不純物領域の前記一部に第1導電型の不純物を注入することによって、高濃度不純物領域を形成する工程と、

 (e) 前記層間絶縁層上および前記コンタクトホール内に、前記高濃度不純物領域と接するように電極を形成する工程と
を包含する半導体装置の製造方法。

[請求項10] 前記工程(d)よりも前に、前記低濃度不純物領域に対して、第1の活性化アニールを行い、

 前記工程(d)よりも後に、前記高濃度不純物領域に対して、第2の活性化アニールを行う、請求項9に記載の半導体装置の製造方法。

[請求項11] 前記第2の活性化アニールは、前記第1の活性化アニールよりも低い温度で行う、請求項10に記載の半導体装置の製造方法。

[請求項12] 前記工程(a)は、前記半導体層の一部に、前記第1導電型の不純物を注入する第1のイオン注入工程を含み、

 前記工程(d)では、前記第1のイオン注入工程よりも低いドーズ量または低い加速電圧で、前記第1導電型の不純物の注入を行う、請

求項 9 から 11 のいずれかに記載の半導体装置の製造方法。

[請求項13] 前記工程 (a) において、前記低濃度不純物領域の少なくとも一部は、前記ゲート絶縁層を介して前記ゲート電極と重なっている、請求項 9 から 12 のいずれかに記載の半導体装置の製造方法。

[請求項14] 少なくとも第 1 薄膜トランジスタおよび第 2 薄膜トランジスタを基板上に備えた半導体装置の製造方法であって、

(a) 基板上に、第 1 薄膜トランジスタの活性層となる第 1 半導体層と、第 2 薄膜トランジスタの活性層となる第 2 半導体層とを形成し、前記第 1 および第 2 半導体層を覆うゲート絶縁層を形成する工程と、

(b) 前記第 1 半導体層の一部および前記第 2 半導体層の一部に、第 1 導電型の不純物を注入する第 1 の注入工程と、

(c) 前記第 1 半導体層のうち前記第 1 の注入工程で不純物が注入された領域の一部およびチャネル領域となる部分の上に第 1 ゲート電極を形成し、前記第 2 半導体層のうち前記第 1 の注入工程で不純物が注入されなかった領域の一部上に第 1 ゲート電極を形成する工程と、

(d) 前記第 1 および第 2 ゲート電極をマスクとして、前記第 1 および第 2 半導体層に第 1 導電型の不純物を注入する第 2 の注入工程であって、これにより、前記第 1 半導体層のうち前記第 1 および第 2 の注入工程の両方で不純物が注入された領域が第 1 低濃度不純物領域、前記第 1 の注入工程で不純物が注入され、かつ、前記第 2 ゲート電極で覆われていたために前記第 2 の注入工程で不純物が注入されなかった領域が第 2 低濃度不純物領域となり、前記第 2 半導体層のうち前記第 1 および第 2 の注入工程の両方で不純物が注入された領域が第 3 低濃度不純物領域、前記第 2 の注入工程で不純物が注入され、前記第 1 の注入工程で不純物が注入されなかった領域が第 4 低濃度不純物領域となる、第 2 のイオン注入工程と、

(e) 前記ゲート絶縁層、前記第 1 ゲート電極および第 2 ゲート電

極上に層間絶縁層を形成する工程と、

(f) 前記層間絶縁層上にマスクを形成し、前記マスクを用いて前記ゲート絶縁層および前記層間絶縁層を同時にエッチングすることによって、前記ゲート絶縁層および前記層間絶縁層に、前記第1低濃度不純物領域の一部を露出する第1コンタクトホールと、前記第3低濃度不純物領域の一部を露出する第2コンタクトホールとを形成する工程と、

(g) 前記第1および第2コンタクトホールを介して、前記第1および第3低濃度不純物領域の前記一部に第1導電型の不純物を注入することによって、前記第1半導体層に第1高濃度不純物領域を形成し、前記第2半導体層に第2高濃度不純物領域を形成する工程と、

(h) 前記層間絶縁層上および前記第1コンタクトホール内に、前記第1高濃度不純物領域と接する第1の電極を形成し、前記層間絶縁層上および前記第2コンタクトホール内に、前記第2高濃度不純物領域と接する第2の電極を形成する工程と

を包含する半導体装置の製造方法。

[請求項15] 前記工程(g)よりも前に、前記第1、第2、第3および第4低濃度不純物領域に対して、第1の活性化アニールを行い、

前記工程(g)よりも後に、前記第1および第2高濃度不純物領域に対して、第2の活性化アニールを行う、請求項14に記載の半導体装置の製造方法。

[請求項16] 前記第2の活性化アニールは、前記第1の活性化アニールよりも低い温度で行う、請求項14または15に記載の半導体装置の製造方法。

[請求項17] 前記工程(g)では、前記第1および第2のイオン注入工程よりも低いドーズ量または低い加速電圧で、前記第1導電型の不純物の注入を行う、請求項14から16のいずれかに記載の半導体装置の製造方法。

[請求項18] 前記第1および第2薄膜トランジスタとは導電型の異なる第3薄膜トランジスタをさらに備え、

前記工程(a)は、前記基板上に第3半導体層を形成する工程を含み、前記ゲート絶縁層は前記第3半導体層上にも延設され、

前記工程(c)は、前記第3半導体層上に第3ゲート電極を形成する工程を含み、

前記工程(c)の後、前記工程(e)の前に、前記第3ゲート電極をマスクとして第2導電型の不純物を前記第3半導体層に注入することによって、前記第3半導体層に第3高濃度不純物領域を形成する工程をさらに含み、

前記工程(e)において前記層間絶縁層は、前記第3ゲート電極上にも延設され、

前記工程(f)は、前記ゲート絶縁層および前記層間絶縁層に、前記第3高濃度不純物領域の一部を露出する第3コンタクトホールを形成する工程を含み、

前記工程(g)は、前記第3コンタクトホールを介して、前記第3高濃度不純物領域の前記一部に第1導電型の不純物を注入することによって、前記第3半導体層にコンタクト領域を形成する工程を含み、

前記工程(h)は、前記層間絶縁層上および前記第3コンタクトホール内に、前記コンタクト領域と接する第3の電極を形成する工程を含む、請求項14から17のいずれかに記載の半導体装置の製造方法。

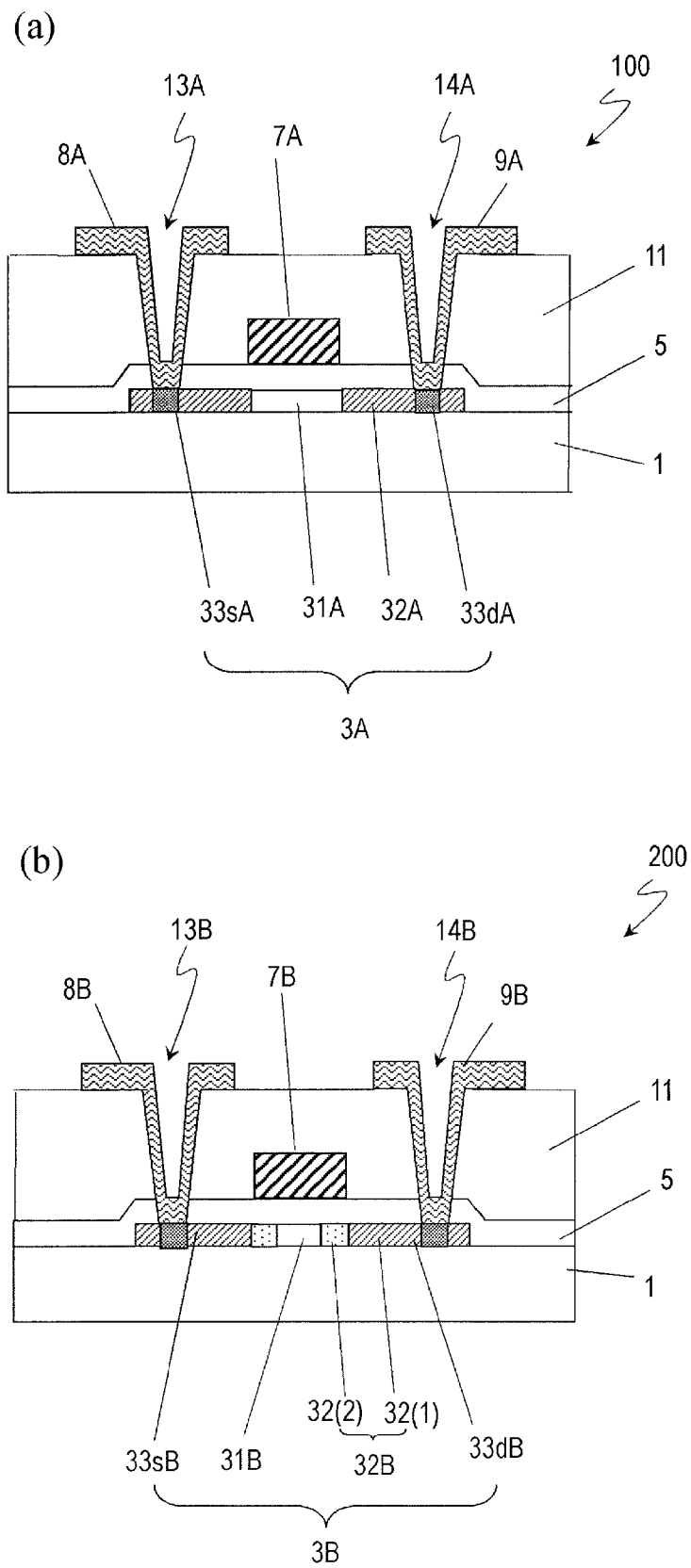
[請求項19] 前記工程(b)の前記第1の注入工程は、前記第1、第2および第3半導体層上にそれぞれ配置された第1、第2および第3マスクを用いて行い、前記第3マスクは多階調マスクであり、

前記第1の注入工程の後、前記工程(c)の前に、

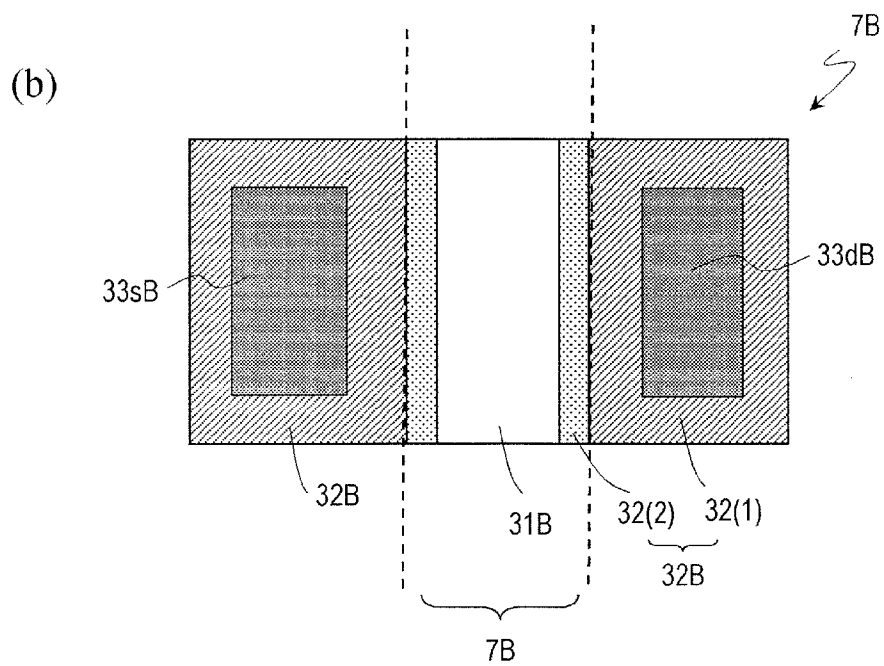
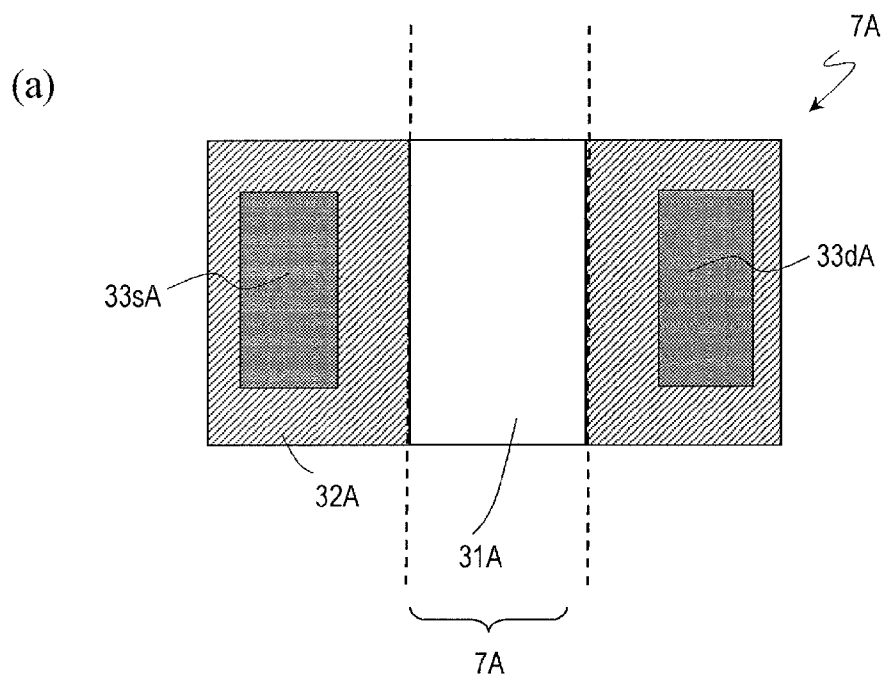
前記第1および第2マスクを除去するとともに、前記第3マスクの一部を除去する工程と、

前記第 3 マスクの一部を用いて、前記第 1 および第 2 半導体層のチャネル領域となる部分を含む領域に不純物を注入する工程とをさらに包含する、請求項 1 8 に記載の半導体装置の製造方法。

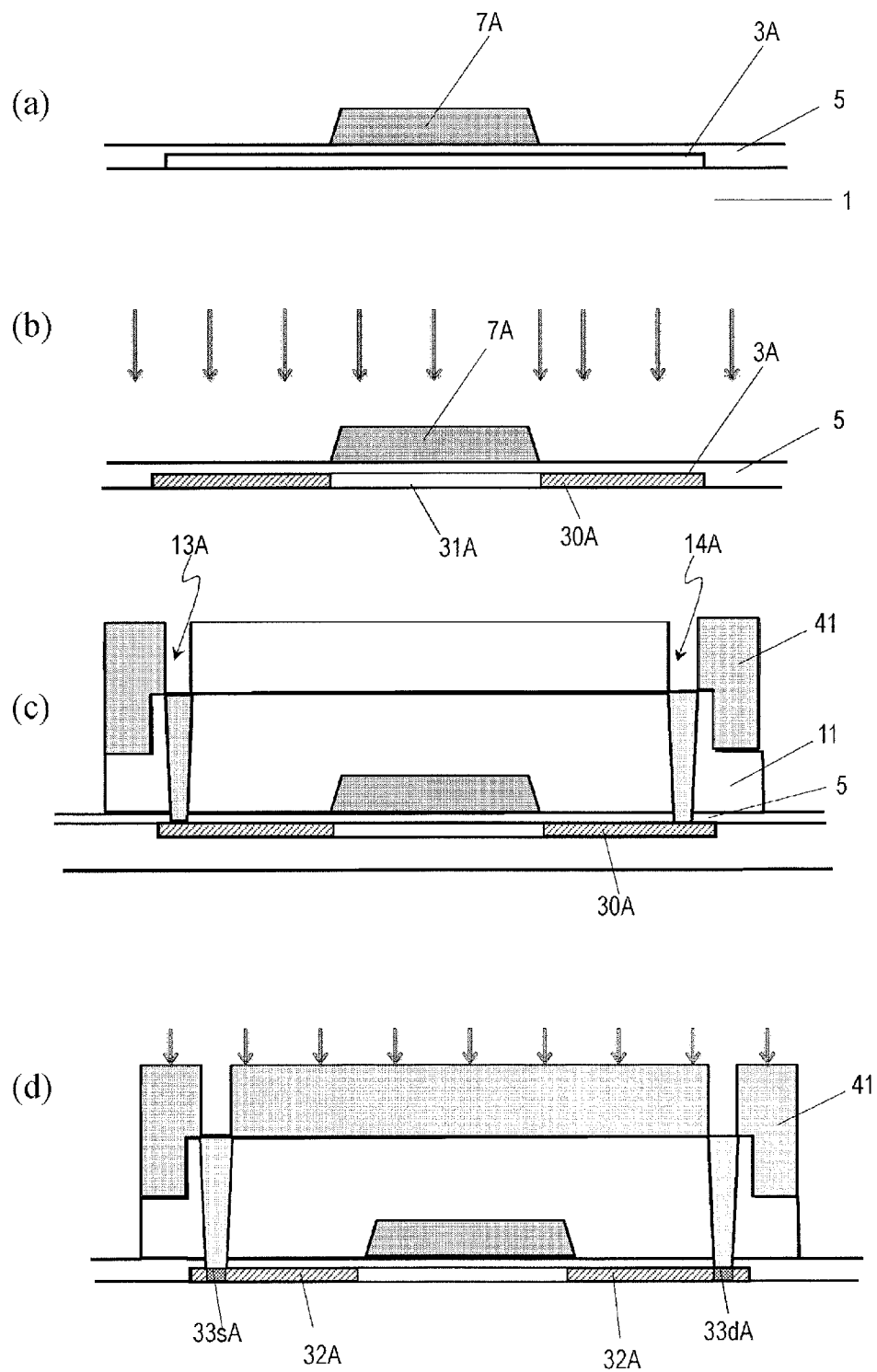
[図1]



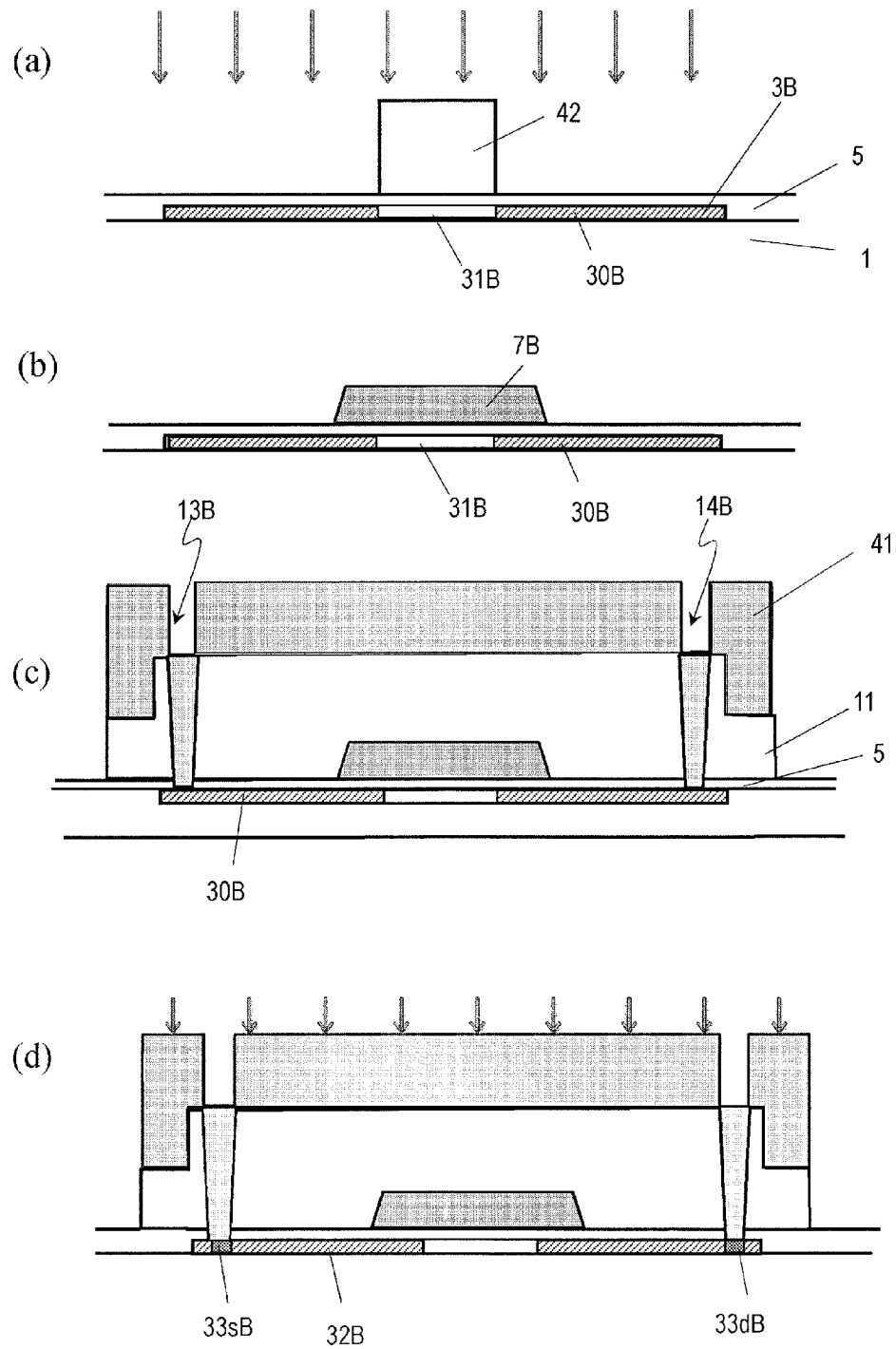
[図2]



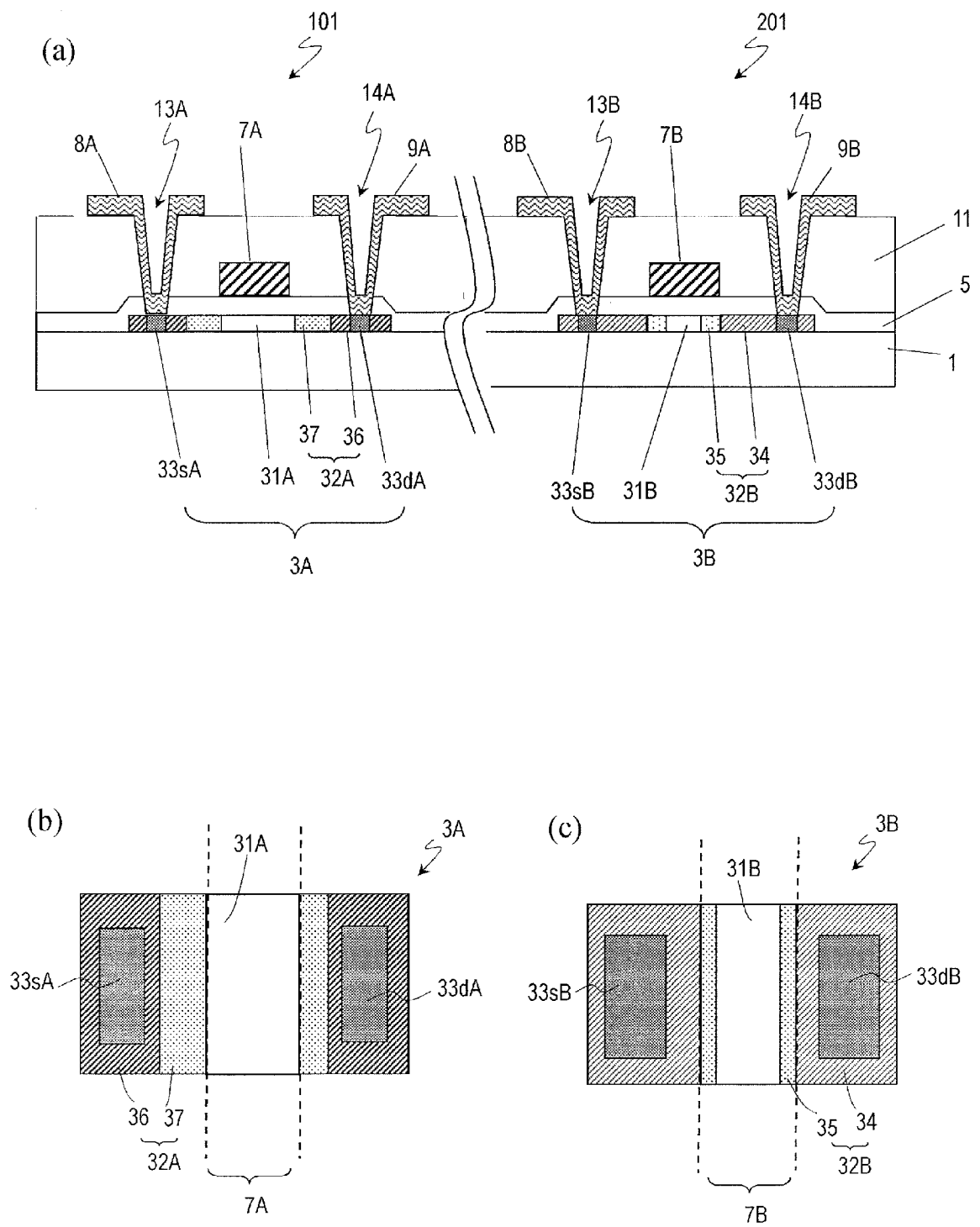
[図3]



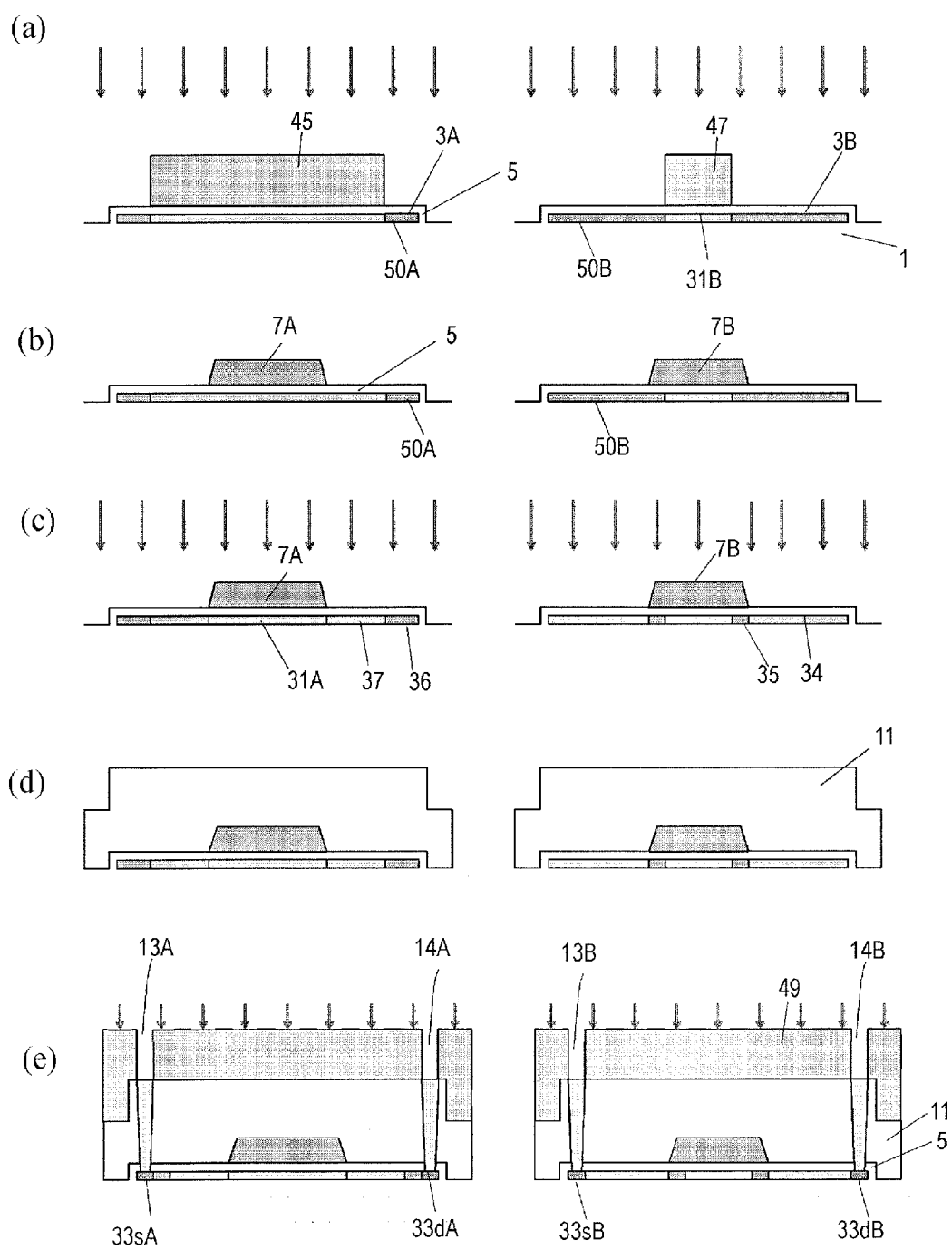
[図4]



[図5]



[図6]



[図7]

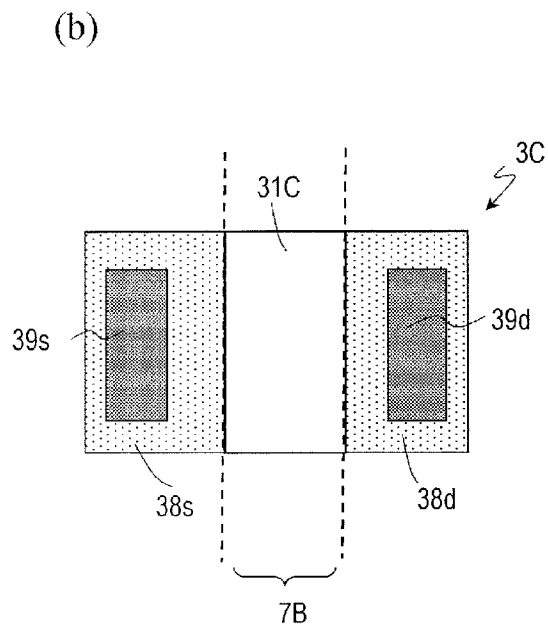
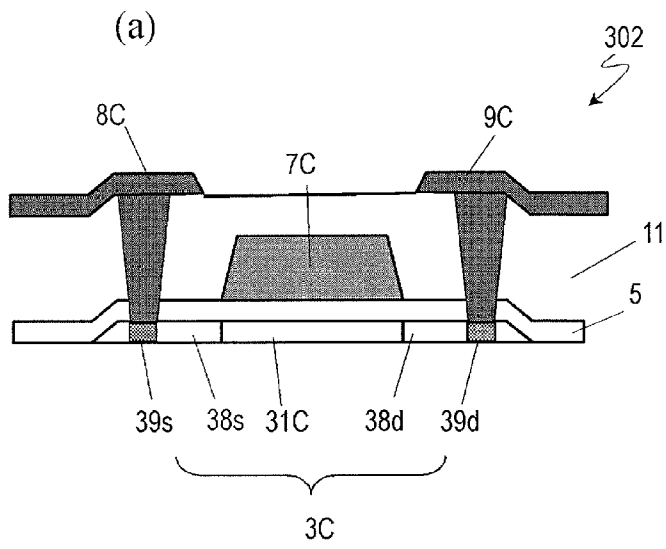
(a)

NMドーピング
ゲート形成
LDDドーピング
N+フォト
レジストベーク
N+ドーピング
フルアッシング
剥離洗浄
活性化アニール
層間デボ
水素化アニール
コンタクト形成
—
ソース形成

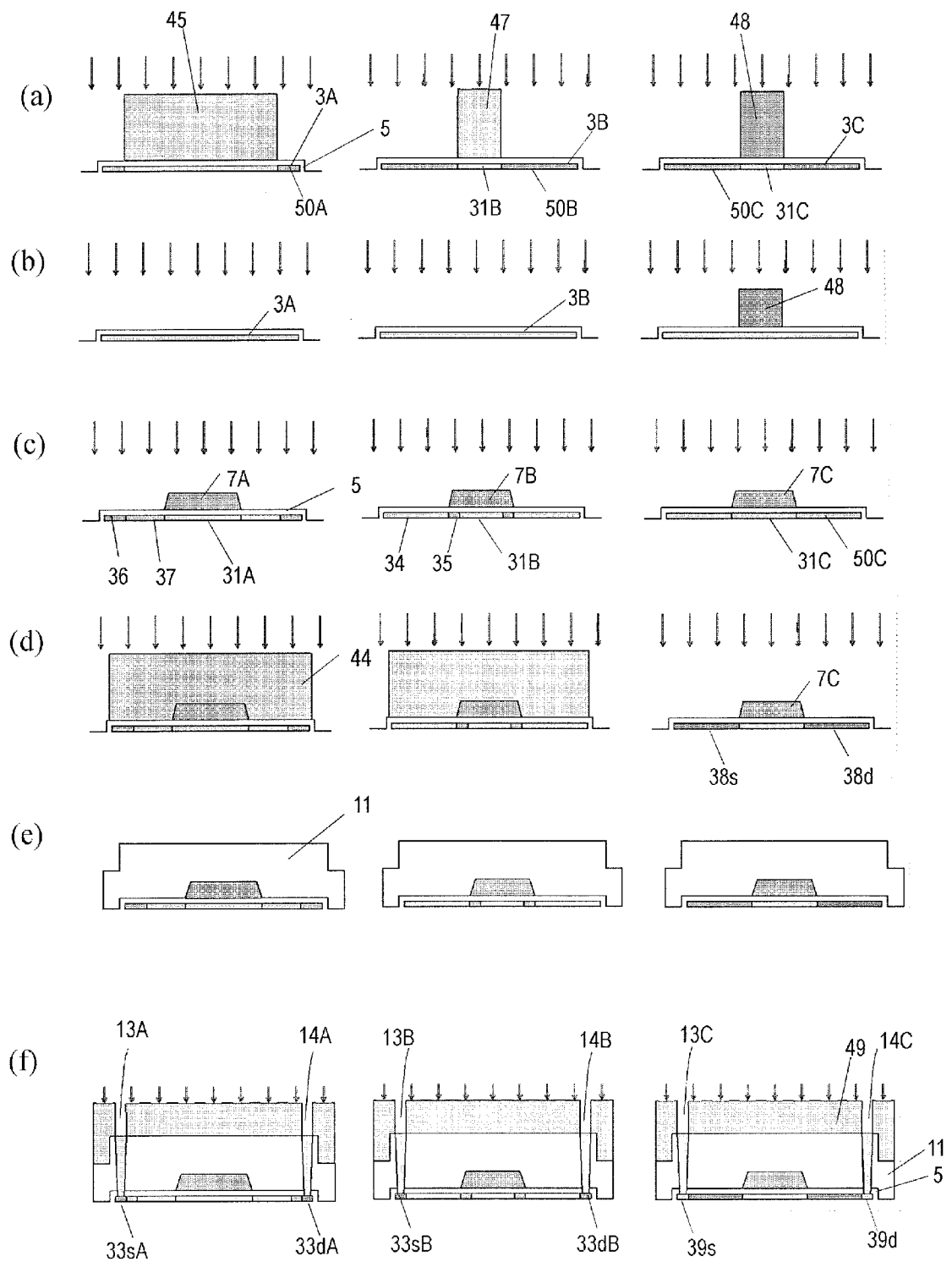
(b)

NMドーピング
ゲート形成
LDDドーピング
工程削減
—
工程削減
剥離洗浄
活性化アニール
層間デボ
水素化アニール
コンタクト形成
コンタクトドーピング
ソース形成
結晶回復アニール

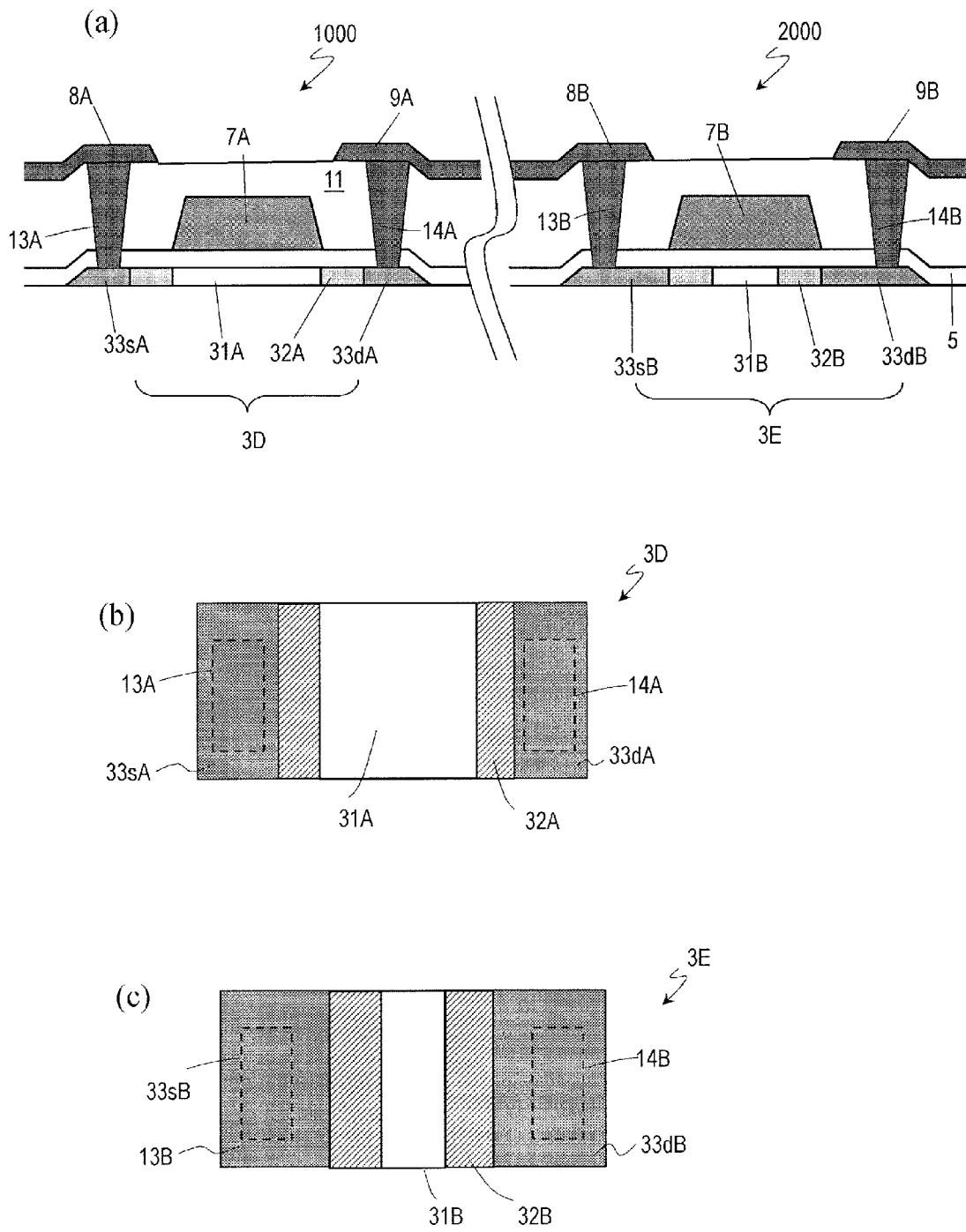
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062369

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G09F9/30, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 07-056189 A (Seiko Epson Corp.), 03 March 1995 (03.03.1995), paragraphs [0020] to [0054]; fig. 1 to 6 (Family: none)	1, 9, 10 2-8, 11-13 14-19
Y	JP 09-232583 A (Fujitsu Ltd.), 05 September 1997 (05.09.1997), fig. 1, 2 (Family: none)	2-8
Y	JP 2002-175028 A (Semiconductor Energy Laboratory Co., Ltd.), 21 June 2002 (21.06.2002), fig. 1, 2 & US 2002/0028544 A1 fig. 1, 2	3-8, 13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 June 2016 (30.06.16)Date of mailing of the international search report
12 July 2016 (12.07.16)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062369

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-122649 A (Matsushita Electric Industrial Co., Ltd.), 12 May 1995 (12.05.1995), paragraph [0060] (Family: none)	11-13
Y	JP 03-184372 A (Olympus Optical Co., Ltd.), 12 August 1991 (12.08.1991), page 3, lower left column, line 7 to page 4, lower left column, line 8 (Family: none)	11-13
Y	JP 07-335891 A (Seiko Epson Corp.), 22 December 1995 (22.12.1995), paragraph [0008] (Family: none)	12,13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, G09F9/30, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 07-056189 A（セイコーエプソン株式会社）1995.03.03, 段落[0020]-段落[0054], 図1-図6（ファミリーなし）	1, 9, 10 2-8, 11-13 14-19
Y	JP 09-232583 A（富士通株式会社）1997.09.05, 図1, 図2 （ファミリーなし）	2-8
Y	JP 2002-175028 A（株式会社半導体エネルギー研究所）2002.06.21, 図1, 図2 & US 2002/0028544 A1, 図1, 図2	3-8, 13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30.06.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小堀 行彦

5 F

5293

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 07-122649 A (松下電器産業株式会社) 1995. 05. 12, 段落[0060] (ファミリーなし)	11-13
Y	JP 03-184372 A (オリンパス光学工業株式会社) 1991. 08. 12, 第 3 頁左下欄第 7 行-第 4 頁左下欄第 8 行 (ファミリーなし)	11-13
Y	JP 07-335891 A (セイコーエプソン株式会社) 1995. 12. 22, 段落 [0008] (ファミリーなし)	12, 13