



(21)申請案號：108137647

(22)申請日：中華民國 108 (2019) 年 10 月 18 日

(51)Int. Cl. : **G11C5/14 (2006.01)**

G11C11/40 (2006.01)

(30)優先權：2018/10/18 美國

16/164,108

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：納拉辛罕 穆肯德 NARASIMHAN, MUKUND (IN)；古普塔 沙拉德庫瑪 GUPTA,

SHARAD KUMAR (IN)；巴斯卡蘭 阿迪亞 BHASKARAN, ADITHYA (IN)；尹

協承 YOON, SEI SEUNG (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 33 頁

(54)名稱

針對雙電源記憶體靈活電源排序

(57)摘要

揭示一種雙電源域 SRAM，其中可以以期望的任何順序對雙電源域進行上電或斷電。例如，可以先對 (CX) 電源域進行上電，隨後對記憶體 (MX) 電源域進行上電。相反地，可以在 CX 域之前對 MX 電源域進行上電。

A dual-power-domain SRAM is disclosed in which the dual power domains may be powered up or down in whatever order is desired. For example, a (CX) power domain may be powered up first, followed by a memory (MX) power domain. Conversely, the MX power domain may be powered up prior to the CX domain.

指定代表圖：

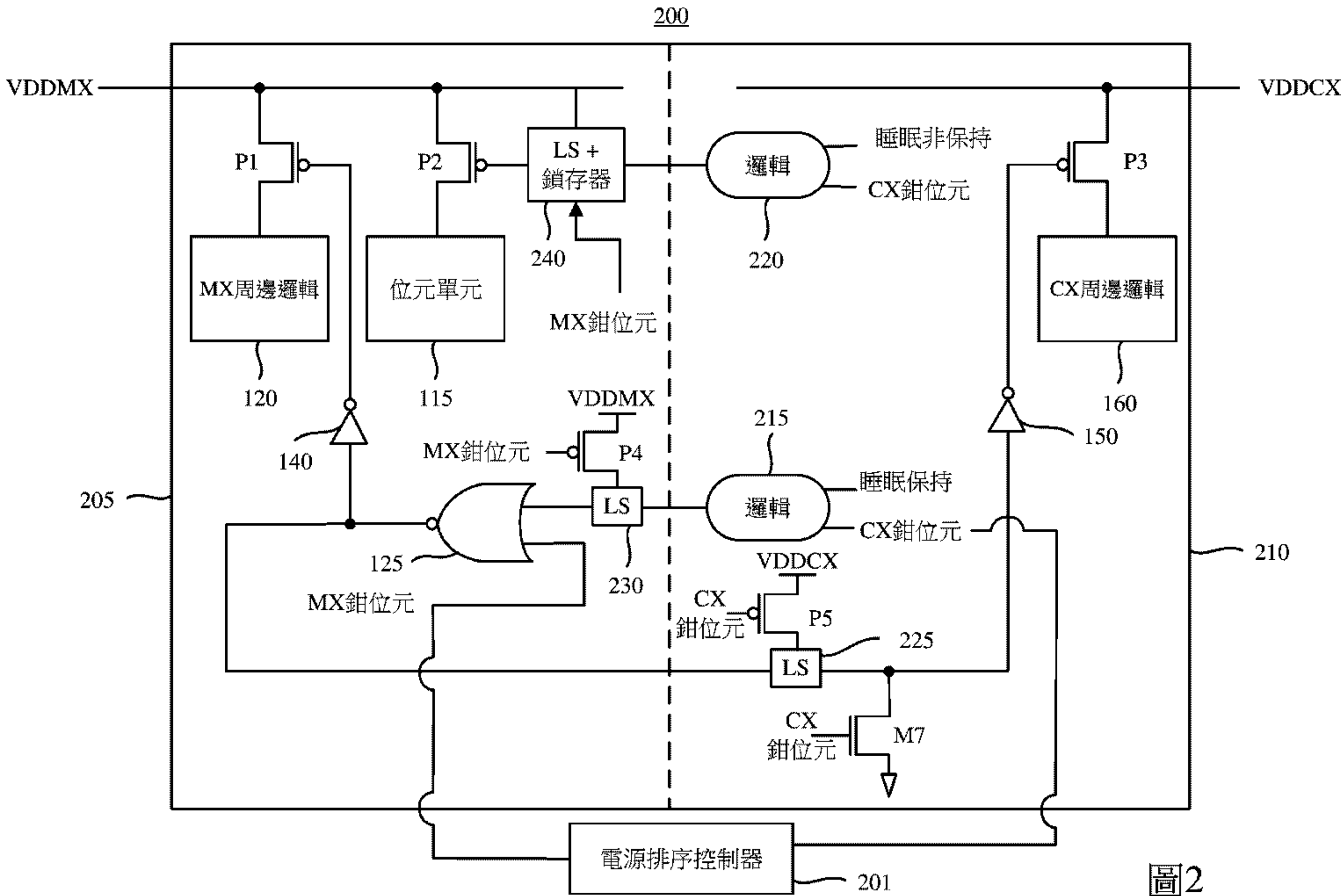


圖2

符號簡單說明：

115:位元單元

120:MX 周邊邏輯

125:反或閘

130:MX 域反相器/位
準移位器/鎖存器

135:位準移位器(LS)

140:反相器

150:反相器

160:CX 周邊邏輯

200:雙電源記憶體

201:電源排序控制

205:記憶體(MX)電源
域

210:CX 電源域

215:邏輯電路

220:邏輯電路

225:位準移位器

230:位準移位器

240:鎖存器

M7:電晶體

P1:電晶體

P2:電晶體

P3:電晶體

P4:電晶體

P5:電晶體



202025146

【發明摘要】

【中文發明名稱】針對雙電源記憶體之靈活電源排序

【英文發明名稱】 FLEXIBLE POWER SEQUENCING FOR DUAL-POWER
MEMORY

【中文】

揭示一種雙電源域 S R A M，其中可以以期望的任何順序對雙電源域進行上電或斷電。例如，可以先對（ C X ）電源域進行上電，隨後對記憶體（ M X ）電源域進行上電。相反地，可以在 C X 域之前對 M X 電源域進行上電。

【英文】

A dual-power-domain SRAM is disclosed in which the dual power domains may be powered up or down in whatever order is desired. For example, a (CX) power domain may be powered up first, followed by a memory (MX) power domain. Conversely, the MX power domain may be powered up prior to the CX domain.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

1 1 5 . . . 位元單元

1 2 0 . . . M X 周邊邏輯

1 2 5 . . . 反或閘

1 3 0 . . . M X 域反相器 / 位準移位器 / 鎖存器

1 3 5 . . . 位準移位器（ L S ）

1 4 0 . . . 反相器

1 5 0 . . . 反相器

1 6 0 . . . C X 周邊邏輯

- 2 0 0 . . . 雙 電 源 記 憶 體
- 2 0 1 . . . 電 源 排 序 控 制
- 2 0 5 . . . 記 憶 體 （ M X ） 電 源 域
- 2 1 0 . . . C X 電 源 域
- 2 1 5 . . . 邏 輯 電 路
- 2 2 0 . . . 邏 輯 電 路
- 2 2 5 . . . 位 準 移 位 器
- 2 3 0 . . . 位 準 移 位 器
- 2 4 0 . . . 鎖 存 器
- M 7 . . . 電 晶 體
- P 1 . . . 電 晶 體
- P 2 . . . 電 晶 體
- P 3 . . . 電 晶 體
- P 4 . . . 電 晶 體
- P 5 . . . 電 晶 體

【發明說明書】

【中文發明名稱】針對雙電源記憶體之靈活電源排序

【英文發明名稱】FLEXIBLE POWER SEQUENCING FOR DUAL-POWER MEMORY

【技術領域】

【0001】 本專利申請案主張於2018年10月18日提出申請的、題為「**FLEXIBLE POWER SEQUENCING FOR DUAL-POWER MEMORY**（針對雙電源記憶體的靈活電源排序）」的、並且轉讓給本案的受讓人非臨時申請案第16/164,108號的優先權，並且該申請案在此藉由引用明確地合併於此。

【0002】 本申請案係關於雙電源記憶體，並且更特定地關於針對雙電源記憶體的靈活電源排序。

【先前技術】

【0003】 雙電源供應器的記憶體具有兩個電源域：由記憶體電源供應器電壓供電的記憶體電源域以及由核心電源供應器電壓供電的核心電源域。若雙電源記憶體被嵌入到片上系統（SoC）中，則核心電源供應器電壓亦可以由SoC內的處理器核心共用。通常，除了位元單元之外，記憶體亦要求各種周邊數位電路，例如，位址解碼器、時鐘和寫入驅動器。因此，記憶體電源域不僅包括位元單元，亦包括周邊數位電路的多個部分。核心電源域包括用於雙電源記憶體的周邊數位電路（亦可以表示為周邊邏輯）的其餘部分。

【0004】 在雙電源記憶體中包括兩個單獨的電源域藉由賦能保持睡眠模式和非保持睡眠模式來提高效率。在保持睡眠模式中，兩個電源域中的周邊邏輯均關閉，但位元單元仍然被供電，使得位元單元可以保留其儲存的資料。在非保持睡眠模式中，甚至位元單元亦被斷電，使得任何儲存的資料皆不會被保持。保持睡眠模式藉由在雙電源記憶體的靜止週期期間切斷周邊邏輯中的洩漏損耗同時仍然保留儲存的資料來有利地保存電力。

【0005】 儘管雙電源記憶體因此有利地是低功率的，但是單獨的電源域在上電和斷電期間要求固定的排序。例如，可能總是首先對記憶體電源域進行上電（並且因此最後斷電）。在圖1中圖示具有此種固定的上電排序的示例習知雙電源記憶體100，該雙電源記憶體100包括由記憶體電源供應器電壓 V_{DDMX} 供電的記憶體電源（MX）域105以及由核心電源供應器電壓 V_{DDCX} 供電的核心電源（CX）域110。MX電源域105包括複數個位元單元115，並且亦包括MX周邊邏輯120，而CX電源域110包括CX周邊邏輯160。當MX電源域105正在上電時，使MX鉗位元信號生效，該MX鉗位元信號用於藉由關斷磁頭開關（諸如，p型金屬氧化物半導體（PMOS）電晶體P1）來將MX周邊邏輯120與記憶體電源供應器電壓 V_{DDMX} 隔離開。一旦雙電源記憶體100完全上電並處於正常操作模式，該雙電源記憶體100就可以藉由回應於CX電源域110中的睡眠保持信號的生效而進入睡眠保持

模式來退出正常操作。在睡眠保持模式期間，磁頭開關電晶體 P 1 被斷路以隔離 M X 周邊邏輯 1 2 0。類似地，在睡眠保持模式期間，C X 周邊邏輯 1 6 0 亦藉由關斷磁頭開關(諸如，P M O S 電晶體 P 3)來與核心電源供應器電壓 V D D C X 隔離開。

【0006】 為了使得磁頭開關電晶體 P 1 和 P 3 能夠回應於 M X 鉗位元信號或睡眠保持信號的生效而關斷，睡眠保持信號經由位準移位器 (L S) 1 3 5 進行位準移位並且在 M X 域反或閘 1 2 5 中與 M X 鉗位元信號混合。因此，當 M X 鉗位元信號或睡眠保持信號生效時，反或閘 1 2 5 的輸出將變低。反或閘 1 2 5 的輸出經由 C X 電源域 1 5 0 中的位準移位器 1 3 5 進行位準移位，並且隨後由反相器 1 5 0 進行反相以驅動磁頭開關電晶體 P 3，該磁頭開關電晶體 P 3 將因此回應於 M X 鉗位元信號或睡眠保持信號的生效而關斷。反或閘 1 2 5 的輸出亦經由 M X 域反相器 1 3 0 進行反相以驅動磁頭開關電晶體 P 1 的閘極。因此，當 M X 鉗位元信號或睡眠保持信號生效時，M X 周邊邏輯 1 2 0 將與記憶體電源供應器電壓隔離開。

【0007】 在 C X 電源域 1 1 0 中的睡眠非保持信號的生效控制睡眠非保持模式是否有效。睡眠非保持信號經由位準移位器 1 3 0 進行位準移位，以驅動 P M O S 磁頭開關電晶體 P 2 的閘極，以將位元單元 1 1 5 從記憶體電源供應器電壓 V D D M X 切斷。但是在 M X 鉗位元信號的生效期間，期望維持磁頭開關電晶體 P 2 的當前狀態，使得位準移位器

130亦用作鎖存器。為了防止睡眠非保持信號影響鎖存器的狀態，MX鉗位元信號的生效用於經由邏輯電路130將睡眠非保持信號與位準移位器/鎖存器130隔離開。

【0008】 只要在CX電源域110之前對MX電源域105上電，雙電源記憶體100就可以適當地工作。但是，所有設計皆很難總是滿足此種嚴格的上電排序。因此，對於某些實現方式而言，可能反而是CX電源域110是要上電的第一個電源域。但是，由於在CX電源域110的上電期間沒有對MX電源域105進行供電，因此反或閘125的輸出是未知的，使得位準移位器145的輸出亦是未知的。因此，情況可能是在CX電源域110正在被上電期間磁頭開關電晶體P3為導通的。但是請注意，CX周邊邏輯域160將包括許多位準移位器（未示出）以對其從MX周邊邏輯120接收到的各種信號進行位準移位。由於該等位準移位器的輸入是未知的，因此該等位準移位器的輸出信號亦是未知的，使得該等位準移位器輸出信號的大部分可能被充電至高達核心電源供應器電壓VDDCX，並且因此接通內部CX域開關（未示出），使得在雙電源記憶體100的啟動期間發生大量功率消耗。

【0009】 因此，在本領域中需要其中功耗降低的、具有靈活的上電排序的雙電源記憶體。

【發明內容】

【0010】 雙電源SRAM包括記憶體（MX）電源域和核心（CX）電源域。MX電源域由記憶體電源供應器電壓

供電，而 C X 電源域由核心電源供應器電壓供電。該等雙電源域可以以期望的任何順序進行上電或斷電。為了提供此種有利的電源排序，雙電源記憶體包括排序控制器，該排序控制器在 M X 電源域正在被上電（或斷電）時使 M X 鉗位元信號生效。類似地，排序控制器在 C X 電源域正在被上電（或斷電）時使 C X 鉗位元信號生效。雙電源供應器記憶體包括邏輯電路，該邏輯電路被配置為藉由將 M X 域中的周邊邏輯和 C X 域中的周邊邏輯與其相應的電源供應器軌隔離開，來回應 M X 鉗位元信號或 C X 鉗位元信號的生效。

【0011】經由以下實施方式可以更好地認識到該等和其他有利特徵。

【圖式簡單說明】

【0012】圖 1 是習知雙電源記憶體的圖。

【0013】圖 2 是根據本揭示的態樣的具有靈活的上電和斷電序列的雙電源記憶體的圖。

【0014】圖 3 是圖 2 的雙電源記憶體中的第一位準移位器和鎖存器以及相關聯的邏輯的圖。

【0015】圖 4 是圖 2 的雙電源記憶體中的第二位準移位器以及相關聯的邏輯的圖。

【0016】圖 5 是圖 3 的位準移位器和鎖存器的電路圖。

【0017】圖 6 是根據本揭示的態樣的針對雙電源記憶體的上電排序的流程圖。

【0018】藉由參考下文的具體實施方式，將最好地理解本揭示的實施例及其優點。應該認識到，相同的元件符號用於標識在附圖的一或多個中示出的相同的元素。

【實施方式】

【0019】揭示一種雙電源供應器記憶體，其中電源域可以以期望的任何順序進行上電或斷電。圖2中圖示被配置用於此種靈活的電源排序的示例雙電源記憶體200。雙電源記憶體200包括記憶體(MX)電源域205和核心(CX)電源域210。記憶體電源供應器電壓VDDMX為MX電源域205供電，而核心電源供應器電壓VDDCX為CX電源域210供電。雙電源記憶體200與先前所描述的雙電源記憶體100共用許多特徵。例如，MX電源域105包括複數個位元單元115，並且亦包括MX周邊邏輯120，而CX電源域110包括CX周邊邏輯160。另外，MX周邊邏輯120經由PMOS磁頭開關電晶體P1（將認識到，本文所揭示的磁頭開關電晶體可以包括並聯佈置的複數個磁頭開關電晶體）連接到針對記憶體電源供應器電壓VDDMX的MX電源軌。類似地，CX周邊邏輯160經由PMOS磁頭開關電晶體P3連接到針對核心電源供應器電壓VDDCX的CX電源軌，而位元單元115經由PMOS磁頭開關電晶體P2與MX電源軌耦合。

【0020】電源排序控制器201控制MX電源域205和CX電源域210的上電和斷電排序，使得對於特定的實現方式，可以以期望的任何順序在一個電源域之前對另一個

電源域進行上電或斷電排序。特別地，控制器201在MX電源域205正在被上電或斷電時使MX鉗位元信號生效。類似地，控制器201在CX電源域210被上電或斷電時使CX鉗位元信號生效。該等信號被指定為「鉗位元」信號，因為雙電源記憶體被配置為藉由關斷磁頭開關電晶體P1和P3以將MX周邊邏輯120和CX周邊邏輯160與其相應的電源軌隔離開，來回應該等鉗位元信號的生效。如關於雙電源記憶體100所論述的，該等周邊邏輯電路包括對於雙電源記憶體200的操作而言所必需的各種周邊部件，諸如，行和列位址解碼器、時鐘、寫入驅動器和讀出放大器。在靜態隨機存取記憶體（SRAM）實施例中，每個位元單元115包括一對交叉耦合的反相器。在下文的論述中將假定雙電源記憶體200是雙電源SRAM，儘管應該認識到，本文所揭示的技術和電路適用於任何合適類型的記憶體，諸如，動態隨機存取記憶體（DRAM）。

【0021】 為了節省電力，雙電源記憶體200被配置為實現具有保持的睡眠模式並且亦實現具有非保持的睡眠模式。在具有保持的睡眠模式期間，磁頭開關電晶體P1和P3被關斷以將MX周邊邏輯120和CX周邊邏輯160與其電源軌隔離開。但是磁頭開關電晶體P1和P3亦應該回應於MX鉗位元信號的生效或CX鉗位元信號的生效而被關斷。如本文所使用的，當信號被充電至針對其電源域的電源供應器電壓時，該信號被稱為是「生效的」。由於MX鉗位元信號是MX電源域信號，因此認為藉由將MX鉗位

元信號充電至記憶體電源供應器電壓 $VDDX$ 而使其生效。類似地，由於 CX 鉗位元信號是 CX 電源域信號，因此認為藉由將 CX 鉗位元信號充電至核心電源供應器電壓 $VDDCX$ 而使其生效。

【0022】 為了配置雙電源記憶體 200 以使得在具有保持的睡眠模式期間並且亦在 MX 鉗位元信號和 CX 鉗位元信號中的任一個生效時切換磁頭開關電晶體 $P1$ 和 $P3$ ，雙電源記憶體 200 包括邏輯電路 215，該邏輯電路 215 回應於睡眠保持信號或 CX 鉗位元信號的生效而使邏輯輸出信號生效。睡眠保持信號是在睡眠保持模式期間生效的 CX 電源域信號。如關於雙電源記憶體 100 所論述的，位元單元 115 在睡眠保持模式期間保留其內容。然而，由於 MX 周邊邏輯 120 和 CX 周邊邏輯電路 160 藉由磁頭開關電晶體 $P1$ 和 $P3$ 的開路而與其相應的電源軌隔離開，因此 MX 周邊邏輯 120 和 CX 周邊邏輯電路 160 在睡眠保持模式期間被關閉。以此種方式，雙電源記憶體藉由切斷來自 MX 周邊邏輯電路 120 和 CX 周邊邏輯電路 160 的洩漏以在睡眠保持模式期間節省電力來節約電力。

【0023】 藉由 MX 電源域 205 中的 MX 至 CX 位準移位器 (LS) 230，將來自邏輯電路 215 的邏輯輸出信號 (若其為生效的) 從核心電源供應器電壓 $VDDCX$ 位準移位至記憶體電源供應器電壓 $VDDMX$ 。注意，位準移位器 230 可以是差分位準移位器，其關於輸入信號和輸入信號的補數進行位準移位。對於此種差分位準移位，本文將進一步

論述產生對應的輸出信號和輸出信號的補數的邏輯電路 215 的實施例。由於可以在 CX 電源域 210 之前對 MX 電源域 205 進行上電，因此在此種情況下，位準移位器 230 的輸入將是未知的。因此，位準移位器 230 經由 PMOS 磁頭開關電晶體 P4 連接到 MX 電源軌。MX 鉗位元信號驅動磁頭開關電晶體 P4 的閘極，使得磁頭開關電晶體 P4 回應於 MX 鉗位元信號的生效而斷路。因此，當 MX 鉗位元信號生效時，從記憶體電源供應器電壓 VDDMX 切斷位準移位器 230。反或閘 125 處理來自位準移位器 230 的經位準移位的輸出信號以及 MX 鉗位元信號。反或閘 125 的輸出回應於其輸入信號中的任一個的生效而被放電到地電位。因此，反或閘 125 的輸出將回應於睡眠保持信號的生效或 MX 鉗位元信號的生效或 CX 鉗位元信號的生效而被放電到地電位。

【0024】 反或閘 125 的輸出經由 MX 至 CX 位準移位器 225 進行位準移位。進而，來自位準移位器 225 的經位準移位的輸出信號由反相器 150 進行反相以驅動磁頭開關電晶體 P3 的閘極。應該認識到，在差分實施例中，位準移位器 225 可以被配置為回應輸入信號的正確和錯誤對。在此種實施例中，位準移位器 225 將處理反或閘 125 的輸出以及反或閘 125 的輸出的補數，以產生其經位準移位的輸出信號。注意，可以在 MX 電源域 205 之前對 CX 電源域 210 進行上電。在此種情況下，反或閘 125 的輸出將是未知的。因此，位準移位器 225 經由 PMOS 磁頭開關

電晶體 P 5 連接到 C X 電源軌。C X 鉗位元信號驅動磁頭開關電晶體 P 5 的閘極，使得當 C X 鉗位元信號生效時磁頭開關電晶體 P 5 被關斷。為了確保當 C X 鉗位元信號生效時磁頭開關電晶體 P 3 被關斷，位準移位器 2 2 5 的輸出經由 n 型金屬氧化物半導體（N M O S）開關或接地電晶體 M 7 耦接到地電位。C X 鉗位元信號驅動開關電晶體 M 7 的閘極，使得當 C X 鉗位元信號生效時，反相器 1 5 0 的輸入接地。以此種方式，當 C X 鉗位元信號生效時，確保磁頭開關電晶體 P 3 關斷。在一個實施例中，邏輯電路 2 1 5、位準移位器 2 3 0、反或閘 1 2 5 和位準移位器 2 2 5 被認為形成了用於以下操作的構件：回應於 C X 鉗位元信號或 M X 鉗位元信號的生效而關斷第一磁頭開關（電晶體 P 1）和第二磁頭開關（電晶體 P 2），並且回應於 M X 鉗位元信號和 C X 鉗位元信號的失效而接通第一磁頭開關和第二磁頭開關。

【0 0 2 5】在不具有保持的睡眠模式期間，磁頭開關電晶體 P 2 被關斷以將位元單元 1 1 5 與 M X 電源軌隔離開。當不具有保持的睡眠模式有效時，使得指定為睡眠非保持信號的 C X 域控制信號生效。但是在 M X 鉗位元信號或 C X 鉗位元信號生效期間，磁頭開關電晶體 P 2 的任何當前狀態（開路還是關閉）皆應維持，使得當鉗位元信號中的任一個生效時磁頭開關電晶體 P 2 不會回應睡眠非保持信號的任何改變。為了控制磁頭開關電晶體 P 2，邏輯電路 2 2 0 處理睡眠非保持信號和 C X 鉗位元信號，以驅動亦回應於 M X 鉗位元信號的 C X 至 M X 位準移位器和鎖存器 2 4 0。在一

些實施例中， CX 至 MX 位準移位器和鎖存器240可以回應如圖3中圖示的真輸入信號(in)以及假或補數輸入信號(inb)兩者。 CX 域反或閘300和 CX 域反或閘305形成邏輯電路220。 CX 鉗位元信號作為反或閘300和305兩者的輸入信號被接收。反或閘305亦接收睡眠非保持信號，而反或閘300接收如由反相器310進行反相的睡眠非保持信號的補數。反或閘300的輸出形成 CX 至 MX 位準移位器和鎖存器240的 in 輸入信號，而反或閘305的輸出形成 inb 輸入信號。

【0026】如本文將進一步解釋的，若 in 輸入信號和 inb 輸入信號彼此互補並且兩個鉗位元信號均失效(放電至地電位)，則 CX 至 MX 位準移位器和鎖存器240中的鎖存功能被配置為透明。在透明狀態下， CX 至 MX 位準移位器和鎖存器240的 in 輸入信號流經以形成 CX 至 MX 位準移位器和鎖存器240的經位準移位的輸出。在關閉狀態下， CX 至 MX 位準移位器和鎖存器240不回應輸入信號，而是將其輸出信號維持在進入關閉狀態之前其已經處於的任何狀態。若 CX 鉗位元信號和 MX 鉗位元信號兩者皆失效(放電至地電位)，並且睡眠非保持信號生效，則 in 輸入信號將生效，而 inb 輸入信號將被放電。因此，鎖存功能將是透明的，使得 CX 至 MX 位準移位器和鎖存器240的輸出信號生效，以便使得磁頭開關電晶體P3斷路。若隨後鉗位元信號中的任一個生效，則關閉鎖存功能，以維持磁頭開關電晶體關斷。相反地，若兩個鉗位元

信號皆失效，而睡眠非保持信號亦失效，則 inb 輸入信號將生效，而 in 輸入信號將失效。鎖存功能再次是透明的，使得 in 輸入信號的低狀態流經以接通磁頭電晶體 $P3$ 。若隨後鉗位元信號中的任一個生效，則關閉鎖存功能以鎖存並維持其輸出信號的失效狀態。

【0027】 針對其中 CX 至 MX 位準移位器 230 處理真 (in) 輸入信號和補數 (inb) 輸入信號兩者的實施例，圖 4 中更詳細地圖示邏輯電路 215。反或閘 400 產生 in 輸入信號，而反或閘 405 產生 inb 輸入信號。若當 CX 鉗位元信號失效時睡眠保持信號生效，則反或閘 400 將處理兩個二進位零輸入信號，使得 in 輸入信號將生效。睡眠保持信號的生效使得 inb 輸入信號失效。假定 MX 鉗位元信號亦失效，則 CX 至 MX 位準移位器 230 的輸出將因此生效為高，使得在睡眠保持模式期間磁頭開關電晶體 $P1$ 和 $P3$ 兩者皆被關斷。相反地，若當 CX 鉗位元信號失效時睡眠保持信號失效，則 inb 輸入信號將生效，而 in 輸入信號將失效。假定 MX 鉗位元信號亦失效以保持磁頭開關電晶體 $P4$ 導通以向 CX 至 MX 位準移位器 230 供電，則 CX 至 MX 位準移位器 230 的輸出將失效。隨後，磁頭開關電晶體 $P1$ 和 $P3$ 兩者將維持導通。

【0028】 圖 5 更詳細地圖示圖 3 的 CX 至 MX 位準移位器和鎖存器 240。 in 輸入信號驅動 NMOS 電晶體 $M1$ 的閘極，該 NMOS 電晶體 $M1$ 具有接地的源極，而 inb 輸入信號驅動 NMOS 電晶體 $M2$ 的閘極，該 NMOS 電晶體 $M2$ 亦

具有接地的源極。若 $i n$ 輸入信號和 $i n b$ 輸入信號兩者皆失效，則 $C X$ 至 $M X$ 位準移位器和鎖存器 240 的鎖存功能因此關閉，因為這兩個輸入信號均不會影響鎖存器的狀態。在關閉狀態下，鎖存器由 $N M O S$ 電晶體 $M 5$ 和 $P M O S$ 電晶體 $P 6$ 形成的反相器實現，該反相器與由 $N M O S$ 電晶體 $M 6$ 和 $P M O S$ 電晶體 $P 9$ 形成的另一個反相器交叉耦合。電晶體 $M 5$ 的源極接地，而其汲極連接到電晶體 $P 6$ 的汲極。電晶體 $P 6$ 的源極經由並聯佈置的 $P M O S$ 電晶體對 $P 7$ 和 $P 8$ 耦合到 $M X$ 電源軌。 $i n b$ 輸入信號驅動電晶體 $P 7$ 的閘極，而 $M X$ 鉗位元信號（ $M X$ 鉗位元棒（ $c l a m p \ b a r$ ））的補數驅動電晶體 $P 8$ 的閘極。因此，若 $i n b$ 輸入信號或 $M X$ 鉗位元棒信號失效，則由電晶體 $P 6$ 和 $M 5$ 形成的反相器將被供電。電晶體 $P 6$ 和 $M 5$ 的汲極形成輸出節點，以用於承載來自 $C X$ 至 $M X$ 位準移位器和鎖存器 240 的輸出信號。

【0029】 為了在鎖存器的反相器之間形成交叉耦合，電晶體 $P 6$ 和 $M 5$ 的汲極連接到電晶體 $P 9$ 和 $M 6$ 的閘極。電晶體 $P 9$ 的源極經由並聯佈置的 $P M O S$ 電晶體對 $P 10$ 和 $P 11$ 耦合到 $M X$ 電源軌。 $M X$ 鉗位元棒信號驅動電晶體 $P 10$ 的閘極，而 $i n$ 輸入信號驅動電晶體 $P 11$ 的閘極。因此，若 $M X$ 鉗位元棒信號或 $i n$ 輸入信號失效，則由電晶體 $P 9$ 和 $M 6$ 形成的反相器被供電。電晶體 $P 9$ 和 $M 6$ 的汲極連接到電晶體 $P 6$ 和 $M 5$ 的閘極以完成反相器的交叉耦合。

【0030】 若 $M X$ 鉗位元信號生效，則應該關閉 $C X$ 至 $M X$ 位準移位器和鎖存器 240 的鎖存功能。在此種情況下，為

了防止MX位準移位器和鎖存器240回應in輸入信號和inb輸入信號，電晶體M1的汲極經由NMOS電晶體M3耦合到電晶體P6和M5的閘極。類似地，電晶體M2的汲極經由NMOS電晶體M4耦合到電晶體P9和M6的閘極。MX鉗位元棒信號驅動電晶體M3和M4的閘極，使得當MX鉗位元信號生效時，in輸入信號和inb輸入信號不會影響輸出信號的狀態。MX鉗位元棒信號的失效狀態接通電晶體P11和P8兩者，使得為兩個反相器供電。以此種方式，在MX鉗位元信號生效之前輸出信號處於的任何狀態皆經由反相器的交叉耦合進行鎖存。若MX鉗位元信號失效，則電晶體M3和M4兩者皆將導通，使得MX位準移位器和鎖存器240可以回應in輸入信號和inb輸入信號。交叉耦合的反相器形成的鎖存器將是透明的，因為反相器中的一個取決於in輸入信號和inb輸入信號的二進位狀態被斷電。

【0031】現在將關於圖6的流程圖論述具有靈活的上電序列的雙電源記憶體的操作方法。該方法包括在由雙電源記憶體中的核心電源供應器電壓供電的核心電源供應器域的上電週期期間使核心域鉗位元信號生效的動作600。該方法包括在由雙電源記憶體中的核心電源供應器電壓供電的核心電源供應器域的上電週期期間使核心域鉗位元信號生效的動作600。如關於雙電源記憶體200所論述的，使CX鉗位元信號生效是動作600的實例。該方法亦包括在由雙電源記憶體中的記憶體電源供應器電壓

供電的記憶體電源供應器域的上電週期期間使記憶體域鉗位元信號生效的動作605。如關於雙電源記憶體200所論述的，使MX鉗位元信號生效是動作605的實例。注意，沒有暗示動作600和動作605的順序——任何一個動作皆可以先於另一個發生。該方法進一步包括動作610，該動作610回應於核心域鉗位元信號的生效或回應於記憶體域鉗位元信號的生效，而將記憶體電源供應器域中的周邊邏輯與針對記憶體電源供應器電壓的記憶體域電壓軌隔離開。如關於雙電源記憶體200所論述的，關斷磁頭開關電晶體P1是動作610的實例。最後，該方法包括動作615，該動作615回應於核心域鉗位元信號的生效或回應於記憶體域鉗位元信號的生效，而將邏輯電源供應器域中的周邊邏輯與針對邏輯電源供應器電壓的邏輯域電壓軌隔離開。關斷電晶體P3是動作615的實例。無論首先對哪個電源域進行上電，皆在完成上電序列之後發生記憶體域鉗位元信號和核心域鉗位元信號的失效。

【0032】 將認識到的是，在不脫離本揭示的範圍的情況下，可以對本揭示的設備的材料、裝置、配置和使用方法進行許多修改、替換和變型。鑒於此，本揭示的範圍不應該限於本文示出並描述的特定實施例的範圍，因為其僅是藉由其一些實例的方式，而是應該與後文所附的請求項及其功能均等物的範圍完全相稱。

【符號說明】

【0033】

- 1 0 0 . . . 雙 電 源 記 憶 體
- 1 0 5 . . . 記 憶 體 電 源 （ M X ）
- 1 1 0 . . . 核 心 電 源 （ C X ） 域
- 1 1 5 . . . 位 元 單 元
- 1 2 0 . . . M X 周 邊 邏 輯
- 1 2 5 . . . 反 或 閘
- 1 3 0 . . . M X 域 反 相 器 / 位 準 移 位 器 / 鎖 存 器
- 1 3 5 . . . 位 準 移 位 器 （ L S ）
- 1 4 0 . . . 反 相 器
- 1 4 5 . . . 位 準 移 位 器
- 1 5 0 . . . 反 相 器
- 1 6 0 . . . C X 周 邊 邏 輯
- 2 0 0 . . . 雙 電 源 記 憶 體
- 2 0 1 . . . 電 源 排 序 控 制
- 2 0 5 . . . 記 憶 體 （ M X ） 電 源 域
- 2 1 5 . . . 邏 輯 電 路
- 2 2 0 . . . 邏 輯 電 路
- 2 2 5 . . . 位 準 移 位 器
- 2 3 0 . . . 位 準 移 位 器
- 2 4 0 . . . 鎖 存 器
- 3 0 0 . . . C X 域 反 或 閘
- 3 0 5 . . . C X 域 反 或 閘
- 3 1 0 . . . 反 相 器
- 4 0 0 . . . 反 或 閘

4 0 5 . . . 反 或 閘

6 0 0 . . . 動 作

6 0 5 . . . 動 作

6 1 0 . . . 動 作

6 1 5 . . . 動 作

i n . . . 真 輸 入 信 號

i n b . . . 假 或 補 數 輸 入 信 號

M 1 . . . 電 晶 體

M 2 . . . 電 晶 體

M 3 . . . 電 晶 體

M 4 . . . 電 晶 體

M 5 . . . 電 晶 體

M 6 . . . 電 晶 體

M 7 . . . 電 晶 體

P 1 . . . 電 晶 體

P 2 . . . 電 晶 體

P 3 . . . 電 晶 體

P 4 . . . 電 晶 體

P 5 . . . 電 晶 體

P 6 . . . 電 晶 體

P 7 . . . 電 晶 體

P 8 . . . 電 晶 體

P 9 . . . 電 晶 體

P 1 0 . . . 電 晶 體

P 1 1 . . . 電 晶 體

V D D C X . . . 核 心 電 源 供 應 器 電 壓

V D D M X . . . 記 憶 體 電 源 供 應 器 電 壓

【發明申請專利範圍】

【第1項】 一種雙電源供應器記憶體，包括：

一記憶體電源域，其包括針對一記憶體電源供應器電壓的一記憶體電源軌，並且包括經由一第一磁頭開關耦合到該記憶體電源供應器的記憶體周邊邏輯電路；

一核心電源域，其包括針對一核心電源供應器電壓的一核心電源軌，並且包括經由一第二磁頭開關耦合到該核心電源軌的核心周邊邏輯電路；及

一控制器，其被配置為在該記憶體電源域的一上電週期期間使一記憶體域鉗位元信號生效，並且被配置為在該核心電源域的一上電週期期間使一核心域鉗位元信號生效，其中該雙電源記憶體被配置為回應於該記憶體域鉗位元信號的一生效或該核心域鉗位元信號的一生效而關斷該第一磁頭開關和該第二磁頭開關。

【第2項】 如請求項 1 所述之雙電源供應器記憶體，進一步包括：

該記憶體電源域中的一第一位準移位器，該第一位準移位器被配置為將該核心域鉗位元信號位準移位為一第一經位準移位的輸出信號；

該記憶體電源域中的一第一邏輯閘極，該第一邏輯閘極被配置為將該第一經位準移位的輸出信號和該記

記憶體域鉗位元信號處理為一第一邏輯輸出信號；

該核心電源域中的一第二位準移位器，該第二位準移位器被配置為將該第一邏輯輸出信號位準移位為一第二經位準移位的輸出信號；及

該核心電源域中的一反相器，該反相器被配置為將該第二經位準移位的輸出信號反相為一第一反相信號，其中該第二磁頭開關是一第一 p 型金屬氧化物半導體（PMOS）電晶體，其具有被配置為接收該第一反相信號的一閘極。

【第3項】如請求項 2 所述之雙電源供應器記憶體，進一步包括：

該記憶體電源域中的一反相器，該反相器被配置為將該第一邏輯輸出信號反相為一第二反相信號，其中該第一磁頭開關是一第二 PMOS 電晶體，其具有被配置為接收該第二反相信號的一閘極。

【第4項】如請求項 2 所述之雙電源供應器記憶體，進一步包括：

一第三磁頭開關，其被配置為將該第一位準移位器耦合到該記憶體電源軌，其中該第三磁頭開關被配置為回應於該記憶體域鉗位元信號的該生效而關斷。

【第5項】如請求項 2 所述之雙電源供應器記憶體，進一步包括一接地開關，該接地開關連接在該第二位準

移位器的一輸出節點與地之間，其中該接地開關被配置為回應於該核心域鉗位元信號的該生效而接通。

【第6項】 如請求項 2 所述之雙電源供應器記憶體，進一步包括在該核心電源域中的一睡眠保持邏輯電路，該睡眠保持邏輯電路被配置為利用一睡眠保持信號來處理該核心域鉗位元信號，其中該第一位準移位器被配置為對來自該睡眠保持邏輯電路的一輸出信號進行位準移位以產生該第一經位準移位的輸出信號。

【第7項】 如請求項 6 所述之雙電源供應器記憶體，其中該睡眠保持邏輯電路包括一第二邏輯閘極和一第三邏輯閘極。

【第8項】 如請求項 7 所述之雙電源供應器記憶體，其中該第二邏輯閘極是一反或閘，其被配置為處理該核心域鉗位元信號和該睡眠保持信號的一經反相的版本，並且其中該第三邏輯閘極是一反及閘，其被配置為處理該睡眠保持信號和該核心域鉗位元信號。

【第9項】 如請求項 2 所述之雙電源供應器記憶體，進一步包括：

該記憶體電源域中的複數個位元單元；

一第三磁頭開關，其被配置為將該複數個位元單元耦合到該記憶體電源軌；及

一第三位準移位器，其被配置為將來自該核心電源

域的一睡眠非保持信號位準移位為一第三經位準移位的輸出信號，其中該第三磁頭開關被配置為回應於該第三經位準移位的輸出信號的一生效而關斷。

【第10項】 如請求項9所述之雙電源供應器記憶體，其中該第三位準移位器進一步包括一鎖存器，該鎖存器被配置為回應於該核心域鉗位元信號或該記憶體域鉗位元信號的該生效而鎖存該第三經位準移位的輸出信號。

【第11項】 如請求項9所述之雙電源供應器記憶體，進一步包括：

一非保持邏輯電路，其被配置為處理該核心域鉗位元信號和該睡眠非保持信號以形成一第二邏輯輸出信號，其中該第三位準移位器被配置為對該第二邏輯輸出信號進行位準移位以形成該第三經位準移位的輸出信號。

【第12項】 如請求項11所述之雙電源供應器記憶體，其中該非保持邏輯電路包括一第二邏輯閘極和一第三邏輯閘極。

【第13項】 如請求項12所述之雙電源供應器記憶體，其中該第二邏輯閘極是一第一反或閘，其被配置為處理該核心域鉗位元信號和該睡眠非保持信號的一經反相的版本，並且其中該第三邏輯閘極是一第二反或閘，

其被配置為處理該核心域鉗位元信號和該睡眠非保持信號。

【第14項】 如請求項1所述之雙電源供應器記憶體，其中該雙電源供應器記憶體包括一雙電源供應器靜態隨機存取記憶體（SRAM）。

【第15項】 一種用於一雙電源供應器記憶體的方法，包括以下步驟：

在由該雙電源記憶體中的一核心電源供應器電壓供電的一核心電源供應器域的一上電週期期間使一核心域鉗位元信號生效；

在由該雙電源記憶體中的一記憶體電源供應器電壓供電的一記憶體電源供應器域的一上電週期期間使一記憶體域鉗位元信號生效；

回應於該核心域鉗位元信號的該生效或回應於該記憶體域鉗位元信號的該生效，而將該記憶體電源供應器域中的周邊邏輯與針對該記憶體電源供應器電壓的一記憶體域電壓軌隔離開；並且

回應於該核心域鉗位元信號的該生效或回應於該記憶體域鉗位元信號的該生效，而將該核心電源供應器域中的周邊邏輯與針對該核心電源供應器電壓的一核心域電壓軌隔離開。

【第16項】 如請求項15所述之用於該雙電源供應器

記憶體的方法，進一步包括以下步驟：

回應於一睡眠保持信號的一生效，而將該記憶體電源供應器域中的該周邊邏輯與該記憶體域電壓軌隔離開；並且

回應於該睡眠保持信號的該生效，而將該核心電源供應器域中的該周邊邏輯與該核心域電壓軌隔離開。

【第17項】 一種雙電源供應器記憶體，包括：

一記憶體電源域，其包括針對一記憶體電源供應器電壓的一記憶體電源軌，並且包括經由一第一磁頭開關耦合到該記憶體電源供應器的記憶體周邊邏輯電路；

一核心電源域，其包括針對一核心電源供應器電壓的一核心電源軌，並且包括經由一第二磁頭開關耦合到該核心電源軌的核心周邊邏輯電路；

一控制器，其被配置為在該記憶體電源域的一上電週期期間使一記憶體域鉗位元信號生效，並且被配置為在該核心電源域的一上電週期期間使一核心域鉗位元信號生效；及

用於回應於該核心域鉗位元信號或該記憶體域鉗位元信號的該生效而關斷該第一磁頭開關和該第二磁頭開關並且用於回應於該核心域鉗位元信號和該記憶體域鉗位元信號的一失效而接通該第一磁頭開關和該第

二磁頭開關的構件。

【第18項】 如請求項17所述之雙電源供應器記憶體，
進一步包括：

用於回應於來自該核心電源域的一睡眠保持信號的一生效而關斷該第一磁頭開關和該第二磁頭開關的構件。

【第19項】 如請求項17所述之雙電源供應器記憶體，
進一步包括：

該記憶體電源域中的複數個位元單元；

一第三磁頭開關，其被配置為將該複數個位元單元
耦合到該記憶體電源軌；及

用於回應於該記憶體域鉗位元信號和該核心域鉗位元信號的一失效而將來自該核心電源域的一睡眠非保持信號位準移位為針對該第三磁頭開關的一開關控制信號並且用於回應於該記憶體域鉗位元信號的該生效或該核心域鉗位元信號的該生效而鎖存該開關控制信號的構件。

【第20項】 如請求項17所述之雙電源供應器記憶體，
其中該雙電源供應器記憶體包括一雙電源供應器
S R A M。

【發明圖式】

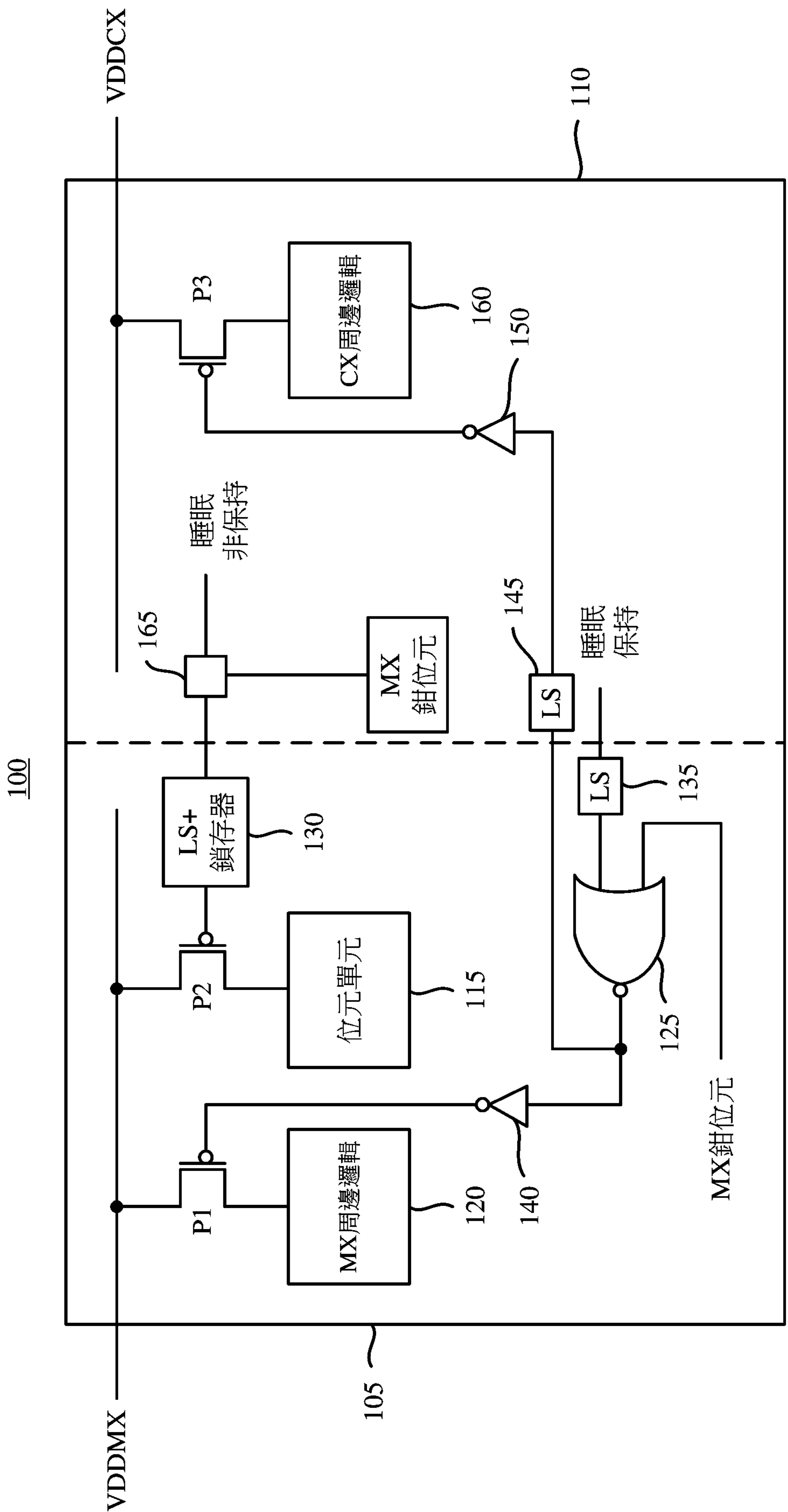
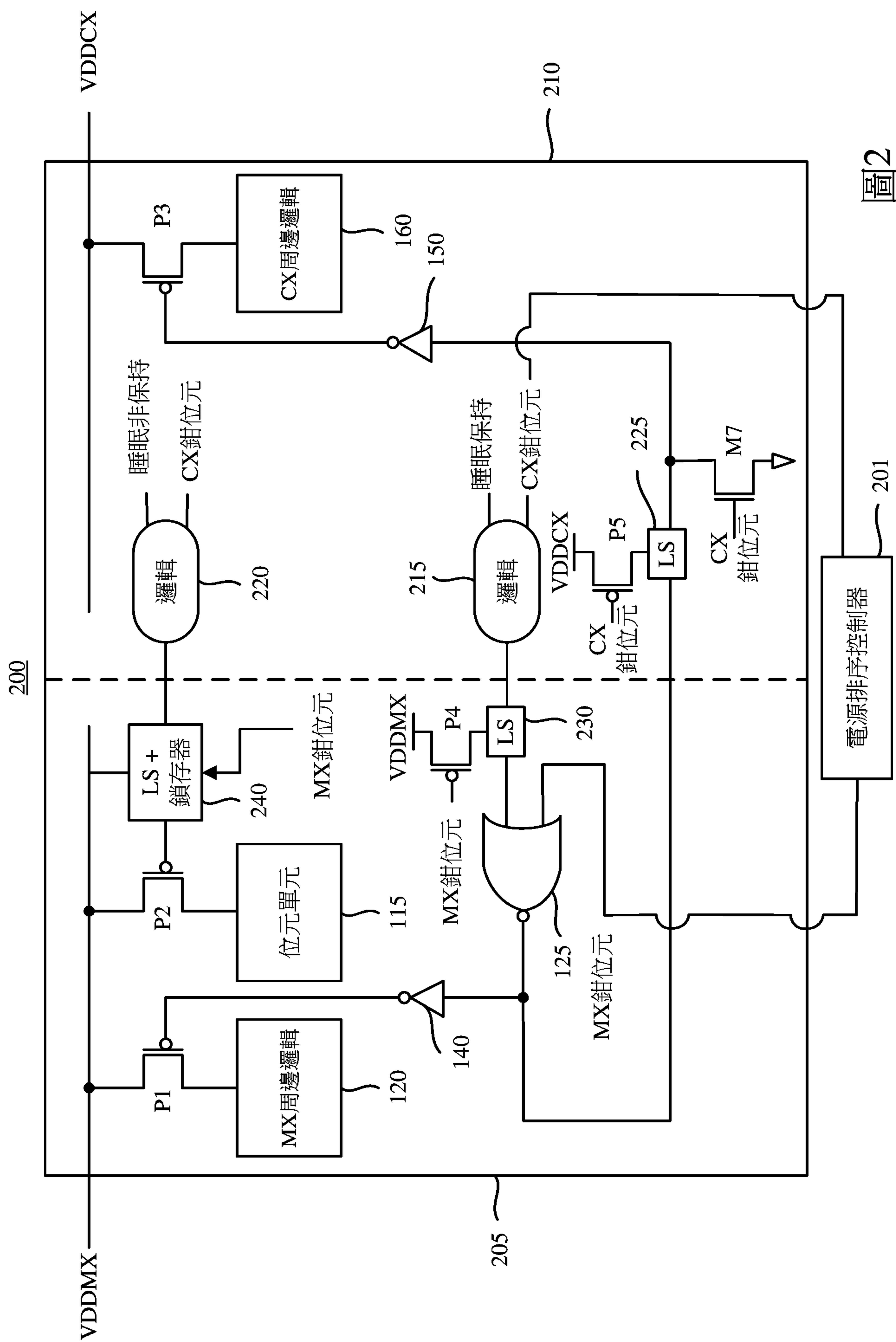
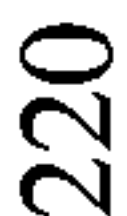


圖1





三回

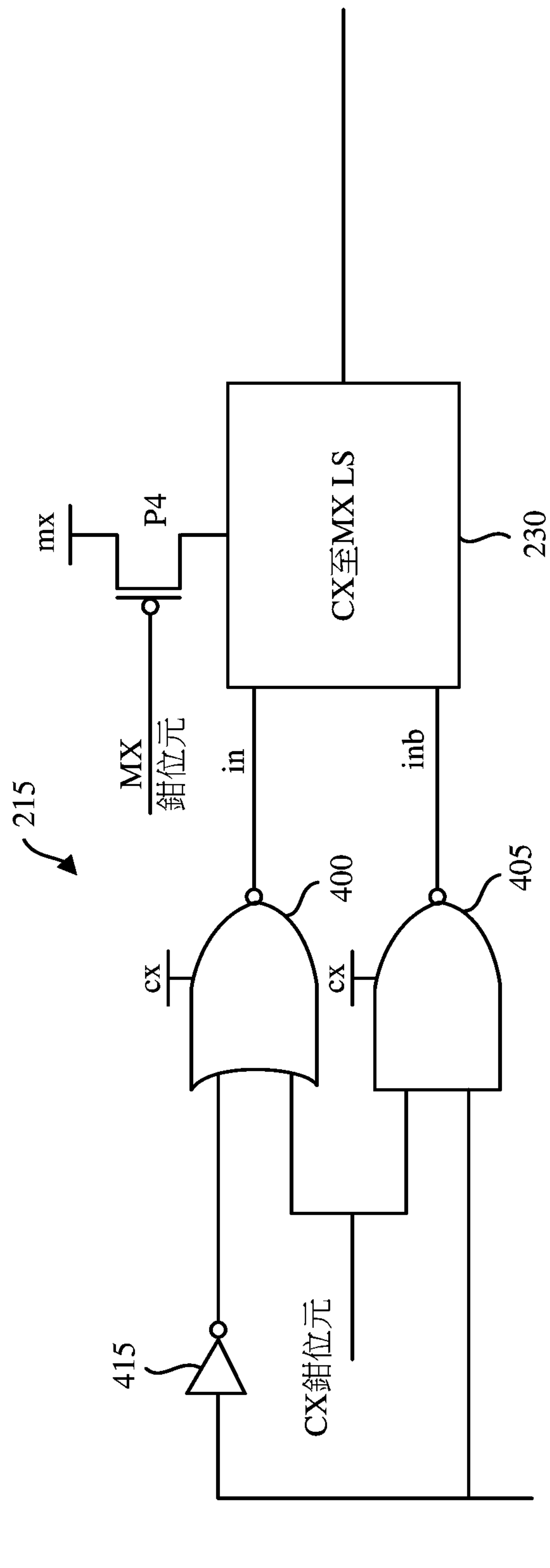


圖4

睡眠保持

240

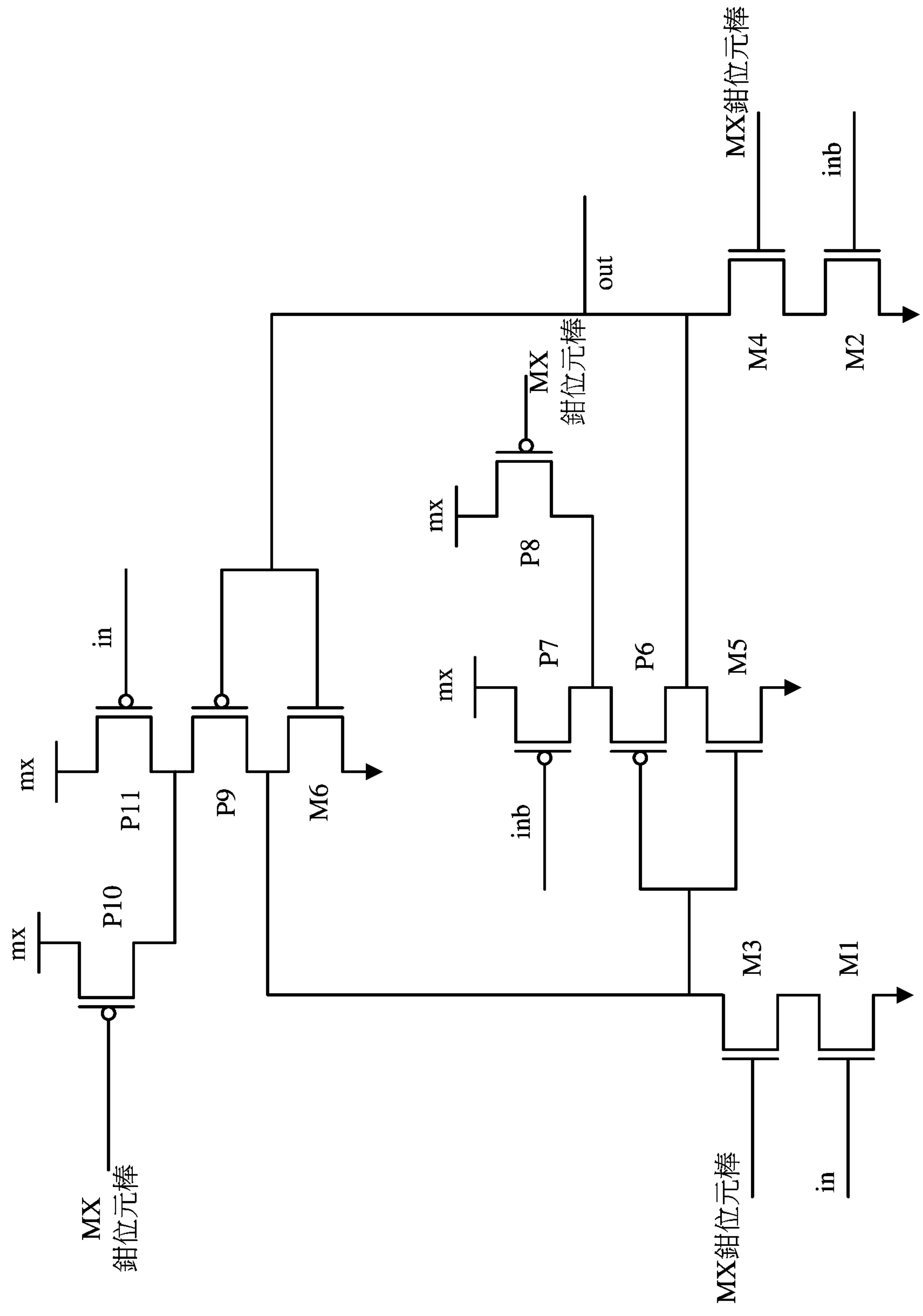


圖5

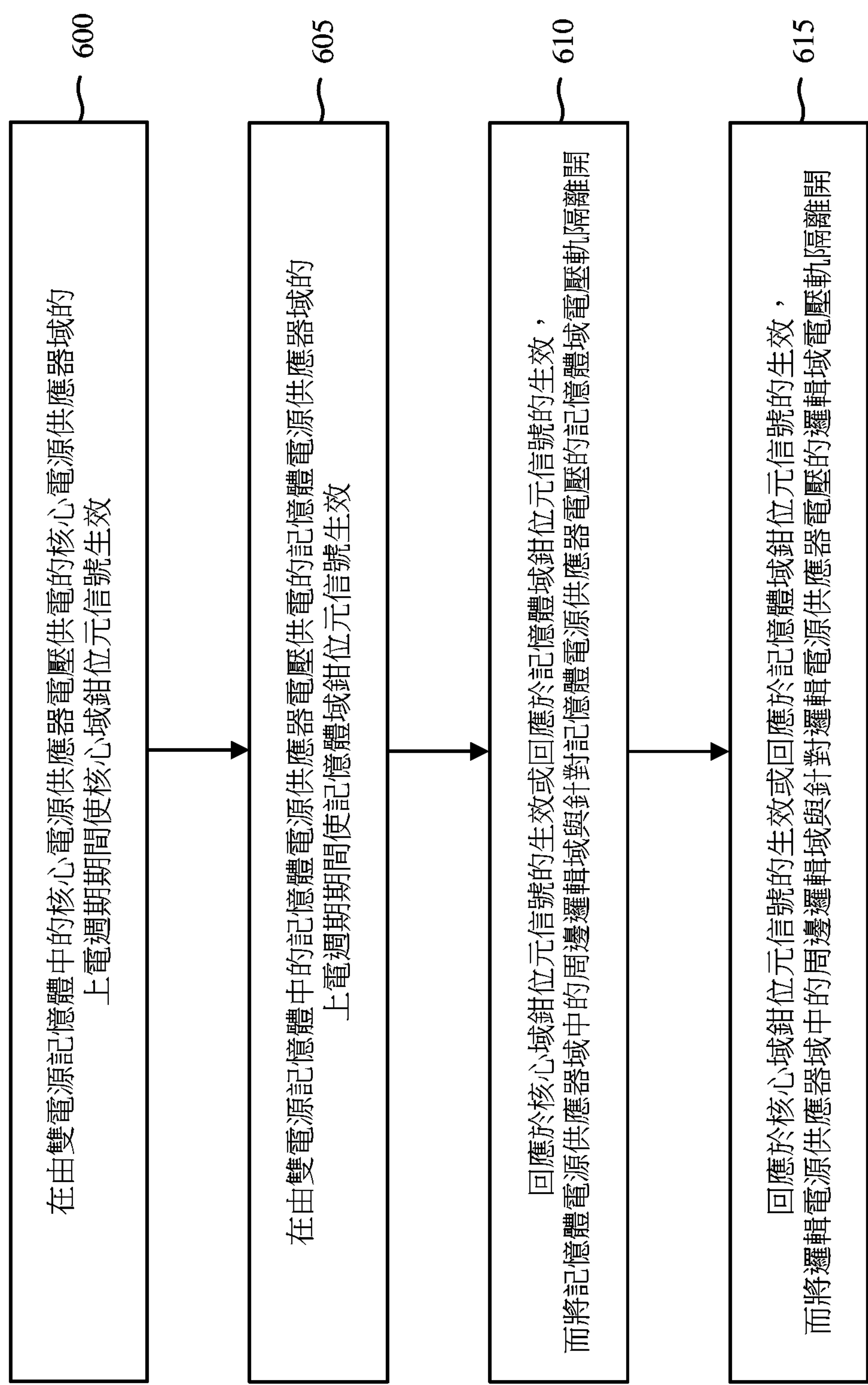


圖6