

公告本

申請日期：

案號：

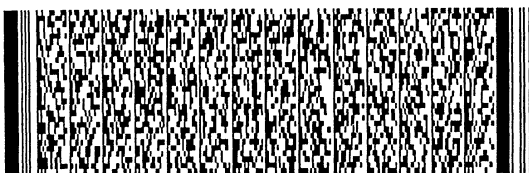
類別：

(以上各欄由本局填註)

439359

發明專利說明書

一、 發明名稱	中文	用於開路汲極訊號之主動上拉電路
	英文	ACTIVE PULLUP CIRCUITRY FOR OPEN-DRAIN SIGNALS
二、 發明人	姓名 (中文)	1. 大衛 B. 貝爾
	姓名 (英文)	1. DAVID B. BELL
	國籍	1. 美國
	住、居所	1. 美國加州洛奧特斯市歐蘭齊街11525號
三、 申請人	姓名 (名稱) (中文)	1. 美商林耳科技公司
	姓名 (名稱) (英文)	1. LINEAR TECHNOLOGY CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州米皮塔斯市麥卡西大道1630號
	代表人 姓名 (中文)	1. 羅伯特 C. 多伯金
	代表人 姓名 (英文)	1. ROBERT C. DOBKIN



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/07/15 09/116,309

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

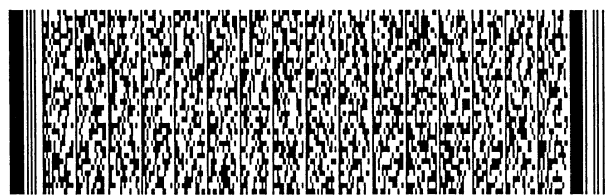
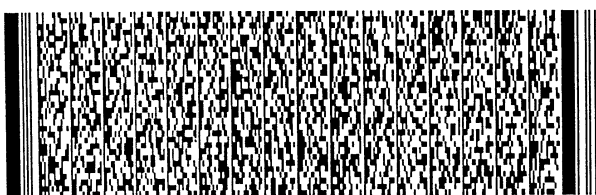
本發明係有關用以在採用該開路汲極或開路集極電路系統中增加用以驅動一信號線聯繫速度之方法及電路，更明確而言，係關於用以提供回轉率敏銳、遲滯、主動上拉之方法及電路。

"開路汲極" 用辭於整個敘述係廣泛使用。雖然 "開路汲極" 係暗示使用諸如MOSFETs的場效電晶體，在技藝中的其中一技術可認定其他類型的電晶體，例如有雙極電晶體亦可使用。因此，該開路汲極用辭在此因方便而使用是可理解，而且該用辭係明確包括開路集極類型電路。此外，可了解到本發明能使用除了MOSFET電晶體以外實現，並且該 "電晶體" 係明確包括其他適當類型的電晶體。

開路汲極電路通常係經由一共同的匯流排或信號線來互接電子裝置。積體電路間匯流排 (I²C)、系統管理匯流排 (SMBus)、ACCESS.bus、及Apple Desktop Bus (ADB) 係使用一開路汲極結構的一些在裝置間聯繫的通信協定。開路汲極信號亦可使用在由超過一來源所驅動信號線的電腦系統中，例如，微處理機的中斷輸入。

一裝置係藉由控制在在開路汲極信號線和地端之間所耦合的一電晶體而在一開路汲極信號線上傳送信號。典型上，如同開關使用的電晶體是N通道MOSFET，但是其他類型的電晶體亦適合於此目的。此外，該電晶體可在裝置的內部，或該裝置可具有用以控制一外部電晶體的端子。

當該裝置造成該電晶體導通的時候，該信號線便耦合至



五、發明說明 (2)

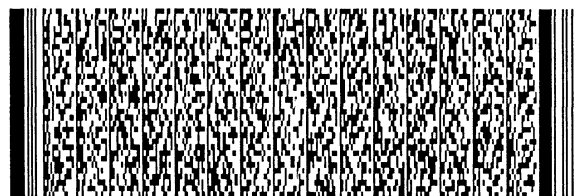
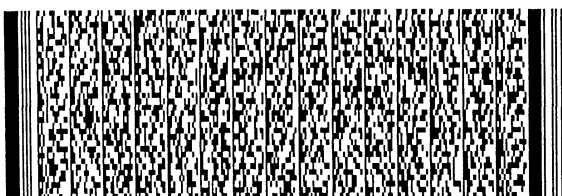
地端，造成它的電壓會下拉至低狀態或位準，例如，低於大約0.4伏特。相反地，當所有的裝置造成他們相對驅動電晶體關閉的時候，藉由在信號線與電源供應之間所連接的上拉電路，該信號線便可偏壓至諸如5伏特的高狀態。

信號可在一開路汲極信號線上傳輸的速度係決定在該信號線能以多快在低與高位準之間循環。因為的信號線的寄生電容，它可切換的速率係決定於該寄生電容所能充電及放電的速度。其他的因素是同樣的，寄生電容的增加可減慢充電及放電率，並降低該最大的信號率。因此，基於互接標準的許多開路汲極係指定一最大的信號線電容，典型上是數百微微法拉，以確定適當的效率。

決定寄生電容充電與放電速率的另一因素是在充電與放電電流線路上的阻抗。既然當電晶體導通的時候，一輸出電晶體的阻抗典型上會很小，該寄生電容便可很快放電，而且會很快從高位準轉換至低位準。然而，該寄生電容係藉由某些型式の上拉電路所提供的上拉電流所充電。

在採用一開路汲極線信號的一典型應用中，該上拉電路只是在信號線與正供應端之間耦合的一上拉電阻。因為一上拉電阻的阻抗典型上係大於一驅動電晶體的導通阻抗，該寄生電容可充電的速率係遠低於它可放電的速率。因此，該信號上升時間係較慢於信號下降時間。

用以縮短信號上升時間的一技術是使用一較小值的上拉電阻。使用一較小阻抗會增加可用的上拉電流，所以當所有的驅動電晶體是關閉的時候，任何的寄生電容便能很快



五、發明說明 (3)

地充電。然而，減少上拉阻抗會在電路操作上產生不利的影響。

例如，當一驅動電晶體導通的時候，減少該上拉電阻的值可增加從 V_{cc} 至地端的電流通。此增加的電流係表示電力的浪費，其是諸如電池電力裝置的低功率應用重要考量。該增加的電流亦增加跨在驅動電晶體的電壓降，藉此提高該信號線電壓，及減少一低信號線位準的雜訊邊際。

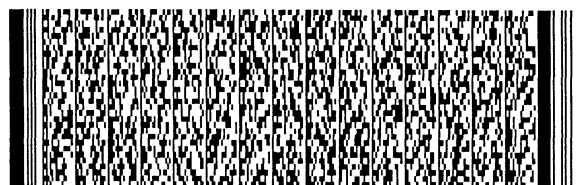
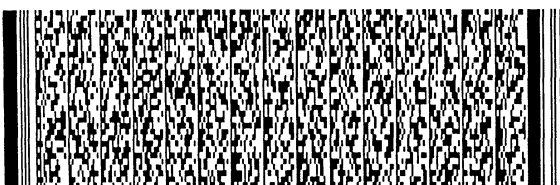
因此，鑑於先前的敘述，藉由減少開路汲極信號的上升時間，可改良採用一開路汲極結構之聯繫系統中的資料信號處理速度，而不會危害雜訊邊緣或功率效率。

發明概述

因此，本發明的一目的是要藉由減少開路汲極信號的上升時間而改良在採用一開路汲極結構的聯繫系統中的資料信號處理速度，而不會危害雜訊邊緣或功率效率。

本發明的這些與其他目的及優點可藉由上拉電流是由一可變的電流源敵供的方法及電路實現，其中可用的上拉電流是在信號線上的一電壓位準的功能。特別是當該信號線電壓指示該信號線未下拉至低位準的時候，該可用的上拉電流便會增加。

在第一具體實施例中，每當在信號線上的一信號超過一臨界位準的時候，該額外的上拉電流便會提供。在較佳具體實施例中，電路可提供監督信號的回轉率（ dV/dt ），並且諸如在低至高信號轉換期間，只有當該信號超過臨界及該回轉率是正信號的時候，較高的上拉電流便會提供。



五、發明說明 (4)

圖式之簡單說明

本發明的上述及其的其他目經由下列連同附圖的詳細描述而更顯然，其相同的參考文字在所有的圖式中是表示相同的部分，其中：

圖1A至1C係描述先前3個已知上拉電路類型的簡化電路圖；

圖2A和2B是分別為在圖1的上拉電路當作時間函數的信號線電壓繪圖，及當作信號線電壓函數的上拉電流；

圖3係根據本發明原理的上拉電路的第一具體實施例之簡化電路圖；

圖4是當作在圖3上拉電路之信號線電壓函數的上拉電流表示圖；

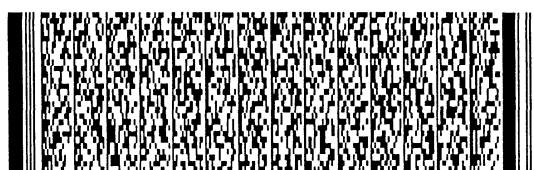
圖5係根據本發明原理的上拉電路的第二具體實施例之簡化電路圖表；

圖6是當作在圖5上拉電路之信號線電壓函數的上拉電流表示圖；及

圖7是採用本發明原理之主動上拉電路的第三具體實施例之簡化電路圖。

發明之詳細說明

圖1A至1C係藉由使用一開路汲極結構而用以實現信號線的先前已知電路之簡化電路圖。裝置16表示耦合至信號線11的一裝置，而且可將來自積體電路的任何信號傳送給電腦週邊設備。裝置16包括驅動電晶體14，其可藉由在裝置16（在圖中未顯示出）中的額外電路而導通或關閉。或



五、發明說明 (5)

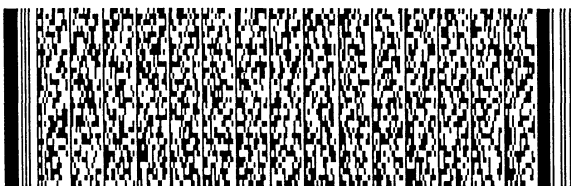
者，裝置16可包括用以控制一外部驅動電晶體的一端子。注意在圖1、3、及5的電路圖，只有一裝置係連接至信號線11；然而，在技藝中所熟知的技術可了解到可能超過一個如此的裝置。

電容器18表示信號線11的寄生電容，包括信號線11本身雜散電容，及耦合至信號線11的驅動器與接收器。典型上在數百微微法拉的寄生電容18之主要效果是要限制資料可在信號線11上傳送的速率。明確而言，在信號線11上的資料率是受到該寄生電容可充電及放電速率的限制。對於此理由而言，採用一開路汲極結構的多數聯繫通訊協定係指定一最大的信號線電容。例如，I²C規格允許400pF的最大信號線電容。

驅動電晶體14係連接在信號線11與地端之間，所以裝置16可藉著使驅動電晶體14導通而使信號線11下拉至地位準。既然連接至信號線11的任何類似裝置能夠將它拉至低位準，當每個裝置的驅動電晶體14關閉的時候，該信號線才會拉至高位準。

因此，連接至信號線11的任何裝置可藉著使該裝置的驅動電晶體導通而選擇性將信號線驅動至低位準。相反地，當在連接至信號線11之所有裝置中的電晶體14是關閉的時候，連接至信號線的上拉電路便會將信號線偏壓至高位準。

在圖1A，上拉電路10是由連接在V_{cc}與信號線11之間的上拉電阻12所組成。當電晶體14關閉的時候，電流便會經由



五、發明說明 (6)

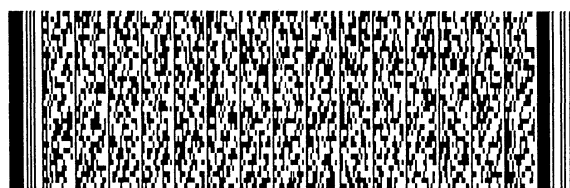
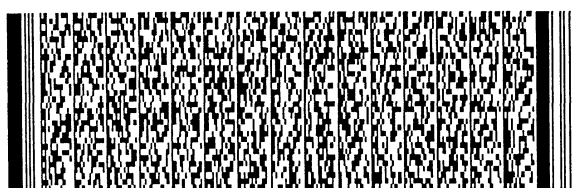
上拉電阻12而流向信號線11，將它上拉至 V_{cc} 電位。典型上，上拉電阻12具有數千歐姆值。

在圖1A信號線11上的典型信號是在圖2A中的實線路徑部分。在時間 t_0 之前，電晶體14是關閉，而信號線11是在高位準。在 t_0 ，電晶體14可由裝置16導通，以在信號線11與地端之間提供一低阻抗路徑。這會很快將電容18放電至地電位，在時間 t_1 會將信號線11拉至低位準。在時間 t_0 與 t_1 之間的間隔，亦即，在電晶體14導通之後信號線11到達一低位準所需的時間係稱為下降時間（ t_f ）

在時間 t_2 ，電晶體14會由裝置16關閉。電流通過上拉電阻12會將電容18充電，造成在信號線11上的電壓上升，在時間 t_3 會將信號線11拉至高位準。在時間 t_2 與 t_3 之間的間隔，亦即，在電晶體14關閉之後，信號線11到達高位準所需的時間係稱為上升時間（ t_r ）

本質上，圖1A的電路是一電阻-電容器（RC）電路。RC電路的反應呈現一特徵指數波形除以由電路的時間常數所決定的時間，其中該時間常數是電流路徑上的電路電容與阻抗的乘積。具有一較大時間常數的電路擁有較長的上升與下降時間。

在一典型的開路汲極系統中，上拉電阻12的值遠大於驅動電晶體14的導通阻抗。這會造成信號上升時間（ t_r ）是許多倍大於信號下降時間（ t_f ）。既然資料可在信號線11上傳送的速率會明顯受到上升時間（ t_r ）的限制，用以增加資料傳送率的技術通常已著重在縮短在開路汲極



五、發明說明 (7)

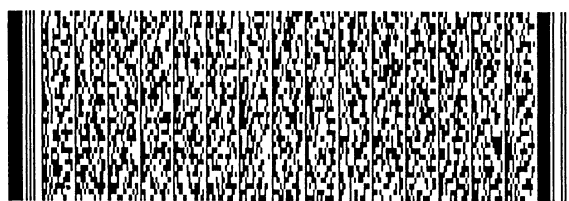
系統中的上升時間。

如本發明背景的描述，上升時間可藉由減少上拉電阻12的值而降低。這會減少電路的RC時間常數，藉此提供一較短的上升時間。既然減少上拉阻抗會影響到功率消耗及雜訊感染，其他的技術已發展成可減少信號上升時間。

用以減少上升時間的一此先前已知技術是在圖1B的電路圖中描述。開路汲極電路20包括上拉電阻12、電晶體14、及符合類似在圖1A中元件的電容18。上拉電路20亦包括額外的上拉電阻12a，其可經由開關13而選擇性地與上拉電阻12並聯。諸如可以是CD4066互補型金屬氧化半導體（CMOS）開關之開關13係受到在控制輸入15上的位準的控制，以致於在控制輸入15上的低信號會導致開關13關閉，而一高信號會造成開關導通。

在圖1B的電路中，當電晶體14導通的時候，信號線11是低位準，而開關13會關閉。當電晶體14最初是關閉的時候，而且假設沒有其他裝置將信號線11拉至低位準，上拉電阻12便可提供電流將寄生電容18充電，而且信號線電壓會開始上升。當信號線電壓上升而充足使開關13導通的時候，典型大約是 $V_{cc}/2$ ，電阻12a係與上拉電阻12並聯，有效地減少整個上拉阻抗及增加可用的上拉電流。

藉由啟動開關13所造成的上拉阻抗的降低是電阻12和12a相關值的功能。例如，如果電阻12和12a的值是相等，當開關13啟動的時候，該可用的上拉阻抗便能有效地減半。這可減少將信號線11推至高位準的RC時間常數，造成



五、發明說明 (8)

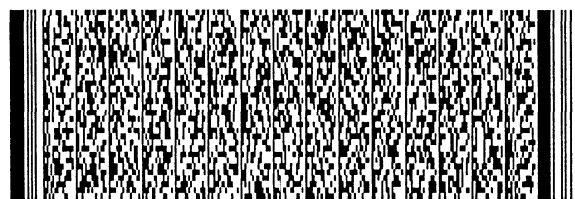
縮短上升時間 (t_r)。

上拉電路20的反應是在圖2A和2B顯示。從時間 t_0 至 t_1 ，電路響應與波形幾乎與圖1A相同。在時間 t_2 ，電晶體14會關閉，而在信號線11上的電壓會開始上升，跟隨與圖1A相對電路的實線路徑之波形。在時間 t_4 ，信號線11會到達大達大約 $V_{cc}/2$ 的電壓，而開關13會啟動，明顯地減少上拉阻抗。該減少の上拉阻抗會減少RC時間常數，而線信號電壓會較快上升，如圖2A中的虛線表示。相對的上拉電流是在圖2B中以虛線表示。

清楚地，在圖1B的電路中，所有的信號線驅動電晶體在信號線電壓升高而足以使開關13啟動之前必須關閉。結果，上拉電阻12要足夠大，以處理有關過多的電流、功率消耗、及上述的雜訊邊際，而電阻12a要較小，以提供適當的上拉效率。

第三替代的上拉方法是在圖1C顯示，其中信號線11的上拉電流是由固定的電流源32提供。在圖1A和1B的電路中，當在信號線11上的電壓上升，該上拉電流便會降低，提供指數形狀特徵的響應波形。使用一固定的電流源係確保上拉電流，而因此電容18的充電率會幾乎保持固定，造成一近乎線性的信號線電壓增加。這是在圖2A和2B中的虛線表示。注意，當信號線電壓接供應端的時候，上拉電流會開始減少，由於減少固定電流源32的操作高度。

雖然圖1B和1C的電路可有效減少在開路汲極電路中的信號上升時間，使用這些類型的上拉電路之最大信號率仍限



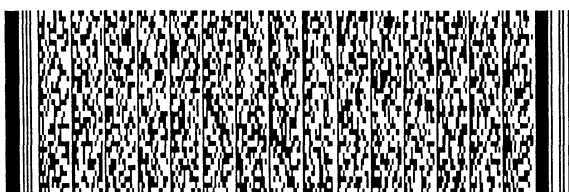
五、發明說明 (9)

制低於大約1 MHz。此外，例如藉由限制信號線11的長度、或連接至信號線11的裝置數目，謹甚使雜散電容保持最小。

請即參考圖3，其係根據本發明的原理而描述上拉電路的第一具體實施例。上拉電路40包括電晶體41-44、及電阻45-48。電晶體41和42係連接形成一電流反射器，以致於電晶體42的集極電流 I_2 是大約與電晶體41的集極電流 I_1 成比例。如果信號線11是低位準，電晶體43關閉偏壓，而電流通 I_1 是由電阻45和46的值所決定。

當連接至信號線11的所有諸如電晶體14之開路汲極驅動電晶體是關閉的時候，電晶體42的集極電流會開始將寄生電容18充電，而且在信號線11上的電壓會增加。當該信號線電壓超過電晶體43的基-射極電壓降的時候，它便會開始導通，將電流 I_3 傳送至電阻47。電流 I_1 和 I_3 的加總電流會流過反射電晶體41，結果電流通 I_2 增加，而使額外的電流可將寄生電容18充電。當在信號線11上的電壓持續上升，電流 I_3 也會持續增加，造成電流 I_2 的持續增加。因此，上拉電流是該信號線電壓的直接功能。

最後，電流 I_2 是夠大，而電壓降跨在電阻48會開始電晶體44的基-射極接合順向偏壓，造成電流 I_4 的流通。電流 I_4 會補償將信號線電壓上升所造成的任何進一步的電流 I_3 增加，藉此在電流 I_2 上提供一上限。最後，當在信號線11上的電壓開始接近 V_{cc} ，上拉電流 I_2 便會開始降低，由於電晶體42的飽和及跨在電阻48上的電壓減少。



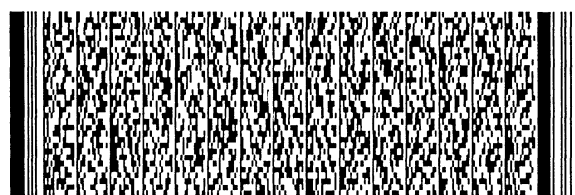
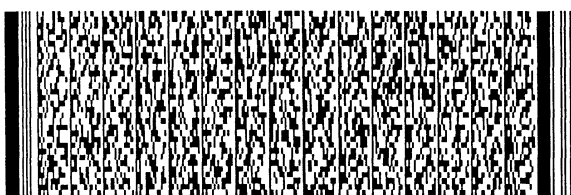
五、發明說明 (10)

當信號線11藉由使連接至諸如電晶體14信號線11的一開路汲極驅動器導通而拉至低位準的時候，事件的逆序列便會發生。首先，降低信號線電壓可增加電流反射器高度，並將上拉電流增加至由電晶體44所設定的限制。上拉電流仍然是遠低於流經驅動電晶體14的電流，所以信號線電壓會持續降低。最後，信號線11電壓會足夠低，而電晶體43關閉，移除電流 I_3 ，而結果將可用的上拉電流 I_2 減少到電阻45和46所設定的位準。圖3電路的上拉電流與信號線電壓的比較範例圖是在圖4顯示。

圖4亦顯示一虛線，其表示符合驅動電晶體14之導通阻抗的負載線。這是表示有多少的電流該電晶體14可在任何所提供的信號線電壓上沉接，亦是，可用的"下拉"電流。在諸如圖4所設計的一上拉電路中，該上拉電流始終保持低於電晶體14所能沉接的電流是重要的。否則，電晶體14不能夠沉接充足的電流，以便將信號線11拉至低位準。

上拉電路的較佳具體實施例電路圖是在圖5顯示。根據本發明的原理，只有當信號線11未拉至低位準的時候，上拉電路60便可提供額外的上拉電流。

上拉電路60功能在方法上係類似圖3的電路。電晶體61和62係形成一電流反射器，其中通過電晶體62的電流可將上拉電流提供給信號線11。當信號線電壓增加，電晶體63便造成上拉電流 I_2 的增加，而電晶體64可將最大的上拉電流限度在一可接受的位準。然而，上拉電路60包括額外的



五、發明說明 (11)

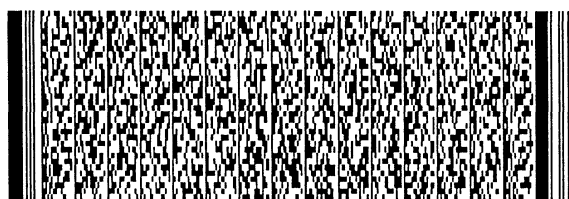
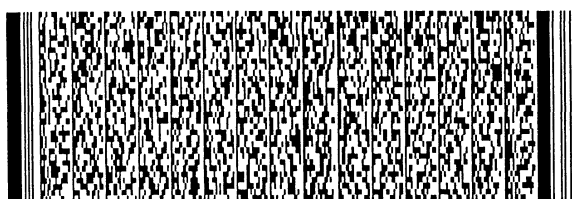
電路，以產生如圖6所示的上拉電路之電流-電壓特性磁滯現象。

運算放大器67及同電容器68與電阻69係形成可在信號線11上監督電壓變化的一微分器。運算放大器67是一信號指示該信號線電壓是以多快改變，亦即，回轉率。當該信號符合超過一臨界位準的正回轉，比較器73會輸出一信號使電晶體72導通。該臨界位準是由二極體71和72在比較器73的 '+' 輸入端提供。電晶體72的導通使電流 I_3 通過電晶體63，提供類似在圖3所敘述方法的上拉電流增加。

然而，當該電壓回轉率因為信號線電壓是固定或降低而低於臨界的時候，比較器73會使電晶體72關閉，而上拉電流 I_2 會限制在電流源66所設定的值。電晶體72及其回轉率電路會將磁滯現象帶入上拉電路60的電流-電壓特性。即是，上拉電路60所提供的上拉電路係決定在該信號電壓是否上升或下降。表示電流-電壓特性是在圖6顯示。

因為只有當在信號線11上的電壓上升的時候，上拉電路60便可提供額外的上拉電流，該上拉電流可超過由圖6的虛線所表示下拉電流負載線。這使上拉電流可快速上升。的確，只要當信號線11未下拉，增加的電流便可提供，上拉電流的變化可能是即時步驟變化。

請即參考圖7，其係更詳細地描述用以提供一遲滯、非線性上拉電流的上拉電路範例。上拉電路70包括4個基本電路單元：電壓位準偵測電路71，用以監督在信號線11上的電壓位準；回轉率偵測電路77，用以監督信號線電壓改



五、發明說明 (12)

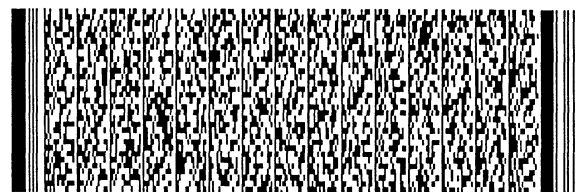
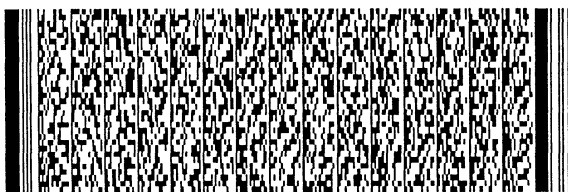
變的速率；額定的上拉電流電路88，用以當該信號線是穩定或下拉的時候，可提供上拉電流；及高的上拉電流電路95，用以當需要的時候，可提供增加的上拉電流。此外，上拉電路70包括用以實現適合用在電池電力系統的一低電力模式之電路。

額外的電壓及信號是在圖7的電路提供，但未在圖中顯示。例如，穩壓電路（在圖中未顯示出）係將電壓提供給用以分別偏壓在圖7的低電位端與高電位端MOSFET電流源的BIASH和BIASL，並將一電壓參考提供給VREF。額外的電路可將一關閉信號提供給-SHDN。SGNL係連接至該信號線，例如，圖5的信號線11。

接著採用圖7的每個單元，電壓位準偵測電路71包括一差動放大器72，其可根據與在VREF（電壓參考）上的電壓有關而在SGNL上的電壓將電流 I_1 分成電流 I_{1a} 和 I_{1b} 。電流 I_{1a} 是由電流反射器73所反射，以提供將節點74拉至地電位的電流 I_2 。同樣地，電流 I_{1b} 是由電流反射器75和76所反射，以提供將節點74拉至 V_{cc} 電位的電流 I_3 。

如果在SGNL上的電壓低於VREF，其理想大約0.6伏特，電流 I_{1a} 會小於電流 I_{1b} ，結果，電流 I_2 小於 I_3 。這可造成將節點74拉至一高位準。相反地，如果在SGNL上的電壓高於VREF，電流 I_{1a} 便會大於電流 I_{1b} ，而電流 I_2 會大於 I_3 ，造成將節點74拉至低電位。因此，當SGNL電壓超過VREF的時候，節點74會是低電位，否則是在高電位。

現折回到回轉率偵測電路77，固定的電流 I_4 是由電晶體



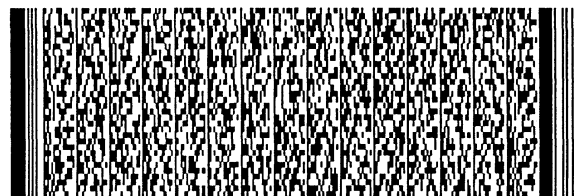
五、發明說明 (13)

78、79、及80連同電流反射器82提供。電流 I_4 是由電流反射器81和82反射，以分別提供電流 I_5 和 I_6 。理想上，電流反射器81具有大約兩倍於電流反射器82的增益，所以電流 I_5 正常是大約兩倍大於 I_6 ，而節點83會拉高。

電容器84可阻斷SGNL電壓的任何直流元件，但會使交流元件通過電流反射器82。明確而言，增加的SGNL電壓係加入流入電流反射器82的電流，藉此提高電流 I_6 。同時，通過電流反射器81的電流會減少，藉此減少電流 I_5 。足夠快的SGNL電壓正變化會造成電流 I_6 大於 I_5 ，將節點83拉至低電位。電容器84與電阻85的選取是將適當的靈敏度提供給回轉率，而不會在信號線（SGNL）上過度受雜訊的影響。電容器84和電阻85的適當值分別是大約2pF與大約187 Ω 。

電流當SGNL線穩定或下拉的時候，額定的上拉電流電路88便可提供上拉電流。電路88包括具有耦合回至SGNL的輸出電流之電流反射器89，及由電晶體90和91所設定的輸入電流。電晶體92可由在-SHDN端上的一低位準關閉，隔離電晶體90，及藉此減少電流反射器89的輸入電流。

在適當的時候，此路結構可將減少上拉電流的方法裝置提供給一關閉位準。例如，當該信號線是在高位準並保持一段時間的時候，上拉電流可減少至一低位準，以保存在電池供電裝置中的電力。理想上，上拉電路88的設計在於當-SHDN是高位準的時候，額定的上拉電流是大約250 μA ，而當-SHDN是低位準的時候，及低電力上拉電流是



五、發明說明 (14)

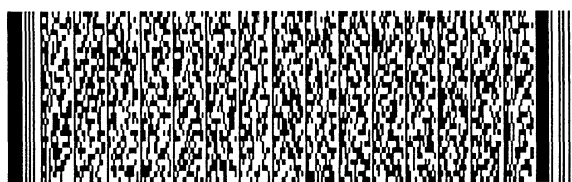
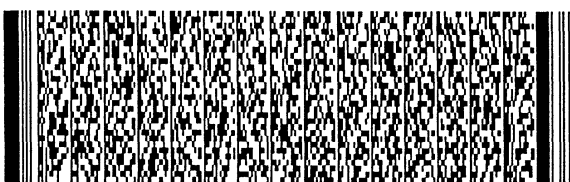
大約 $100\ \mu\text{A}$ 。

最後，當在SGNL上的電壓超過由電壓位準偵測電路71所決定的臨界電壓，及超過回轉率偵測電路77所決定的最小正回轉率，該上拉電流推動電路95便可提供額外的上拉電流。開極96的該等輸入係耦合至節點74、電壓位準偵測器71的輸出、及回轉率偵測器77的輸出節點83。如上所述，每當在SGNL上的電壓位準超過VREF的時候，節點74便會拉至低位準，而且每當在SGNL上的電壓回轉率變成足夠大的時候，節點83會拉至低位準。只有當兩輸入是低位準的時候，開96的輸出是高位準。因此，當滿足用以供應推動上拉電流的情況，開96的輸出是高位準。

開96的高位準輸出可使電晶體97關閉，而電晶體98導通，藉此啟動由電晶體99與流反射器100所組成的固定電流源。電流反射器100的輸出係並聯至電流反射器89的輸出，如此便提供推動的上拉電流。理想上，電流反射器100的輸出電流是大約 $1.7\ \text{mA}$ 。

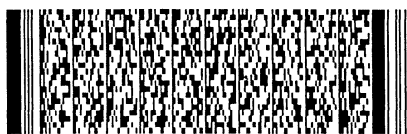
此外，在開96的輸出會使電晶體101導通。電晶體101可將輸入電流的一額外來源提供電流反射器89，以增加它的輸出電流。理想上，電晶體101的導通可將電流反射器89的輸出增加到大約 $300\ \mu\text{A}$ 。因此，當滿足電壓位準與回轉率條件的時候，亦即，在低至高轉換期間，上拉電流可從大約 $250\ \mu\text{A}$ 推至大約 $2\ \text{mA}$ ，藉此明顯地減少信號上升時間。

在技藝中的一熟知技術係多虧於本發明能上述具體實施



五、發明說明 (15)

例以外實現，其所描述係用以例證而非限制，而且本發明只受限於下列的申請專利範圍：

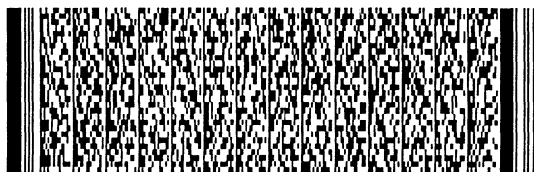
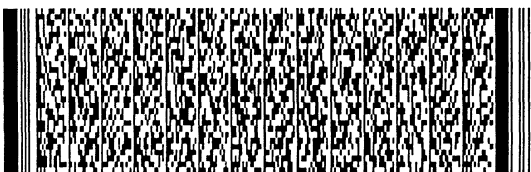


四、中文發明摘要 (發明之名稱：用於開路汲極訊號之主動上拉電路)

一種電路及方法係提供用於減少在一開路汲極或開路集極信號線上的信號上升時間。該信號線電壓係經監督，以決定該信號線是否拉至低位準。如果該信號線未拉到由超過一臨界位準的信號線電壓所指示的低位準，便可提供該額外的上拉電流。該額外的電流可隨著該信號線電壓提供，或每當電壓超過臨界的時候，便可完全提供。電路亦可提供監督在該信號線上的電壓回轉率，而只有當該回轉率超過一正臨界位準的時候，便可啟動該額外的上拉電流。

英文發明摘要 (發明之名稱：ACTIVE PULLUP CIRCUITRY FOR OPEN-DRAIN SIGNALS)

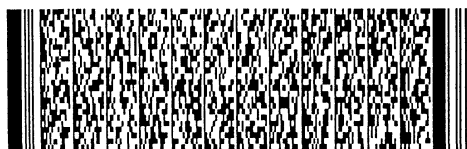
Circuitry and methods are provided for reducing rise time associated with signals on an open-drain or open-collector signal line. Signal line voltage is monitored to determine if the signal line is being pulled LOW. If the signal line is not being pulled LOW, as indicated by signal line voltage exceeding a threshold level, additional pullup current is provided. The additional current may be provided gradually in relation to the signal line voltage, or may be provided in



四、中文發明摘要 (發明之名稱：用於開路汲極訊號之主動上拉電路)

英文發明摘要 (發明之名稱：ACTIVE PULLUP CIRCUITRY FOR OPEN-DRAIN SIGNALS)

full whenever voltage exceeds the threshold.
Circuitry may also be provided to monitor voltage slew rate on the signal line, and to enable the additional pullup current only when the slew rate exceeds a positive threshold level.



六、申請專利範圍

1. 一種用於一開路汲極信號線之上拉電路，該上拉電路係包含：

用以監督在一開路汲極信號線上之一信號電壓位準之電路；

用以監督在開路汲極信號線上的該信號之回轉率之電路；及

用以回應該受監督的電壓位準及回轉率而將一上拉電流提供給該開路汲極信號線之電路。

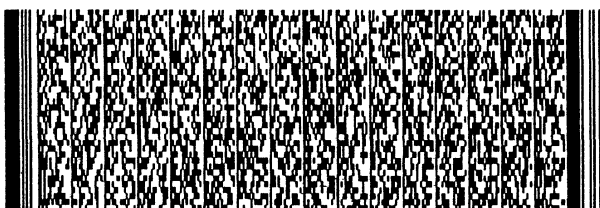
2. 如申請專利範圍第1項之上拉電路，其進一步包含用以限制該上拉電流至一上限之電路。

3. 如申請專利範圍第1項之上拉電路，其中用以提供該上拉電流的電路係包含：第一電路，用以提供獨立於受監督電壓位準的上拉電流之第一部份；及第二電路，用以回應該受監督的電壓位準的上拉電流之第二部份。

4. 如申請專利範圍第3項之上拉電路，其中提供上拉電流第二部份之電路進一步包含僅在受監督之回轉率超過一回轉率臨界值時才提供上拉電流第二部份之電路。

5. 如申請專利範圍第1項之上拉電路，其中該上拉電流可回應該電壓位準增加，而該電壓位準係超過一電壓臨界值，其中該上拉電流的增加係與該電壓臨界值有關的一電壓位準函數。

6. 如申請專利範圍第1項之上拉電路，其中該上拉電流可回應受監督的回轉率增加，該受監督的回轉率係超過一回轉率臨界值。



六、申請專利範圍

7. 一種用以偏壓一開路汲極信號線之方法，該方法係包含：

提供一上拉電流給該信號線；

監督該信號線上之一信號之電壓位準；

監督在該信號線上的該信號回轉率；及

回應該受監督的回轉率而將額外的上拉電流提供給該信號線，該受監督的回轉率係超過一回轉率臨界值。

8. 如申請專利範圍第7項之方法，其進一步係包含監督該信號的一電壓位準，並回應該受監督的電壓位準提供該額外的電流，該受監督的電壓位準係超過一電壓位準臨界值。

9. 如申請專利範圍第8項之方法，其中提供給該信號線的額外上拉電流量係與該電壓臨界值有關的電壓位準函數。

10. 如申請專利範圍第7項之方法，其中提供該上拉電流係包含該受監督的回轉率之一第一獨立流通，及回應該受監督的回轉率提供一第二電流。

11. ~~X~~如申請專利範圍第10項之方法，其中該第二電流係回應該受監督的回轉率而提供，該受監督的回轉率係超過一回轉率臨界值。

12. 一種用以偏壓一開路汲極信號線之電路，該電路包含：

一具有一輸入及一輸出之電流鏡，該輸出用以回應該輸入上的一電流而將上拉電流提供給該開路汲極信號線；



六、申請專利範圍

耦合至該電流鏡之輸入端之一固定電流源；及

耦合至該電流鏡之輸入端及該信號線之一可變電流源，其中該可變電流源響應於該信號線上之一電壓而提供一電流。

13. 如申請專利範圍第12項之電路，其中該可變電流源包含一電晶體。

14. 如申請專利範圍第12項之電路，其中該可變電流源更包含一差動器，該差動器具有一耦合至該信號線上之一輸入，用以監督在信號線上之回轉率，且其中該可變電流源僅在該回轉率超過一預定之臨界值時才提供一電流。

15. 如申請專利範圍第14項之電路，其中只有當該電壓超過一臨界值的時候，該可變電流才提供電流至該電流鏡之輸入。

16. 如申請專利範圍第12項之電路，其進一步係包含用以將該上拉電流限制在一預定最大值的電路。

17. 一種用以在一開路汲極信號上減少信號上升時間之方法，該方法係包含：

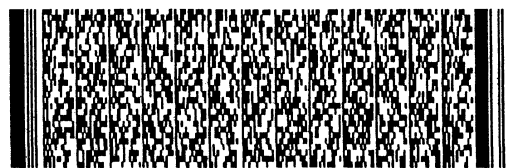
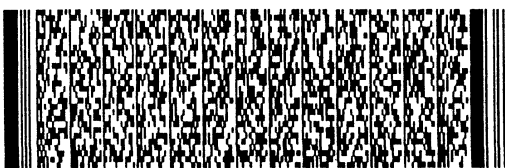
提供該上拉電流給信號線；

監督在該信號線上之一電壓；

監督在該信號線上之電壓之回轉率；

決定在該信號線上的電壓回轉率是否超過一預定的回轉率臨界值；及

如果該回轉率係超過該預定的回轉率臨界值，便增加上拉電流至該信號線。



六、申請專利範圍

18. ☒ 申請專利範圍第17項之方法，其中該增加的上拉電流的大小是由在信號線上的電壓決定。

19. 一種開路汲極信號線之上拉電路，該上拉電路係包含：

用以監督在該信號線上一信號之電壓位準之裝置；

用以監督在該信號線上的一信號回轉率之裝置；及

用以回應該受監督的電壓及回轉率而將一電流提供給該信號線之裝置。

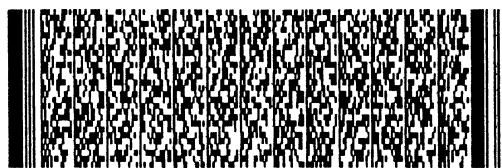
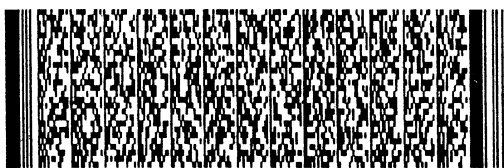
20. 如申請專利範圍第19項之上拉電路，其進一步用以限制上拉電流至一上限的裝置。

21. 如申請專利範圍第19項之上拉電路，其中用以提供該上拉電流的電路係包含第一裝置，用以提供獨立於該受監督回轉率的一第一電流；及第二裝置，用以回應該受監督的回轉率提供一第二電流。

22. 如申請專利範圍第21項之上拉電路，其進一步係包含用以回應在該信號線上的信號之一電壓位準增加該第二電流的裝置。

23. 如申請專利範圍第22項之上拉電路，其中該上拉電流係回應該電壓位準增加，該電壓位準係超過一電壓臨界值，而其中該上拉電流的增加是與該電壓臨界值有關的電壓位準函數。

24. 如申請專利範圍第23項之上拉電路，其中該上拉電流係回應該受監督的回轉率增加，該受監督的回轉率係超過一回轉率臨界值。



六、申請專利範圍

25. 一種用以上拉一開路汲極信號線之電路，該電路係包含：

位準監督電路，用以在該開路汲極信號線上提供一電壓之一第一信號指示；

回轉率監督電路，用以在該信號線上提供該電壓回轉率的一第二信號指示；

一第一電流源，用以將一上拉電流提供給該信號線；及控制電路，用以回應該等第一及第二信號而控制該上拉電流。

26. 如申請專利範圍第25項之電路，其中該位準監督電路係包含一第一比較器，而該回轉率偵測電路係包含耦合至一第二比較器的一電容器。

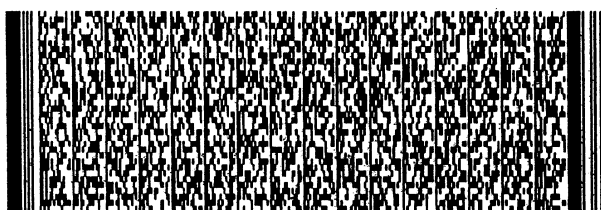
27. 如申請專利範圍第26項之電路，其中該第一信號係指示在信號線上的電壓係超過一預定的電壓，而該第二信號係指示在信號線上的電壓回轉率係超過一預定的回轉率。

28. 如申請專利範圍第26項之電路，其中該控制電路係包含回應該等第一及第二信號而啟動的開關。

29. 如申請專利範圍第28項之電路，其中該信號線的第一電流源係包含一電阻。

30. 如申請專利範圍第28項之電路，其中該信號線的第一電流源係包含一固定的電流源。

31. 如申請專利範圍第28項之電路，其進一步包含用以將一上拉電流提供給該信號線的一第二電流源，而不管該



六、申請專利範圍

等第一及第二信號。

32. 如申請專利範圍第31項之電路，其中該第二電流源係包含用以回應一關閉信號而減少上拉電流量的電路。



圖式

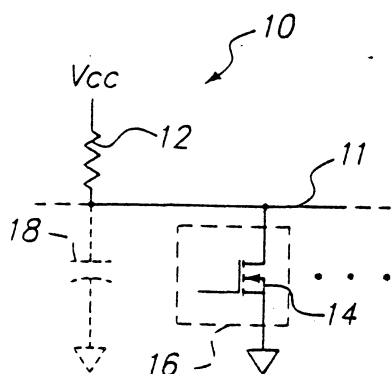


圖 1A

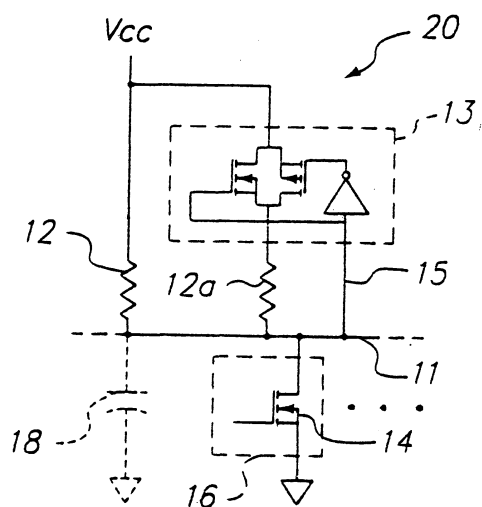


圖 1B

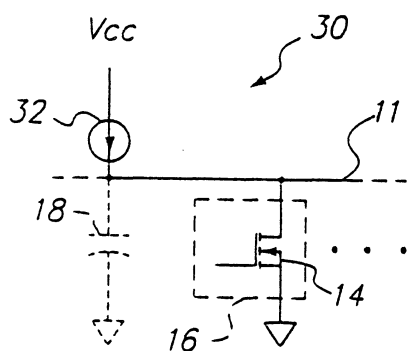


圖 1C

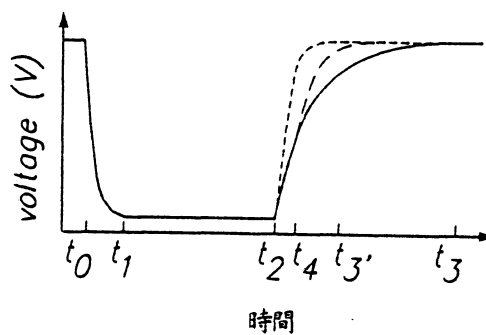
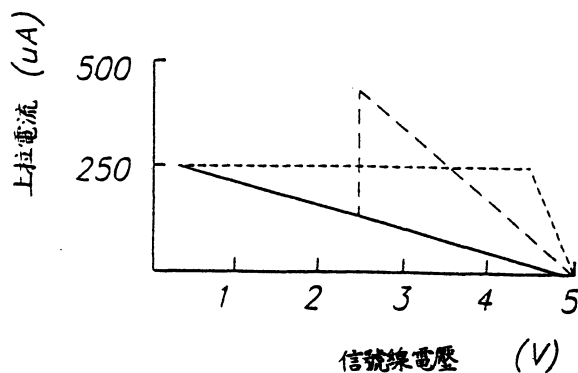


圖 2A

圖 2B



圖式

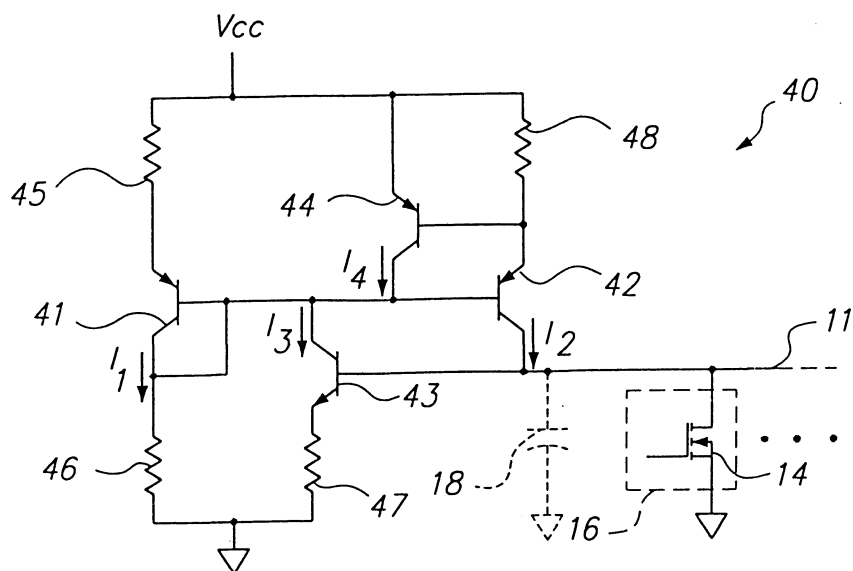


圖 3

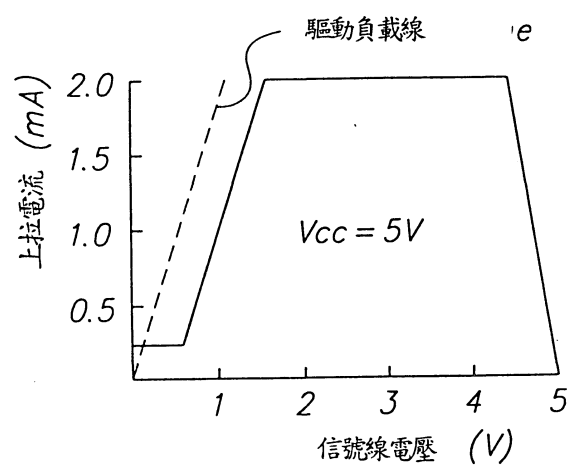


圖 4

圖式

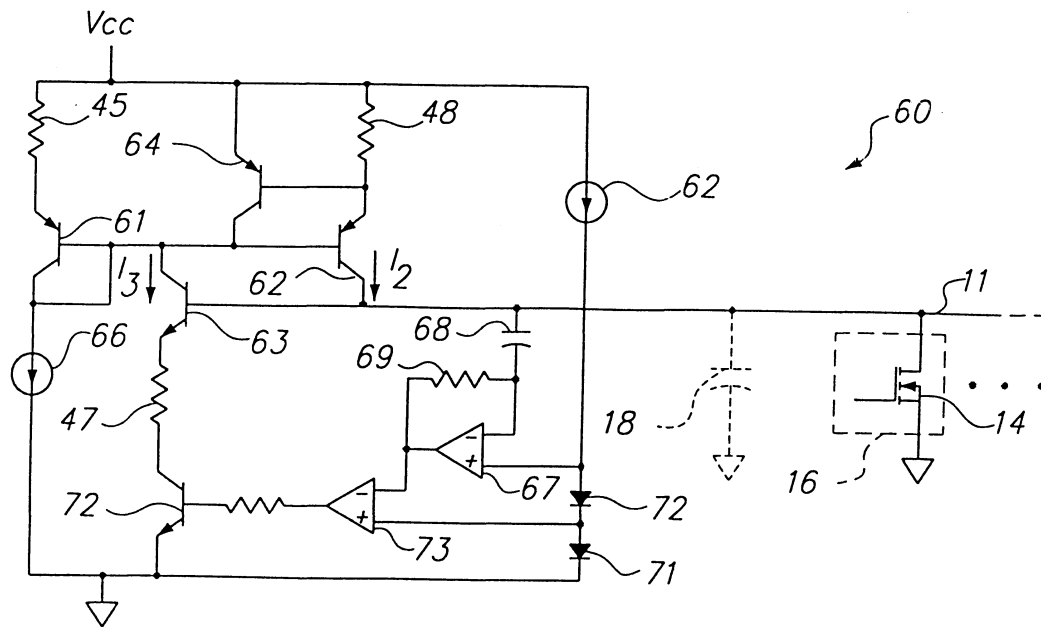


圖 5

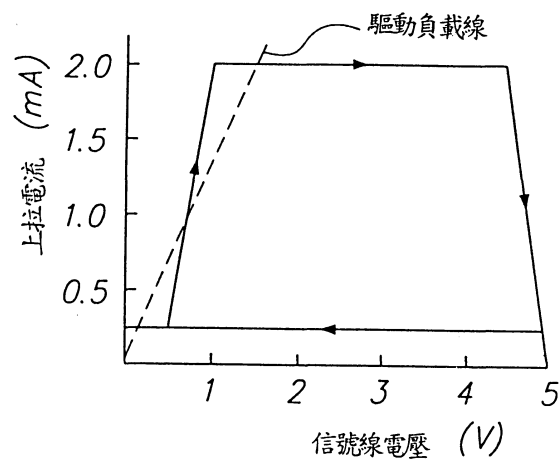


圖 6

圖式

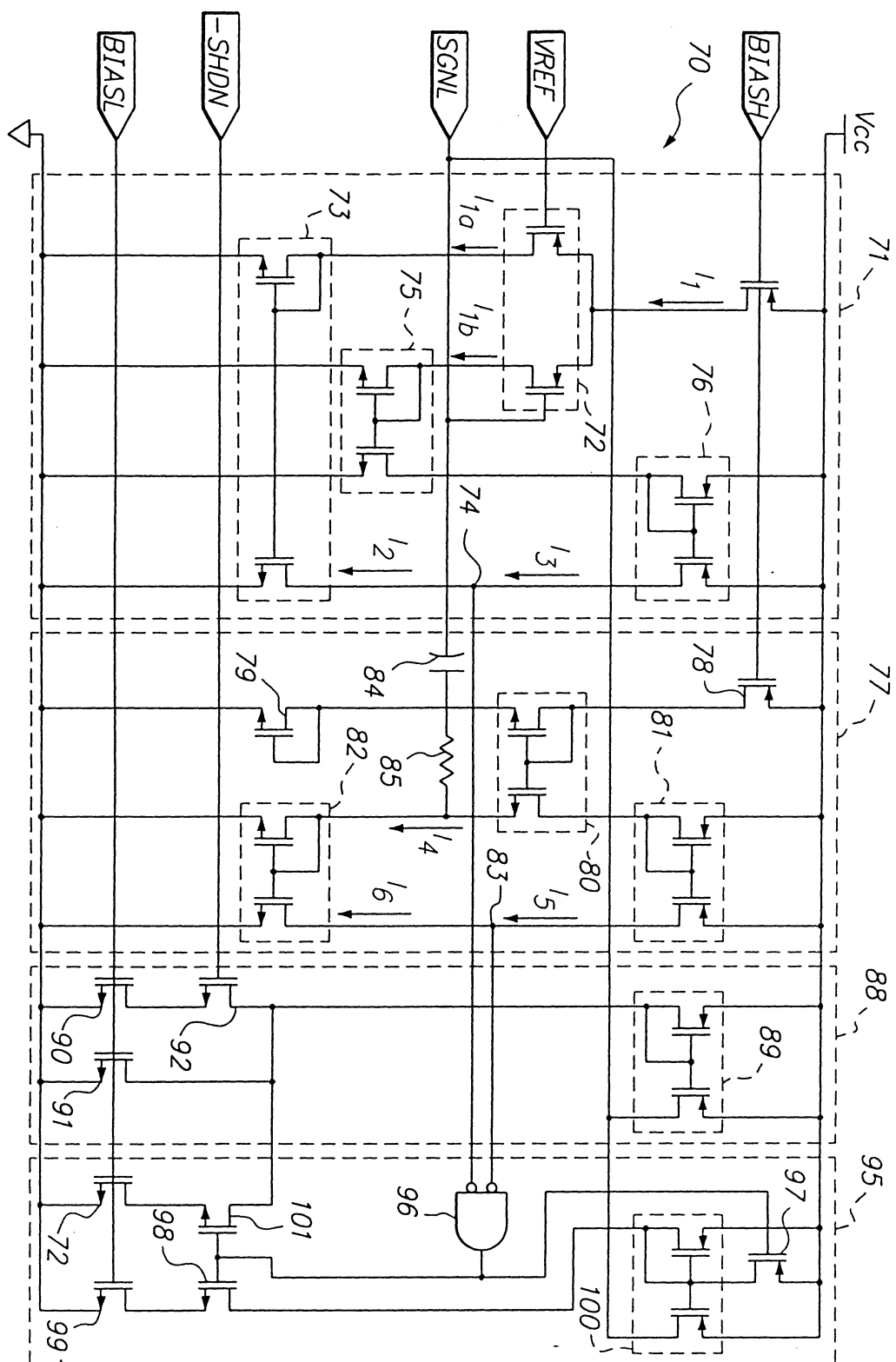


圖 7