

Octrooiraad



⑩ A **Terinzagelegging** ⑪ **7907962**

Nederland

⑲ NL

-
- ⑤4 **Stapelgeheugen.**
⑤1 Int.Cl³.: G11C7/00.
⑦1 Aanvrager: Vmei 'Lenin' te Sofia.
⑦4 Gem.: Ir. N.A. Stigter c.s.
Octroobureau Los en Stigter B.V.
Weteringschans 96
1017 XS Amsterdam.

-
- ②1 Aanvraag Nr. 7907962.
②2 Ingediend 30 oktober 1979.
③2 Voorrang vanaf 8 november 1978.
③3 Land van voorrang: Bulgarije (BG).
③1 Nummer van de voorrangsaanvraag: 41323.
②3 --
⑥1 --
⑥2 --

-
- ④3 Ter inzage gelegd 12 mei 1980.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

Stapelgeheugen.

De uitvinding heeft betrekking op een stapelgeheugen, voorzien van een aantal over poortcircuits in beide richtingen achter elkaar geschakelde registers, waardoor een tegenfase-verbinding tussen de registers is verkregen, waar-
5 bij elk poortcircuit uit 2 n parallel geschakelde EN-poorten bestaat, waarbij n het aantal cijfers in het register is, en waarbij de informatie-ingangen van het stapelgeheugen met de ingangen van het eerste register zijn verbonden, terwijl de uitgangen van het eerste en tweede register de informatie-
10 uitgangen van het stapelgeheugen vormen. Een dergelijk stapelgeheugen kan worden gebruikt voor de tijdelijke opslag van gegevens, die door een elektronische computer worden bewerkt. In dit geheugen kunnen N binaire getallen met een lengte van n-bits worden opgeslagen en het geheugen zou
15 deel kunnen uitmaken van de verwerkingseenheden voor grote digitale computers en voor digitale mini- en micro-computers.

Er is een registergeheugen van het cassette-type bekend, dat wordt toegepast als deel van de verwerkingseenheden van bepaalde digitale computers en dat bestaat uit
20 N registers van n-bits, die vanaf het eerste naar het laatste register en in omgekeerde richting in serie zijn geschakeld over poortcircuits ter verkrijging van een parafase-verbinding van de registers. De poortcircuits bestaan uit 2 n EN-poorten, waarvan de sturingen met de besturings-
25 bus zijn verbonden, ten einde de inhoud van de registers van het eerste naar het laatste over te dragen, de inhoud van het eerste register in het tweede register te kopiëren en de inhoud van het eerste en het tweede register te verwisselen.

Dit bekende geheugen heeft het nadeel, dat
30 het onmogelijk is om reeds bewerkte gegevens opnieuw te registreren, zonder de volgorde van de gegevens in het geheugen te verstoren, terwijl het voorts onmogelijk is om gegevens tussen willekeurige registers uit te wisselen, waarbij de gegevens uit het geheugen worden opgehaald.

35 Er is een stapelgeheugen bekend, dat is gerealiseerd in een gewoon geheugen en dat bestaat uit een indicator voor de huidige cel van het stapelgeheugen en de gewone geheugencellen.

7907962

Dit bekende stapelgeheugen heeft andere nadelen dan het bovengenoemde geheugen van het cassette-type, welke nadelen hierin bestaan, dat dit stapelgeheugen trager is, hetgeen samenhangt met het uitlezen en inschrijven van gegevens in het geheugen, terwijl tevens een deel van het geheugen in beslag wordt genomen, wanneer het stapelgeheugen deel uitmaakt van de verwerkingseenheid van de digitale computer.

De uitvinding beoogt een stapelgeheugen van de in de aanhef genoemde soort te verschaffen, dat de eenvoudige opbouw van het geheugen van het cassette-type heeft en de mogelijkheid om de inhoud van de registers in voorwaartse richting over te dragen, de inhoud van het eerste register te kopiëren, en de gegevens tussen het eerste en het tweede register uit te wisselen, waarbij het tevens mogelijk is om de inhoud van het eerste en het tweede register te bewaren, wanneer een overdracht in voorwaartse richting en achterwaartse richting terug naar het laatstgenoemde register voor verder gebruik plaatsvindt, terwijl voorts een willekeurige uitwisseling tussen de registers van het stapelgeheugen kan plaatsvinden, wanneer op de ingang een bepaalde reeks besturingsignalen wordt aangeboden.

Volgens de uitvinding heeft het stapelgeheugen hiertoe het kenmerk, dat de sturingangen van de poortcircuits, die de uitgangen van de registers vanaf het tweede tot en met het voorlaatste register verbinden met de ingangen van het daaropvolgende hoger genummerde register, zijn verbonden met een eerste besturingsingang en over een invertor met een tweede besturingsingang van het stapelgeheugen, terwijl de sturingangen van de poortcircuits, die de ingangen van de registers vanaf het tweede tot en met het voorlaatste register verbinden met de uitgangen van het daaropvolgende hoger genummerde register, over een invertor zijn verbonden met de eerste besturingsingang, waarbij de uitgangen van het tweede register zijn verbonden met de ingangen van het eerste register over poortcircuits, waarvan de sturingangen zijn verbonden met de tweede besturingsingang en over een invertor met een derde besturingsingang, alsmede met de ingangen van het laatste register over een poortcircuit, waarvan de sturingangen over de bijbehorende invertors met de eerste en tweede besturingsingang en rechtstreeks met de derde besturingsingang

7907962

zijn verbonden, terwijl de uitgangen van het eerste register zijn verbonden met de ingangen van het tweede register over een poortcircuit, waarvan de sturingang is verbonden met de eerste besturingsingang, alsmede met de ingangen van het laatste register over een poortcircuit, waarvan de sturingangen over de bijbehorende invertor met de eerste besturingsingang en rechtstreeks met de tweede besturingsingang zijn verbonden, waarbij de ingangen van het eerste register zijn verbonden met de uitgangen van het laatste register over een poortcircuit, waarvan de sturingangen rechtstreeks met de eerste besturingsingang en over de bijbehorende invertors met de tweede en de derde besturingsingang zijn verbonden.

Op deze wijze wordt bereikt, dat een willekeurige parallele uitwisseling van gegevens tussen de registers mogelijk is, terwijl gegevens uit het eerste en het tweede register herhaald in het laatste register kunnen worden ingeschreven om voor verder gebruik te worden bewaard, waarbij de opbouw hetzelfde wordt gehouden.

De invoer en uitvoer van gegevens kan bij het stapelgeheugen volgens de uitvinding volgens verschillende organisatiestelsels plaatsvinden: "laatst in - eerst uit"; "eerst in - eerst uit" en "eerst in - laatst uit". Met het stapelgeheugen volgens de uitvinding kunnen rekenkundige uitdrukkingen worden geëvalueerd, waarvan de operand-elementen in een willekeurige volgorde in het stapelgeheugen zijn opgeslagen. De mogelijke willekeurige parallele uitwisseling van gegevens tussen de registers leidt tot een snellere uitvoering van een groot aantal algoritmen voor gegevensverwerking, die in het stapelgeheugen zijn geladen, waardoor tevens dergelijke stapelgeheugens algemeen kunnen worden toegepast in het ontwerp van de centrale verwerkingseenheden voor grote computers en voor mini- en micro-computers.

De uitvinding wordt hierna nader toegelicht aan de hand van de tekening, waarin een blokschema van een uitvoeringsvorm van het stapelgeheugen volgens de uitvinding is weergegeven. Het afgebeelde stapelgeheugen bestaat uit N registers 2 met n cijfers en uit poortcircuits voor het verkrijgen van een parafaze-verbinding van de registers 2. Elk van de poortcircuits bestaat uit 2 n EN-poorten, die parallel zijn geschakeld. De sturingangen van de poortcircuits

1, die de uitgangen van de registers 2 vanaf het tweede tot en met het voorlaatste register verbinden met de ingangen van het daaropvolgende hoger genummerde register, zijn aangesloten op een eerste besturingsingang 3 van het stapelgeheugen en over een invertor 6 met een tweede besturingsingang 4. De sturingangen van de poortcircuits 7, die de ingangen van de registers 2 vanaf het tweede tot en met het voorlaatste register verbinden met de uitgangen van het daaropvolgende hoger genummerde register, zijn over een invertor 6 op de eerste besturingsingang 3 aangesloten. De uitgangen van het tweede register zijn verbonden met de ingangen van het eerste register over een poortcircuit 8, waarvan de sturingangen op de tweede besturingsingang 4 en over een invertor 6 op een derde besturingsingang 5 zijn aangesloten. Voorts zijn de uitgangen van het tweede register verbonden met de ingangen van het laatste register over een poortcircuit 9, waarvan de sturingangen over de invertors 6 op de eerste en de tweede besturingsingang 3 resp. 4 en rechtstreeks op de derde besturingsingang 5 zijn aangesloten. De uitgangen van het eerste register zijn verbonden met de ingangen van het tweede register over een poortcircuit 10, waarvan de sturingang is aangesloten op de eerste besturingsingang 3. Tevens zijn de uitgangen van het eerste register aangesloten op de ingangen van het laatste register over een poortcircuit 11, waarvan de ingangen over een invertor 6 op de eerste besturingsingang 3 en rechtstreeks op de tweede besturingsingang 4 zijn aangesloten. De ingangen van het eerste register zijn voorts verbonden met de uitgangen van het laatste register over een poortcircuit 12, waarvan de sturingangen op de eerste besturingsingang 3 en over invertors 6 op de tweede en de derde besturingsingang 4, resp. 5 zijn aangesloten. De ingangen 13 en 14 dienen voor het invoeren of laden van gegevens in het stapelgeheugen en zijn verbonden met de ingangen van het eerste register, terwijl de uitgangen 15 van het eerste register en de uitgangen 16 van het tweede register de gegevens-uitgangen van het stapelgeheugen vormen. De aansluitingen voor de voeding en de synchronisatie van het stapelgeheugen zijn in de tekening niet weergegeven.

De werking van het beschreven stapelgeheugen is als volgt:

7907962

Wanneer een besturingscode 100 aan de besturings-
 ingangen 3, 4 en 5 wordt aangeboden, worden de registers 2
 door de poortcircuits 10, 1, 12, die door deze code worden
 5 vrijgegeven, zodanig met elkaar verbonden, dat de inhoud van
 elk register naar het volgende hoger genummerde register
 wordt doorgegeven. De gegevens in het stapelgeheugen worden
 één stap in de richting van het laatste register verschoven
 en vanuit het laatste register naar het eerste register ge-
 10 schoven, dat wil zeggen, dat de volgende transformatie voor
 het stapelgeheugen is uitgevoerd:

$$\bar{S} = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ N & 1 & 2 & \dots & N-2 & N-1 \end{pmatrix}$$

De eerste rij geeft het nummer van het register,
 dat de inhoud van het overeenkomende register uit de tweede
 15 rij van de transformatie ontvangt. Wanneer de besturingscode
 101 aan de ingangen 3, 4 en 5 wordt geleverd, wordt de vol-
 gende transformatie uitgevoerd:

$$r = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ 1 & 1 & 2 & \dots & N-2 & N-1 \end{pmatrix}$$

waardoor de inhoud van het eerste register in het tweede re-
 20 gister wordt gecopieerd, terwijl de inhoud van de overige re-
 gisters een stap in de richting van het laatste register
 wordt verschoven. De beide bovengenoemde besturingscodes wor-
 den gebruikt om het stapelgeheugen te laden.

Wanneer de besturingscode 010 aan de ingangen
 25 3, 4 en 5 wordt geleverd, worden de registers 2 met elkaar
 verbonden door de poortcircuits 7,8 en 11, zodat de inhoud
 van elk register in voorwaartse richting wordt verschoven,
 terwijl de inhoud van het eerste register in het laatste
 register wordt vastgelegd, zodat het stapelgeheugen de
 30 transformatie

$$S = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ 2 & 3 & 4 & \dots & N & 1 \end{pmatrix}$$

uitvoert, waardoor de gegevens in het stapelgeheugen naar het
 begin voor uitlezing worden verschoven, terwijl de inhoud
 van het eerste register in het laatste register wordt ge-
 35 copieerd en, indien nodig, later kan worden gebruikt. Wanneer
 de besturingscode 001 is, wordt de inhoud van de registers 2
 via de poortcircuits 7 en 9 in voorwaartse richting verscho-
 ven vanaf het laatste naar het tweede register, terwijl de

7907962

inhoud van het eerste register wordt bewaard, zodat de transformatie

$$p = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ 1 & 3 & 4 & \dots & N & 2 \end{pmatrix}$$

wordt uitgevoerd, welke nodig is, wanneer in het eerste register 5 ter bepaalde resultaten worden bewaard als de eerste operand, terwijl zich in het derde register de tweede operand bevindt. Gedurende de transformatie wordt de inhoud van het tweede register in het laatste register bewaard en kan deze inhoud later worden gebruikt. Wanneer de code op de ingangen 3, 4 en 5 10 011 is, wordt de transformatie

$$q = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ 1 & 3 & 4 & \dots & N & 1 \end{pmatrix}$$

uitgevoerd, waardoor de inhoud van de registers 2 vanaf het laatste tot het derde register in voorwaartse richting wordt verschoven, terwijl de inhoud van het eerste register wordt 15 bewaard en tevens in het laatste register wordt gecopieerd. De beide laatstgenoemde besturingscodes spelen eenzelfde rol en verschillen alleen in de inhoud van het register, die in het laatste register wordt bewaard. Wanneer de code 110 is, verwisselen de registers 1 en 2 hun inhoud, terwijl de 20 inhoud van de overige registers ongewijzigd blijft, welke transformatie door de poortcircuits 10 en 8 wordt verzorgd. De transformatie is

$$t = \begin{pmatrix} 1 & 2 & 3 & \dots & N-1 & N \\ 2 & 1 & 3 & \dots & N-1 & N \end{pmatrix}$$

Deze transformatie is nodig, wanneer voor bepaalde rekenkun- 25 dige bewerkingen de plaatsen van de beide operands moet worden verwisseld. De codes 000 en 111 zijn niet toegestaan. Er is niet voorzien in een combinatie van de besturingsingangen 3, 4 en 5, waarbij de inhoud van alle registers wordt gewijzigd. Indien een dergelijke transformatie nodig is, dient 30 het mogelijk te zijn de besturingsbus of een buslijn uit te schakelen, waardoor deze wijziging mogelijk wordt.

De in twee richtingen werkzame informatie- ingangen 13 kunnen worden gebruikt voor het inschrijven/ uitlezen van gegevens, afkomstig van rand-geheugenorganen, 35 terwijl de ingangen 14 kunnen worden gebruikt voor het overnemen van het resultaat van een rekenorgaan, waarvan de ingangen met de uitgangen 15 en 16 zijn verbonden.

7907962

De parafase -doorzending van informatie tussen de registers is noodzakelijk, aangezien bij een monofase-verbinding tussen de registers, de inhoud van de registers, welke niet worden gewijzigd, gelijk aan 0 zou worden gemaakt, 5 waarbij bovendien de onderlinge verbindingen tussen de registers gecompliceerder zou worden en het combinatorische deel van de schakeling uitgebreider zou worden. De transformaties $\bar{S}$, s , p , t , q , r vormen de basis voor alle transformaties uit de groep

$$10 \quad \{1, 2, \dots, N\}$$

Derhalve kan elke parallelle uitwisseling tussen de registers worden gerealiseerd, wanneer het juiste besturingswoord, dat uit deze codes is samengesteld, wordt aangeboden, als de transformatie, die met deze verwisseling overeenkomt, wordt 15 uitgewerkt als een product van de basistransformaties $\bar{S}$, s , p , t , q , r . Om de uitwerking van een willekeurige transformatie te vinden, worden bestaande algorithmen en computerprogramma's gebruikt. Als voor het aantal registers geldt $N = 8$, is voor het realiseren van de transformatie

$$20 \quad \varphi = \begin{pmatrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 \\ 3 & 3 & 1 & 4 & 5 & 6 & 7 & 8 \end{pmatrix}$$

bijvoorbeeld nodig, om het volgende besturingswoord aan te bieden 110, 100, 110, 101, aangezien de uitwerking van φ bij $N = 8$ in de basistransformaties gelijk is aan

$$\varphi = r.t.s.t.$$

25 Bij de uitwerking van de transformaties vindt vermenigvuldiging van links naar rechts plaats, terwijl het besturingswoord wordt gevormd door de basistransformaties in omgekeerde volgorde te nemen. De transformatie is bijvoorbeeld nodig, wanneer de inhoud van het derde register tot de macht 2 moet 30 worden verhoogd en het resultaat bij de inhoud van het eerste register moet worden opgeteld, terwijl de nog volgende bewerkingen de inhoud van de andere registers zonder wijziging in de oorspronkelijke volgorde gebruiken.

C o n c l u s i e .

Stapelgeheugen, voorzien van een aantal over poortcircuits in beide richtingen achter elkaar geschakelde registers, waardoor een tegenfase-verbinding tussen de registers is verkregen, waarbij elk poortcircuit uit 2 n parallel geschakelde EN-poorten bestaat, waarbij n het aantal cijfers in het register is en waarbij de informatie-ingangen van het stapelgeheugen met de ingangen van het eerste register zijn verbonden, terwijl de uitgangen van het eerste en het tweede register de informatie-uitgangen van het stapelgeheugen vormen, m e t h e t k e n m e r k, dat de sturingangen van de poortcircuits (1), die de uitgangen van de registers (2) vanaf het tweede tot en met het voorlaatste register verbinden met de ingangen van het daarop volgende hoger genummerde register, zijn verbonden met een eerste besturingingang (3) en over een invertor (6) met een tweede besturingsingang (4) van het stapelgeheugen, terwijl de sturingangen van de poortcircuits (7), die de ingangen van de registers (2) vanaf het tweede tot en met het voorlaatste register verbinden met de uitgangen van het daaropvolgende hoger genummerde register, over een invertor (6) zijn verbonden met de eerste besturingsingang (3), waarbij de uitgangen van het tweede register zijn verbonden met de ingangen van het eerste register over poortcircuits (8), waarvan de sturingangen zijn verbonden met de tweede besturingsingang (4) en over een invertor (6) met een derde besturingsingang (5), alsmede met de ingangen van het laatste register over een poortcircuit (9) waarvan de sturingangen over de bijbehorende invertors (6) met de eerste en tweede besturingsingang (3, 4) en rechtstreeks met de derde besturingsingang (5) zijn verbonden, terwijl de uitgangen van het eerste register zijn verbonden met de ingangen van het tweede register over een poortcircuit (10), waarvan de sturingang is verbonden met de eerste besturingsingang (3), alsmede met de ingangen van het laatste register over een poortcircuit (11), waarvan de sturingangen over de bijbehorende invertor (6) met de eerste besturingsingang (3) en rechtstreeks met de tweede besturingsingang (4) zijn verbonden, waarbij de ingangen van het eerste register zijn verbonden met de uitgangen van het laatste register over een poortcircuit (12), waarvan de sturingangen rechtstreeks met de eerste

7907962

besturingsingang (3) en over de bijbehorende invertors (6)
met de tweede en de derde besturingsingang (4,5) zijn
verbonden.

7907962

