



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월04일

(11) 등록번호 10-1498514

(24) 등록일자 2015년02월26일

(51) 국제특허분류(Int. Cl.)

G11C 5/14 (2006.01) G11C 29/10 (2015.01)

(21) 출원번호 10-2010-7000648

(22) 출원일자(국제) 2008년05월28일

심사청구일자 2013년05월28일

(85) 번역문제출일자 2010년01월12일

(65) 공개번호 10-2010-0047216

(43) 공개일자 2010년05월07일

(86) 국제출원번호 PCT/US2008/064969

(87) 국제공개번호 WO 2009/011977

국제공개일자 2009년01월22일

(30) 우선권주장

11/777,635 2007년07월13일 미국(US)

(56) 선행기술조사문헌

JP2006114078 A*

KR1020060053978 A*

US7170091 B2

US7079443 B2

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

프리스케일 세미컨터터, 잉크.

미합중국 텍사스 (우편번호 78735) 오스틴 월리암
캐든 드라이브 웨스트 6501

(72) 발명자

큐래시, 카디르, 에이.

미국 텍사스 78620 드리핑 스프링스 스텁보트 크
로싱 394

다바르, 수샤마

미국 텍사스 78735 오스틴 바톤 크릭 블러바드
#34 2300

쥬, 토마스

미국 텍사스 78749 오스틴 아이달리아 4020

(74) 대리인

장훈

전체 청구항 수 : 총 6 항

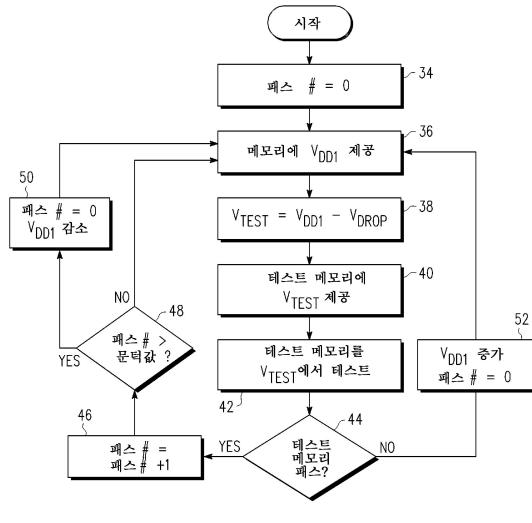
심사관 : 손준영

(54) 발명의 명칭 메모리용 동적 전압 조정

(57) 요 약

집적 회로(10) 상의 메모리(14)용 전력 공급 전압은 메모리의 동작 중에 동적으로 조정된다. 메모리의 동작은 메모리를 공급 전압(V_{DD1})에서 전압 공급하는 것을 포함한다. 집적 회로의 테스트 메모리(16)는 메모리를 동작시키면서 동시에 전압 공급된다. 테스트 메모리와 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 구비한다. 공급 전압의 전압 레벨은, 테스트 메모리의 테스트에 기초하여, 메모리를 동작시키는 동안 조정된다 (30). 전압 레벨은 메모리의 실패없는 동작을 보장할 뿐 아니라 공급 전압을 정확히 최소화하는 값을 취하도록 외부 변경에 의해 조정된다. 시스템 및 방법은 임의 형태의 메모리에 의해 실행될 수 있다. 메모리(14)와 테스트 메모리(16)는 집적 회로 상에 분리되거나 산재되어 물리적으로 실행될 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

공급 전압으로 메모리에 전압 공급하는 것을 포함하는, 집적 회로의 메모리를 동작시키는 단계,

상기 메모리를 동작시키는 동안 동시에 상기 집적 회로의 테스트 메모리를 테스트하는 단계로서, 상기 테스트 메모리와 상기 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 구비하고, 테스트 메모리를 테스트하는 상기 단계는 상기 공급 전압과 다른 테스트 공급 전압으로 상기 테스트 메모리에 전력 공급하는 단계를 포함하는, 상기 테스트 메모리를 테스트하는 단계, 및

상기 메모리를 동작시키는 동안, 상기 테스트 메모리의 테스트에 기초하여, 상기 공급 전압의 전압 레벨을 조정하는 단계를 포함하는, 메모리 전압 공급 방법.

청구항 2

제 1 항에 있어서, 상기 테스트 단계는 테스트를 패스한 테스트 메모리에 전압 공급하기 위하여 최소 테스트 전압 레벨을 결정하는 단계를 포함하고,

상기 조정 단계는 최소 전압 레벨의 결정에 기초한 전압 레벨로 상기 공급 전압을 제공하는 단계를 포함하는, 메모리 전압 공급 방법.

청구항 3

집적 회로의 메모리에 동작 전압 레벨로 전압 공급하는 단계;

상기 동작 전압 레벨과 다른 제 1 테스트 전압 레벨로 상기 집적 회로의 테스트 메모리를 첫번째 테스트하는 단계로서, 상기 테스트 메모리 및 상기 메모리 각각은 제 1 비트 셀 구조 형태의 비트 셀들을 구비하는, 상기 첫 번째 테스트하는 단계;

상기 첫번째 테스트에 기초하여 상기 동작 전압 레벨을 제 1 조정된 동작 전압 레벨로 조정하는 단계;

첫번째 조정 이후 제 1 조정된 동작 전압 레벨로 상기 메모리에 전압 공급하는 단계;

상기 제 1 조정된 동작 전압 레벨과 다른 제 2 테스트 전압 레벨로 상기 테스트 메모리를 두번째 테스트하는 단계;

상기 두번째 테스트에 기초하여 상기 제 1 조정된 동작 전압 레벨을 제 2 조정된 동작 전압 레벨로 조정하는 단계; 및

상기 제 1 조정된 동작 전압 레벨의 조정 이후, 상기 제 2 조정된 동작 전압 레벨로 상기 메모리에 전압 공급하는 단계를 포함하는, 메모리 전압 공급 방법.

청구항 4

제 3 항에 있어서, 상기 첫번째 테스트 단계는 다수의 전압 레벨들로 상기 테스트 메모리에 전압 공급하면서 상기 테스트 메모리를 테스트하는 단계 및 다수의 전압 레벨들 중에서 상기 테스트의 패스를 나타내는 제 1 최저 전압 레벨을 결정하는 단계를 포함하며, 상기 제 1 조정된 동작 전압 레벨은 상기 제 1 최저 전압 레벨에 기초하고,

상기 두번째 테스트 단계는 다수의 전압 레벨들로 상기 테스트 메모리에 전압 공급하면서 상기 테스트 메모리를 테스트하는 단계 및 상기 다수의 전압 레벨들 중에서 상기 테스트의 패스를 나타내는 제 2 최저 전압 레벨을 결정하는 단계를 포함하며, 상기 제 2 조정된 동작 전압 레벨은 상기 제 2 최저 전압 레벨에 기초하는, 메모리 전압 공급 방법.

청구항 5

동작 공급 전압을 수용하기 위한 공급 단자를 구비하는, 집적 회로의 메모리;

테스트 메모리에 전압 공급하기 위하여 테스트 공급 전압을 수용하기 위한 테스트 공급 단자를 구비하는, 상기

집적 회로의 테스트 메모리; 및

상기 테스트 메모리의 성능을 테스트 및 결정하기 위해 상기 테스트 메모리에 결합되고, 상기 테스트 메모리가 테스트를 패스하는 테스트 공급 단자에서 수용되는 최저 테스트 공급 전압 레벨을 찾도록 작동가능한 테스트 회로를 포함하고,

상기 테스트 메모리와 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 구비하고,

상기 메모리의 공급 단자는 상기 테스트 회로에 의해 결정되는 상기 테스트 메모리의 성능에 기초하여 메모리 동작 동안 조정가능한 동작 공급 전압을 수용하도록 구성되는, 시스템.

청구항 6

제 5 항에 있어서, 상기 테스트 회로는 상기 동작 공급 전압과 다른 테스트 전압 레벨로 공급되는 상기 테스트 공급 단자를 갖는 상기 테스트 메모리를 테스트하고, 상기 동작 공급 전압은 상기 테스트 메모리가 상기 테스트 전압 레벨로 공급되는 동안 상기 테스트를 패스한다는 판정에 기초하여 제 2 전압 레벨로 저하되는, 시스템.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명세서**기술분야**

[0001] 본 발명은 반도체 집적 회로에 관한 것이며, 보다 구체적으로는 반도체 집적 회로용 전력 관리에 관한 것이다.

배경기술

[0002] 일반적으로, 집적 회로는 가능한 최저의 전력 소비로 동작하는 것이 바람직하다. 전력 소비를 절감하기 위한 한 가지 방법은 집적 회로에 대한 전력 공급 전압을 낮추는 것이다. 전력 절감을 달성하기 위한 공지된 기술은 프로세서를 갖는 집적 회로를 테스트하여 프로세서의 사용 레벨을 결정하는 것이다. 프로세서의 이용율이 저하되면, 프로세서의 동작 주파수가 감소된다. 또한, 프로세서에 공급되는 전압의 양은 프로세서가 보다 효율적으로 동작할 수 있게 하는 소정 양으로 감소된다.

[0003] 전력 절감을 달성하기 위한 다른 공지된 기술은, 특정 집적 회로에 대해 온도 변화를 유도하여 성능을 측정하는 테스트 환경에서 집적 회로를 테스트하는 것이다. 이후 측정된 테스트 결과에 기초하여 전력 공급 전압 값을 선택되어 집적 회로 내에 프로그래밍된다. 테스트 모드 동안 결정되는 전력 공급 전압의 값은 집적 회로가 테스트된 후에 일정하게 유지되며, 따라서 집적 회로가 기능적이도록 특정된 모든 동작 환경을 충족하도록 충분히 높게 선택되어야 한다.

발명의 내용**해결하려는 과제**

[0004] 공급 전압의 전압 레벨은 메모리의 실패없는 동작을 보장할 뿐 아니라 공급 전압을 정확히 최소화하는 값을 취하도록 외부 변경에 의해 조정되어야 한다.

과제의 해결 수단

[0005] 본 발명은 공급 전압으로 메모리에 전압 공급하는 것을 포함하는, 집적 회로의 메모리를 동작시키는 단계, 상기 메모리를 동작시키는 동안 동시에 집적 회로의 테스트 메모리를 테스트하는 단계로서, 상기 테스트 메모리와 상기 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 구비하는 단계, 및 상기 메모리를 동작시키는 동안, 상기 테스트 메모리의 테스트에 기초하여, 공급 전압의 전압 레벨을 조정하는 단계를 포함하는, 메모리 전압 공급 방법이 제공된다.

[0006] 본 발명은 동작 공급 전압을 수용하기 위한 공급 단자를 구비하는, 집적 회로의 메모리; 테스트 메모리에 전압 공급하기 위하여 테스트 공급 전압을 수용하기 위한 테스트 공급 단자를 구비하는, 상기 집적 회로의 테스트 메모리; 및 상기 테스트 메모리의 성능을 테스트 및 결정하기 위해 상기 테스트 메모리에 결합되고, 상기 테스트 메모리가 테스트를 패스하는 테스트 공급 단자에서 수용되는 최저 테스트 공급 전압 레벨을 찾도록 작동가능한 테스트 회로를 포함하고, 상기 테스트 메모리와 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 구비하고, 상기 메모리의 공급 단자는 상기 테스트 회로에 의해 결정되는 상기 테스트 메모리의 성능에 기초하여 메모리 동작 동안 조정가능한 동작 공급 전압을 수용하도록 구성되는, 시스템이 제공된다.

발명의 효과

[0007] 본 발명에 따라 집적 회로 상의 메모리용 전력 공급 전압이 메모리의 동작 중에 동적으로 조정된다.

[0008] 본 발명은 예시적으로 설명되고 첨부 도면에 의해 제한되지 않으며, 이들 도면에서 유사한 구성요소는 유사한 참조부호로 지칭된다. 도면에서의 구성요소는 간명하게 도시되어 있으며, 반드시 실체으로 도시되어 있지는 않다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 한 형태에 따른 동적 전압 조정이 제공된 메모리를 갖는 집적 회로의 블록도.

도 2는 도 1의 집적 회로의 동작의 한 형태의 흐름도.

도 3은 본 발명의 다른 형태에 따른 동적 전압 조정이 구비된 메모리를 갖는 집적 회로의 블록도.

도 4는 도 3의 집적 회로의 동작의 한 형태의 흐름도.

발명을 실시하기 위한 구체적인 내용

[0010] 도 1에는 시스템(10) 내의 메모리용 동적 전압 조정 회로의 한 형태를 실시하는 시스템(10)이 도시되어 있다. 도시된 형태에서 시스템(10)은 집적 회로(12)이다. 집적 회로(12)의 외부에는 전압을 공급하기 위한 전압 공급원(20)이 제공된다. 시스템(10)은 휘발성 메모리 또는 비휘발성 메모리(NVM: nonvolatile memory)일 수 있는 메모리(14)를 갖는다. 상기 메모리(14)는 또한 설명의 편의상 도시되어 있지 않은 디코딩 회로, 감지 증폭기 및 기타 종래의 회로를 구비하는 것을 알아야 한다. 집적 회로(12)에는 테스트 메모리(16)도 제공된다. 테스트 메모리(16)는 메모리(14)와 동일한 형태의 메모리 디바이스이다. 집적 회로(12)는 또한 다양한 추가 논리 및 처리 회로 중 임의의 것을 나타내는 기타 회로(18)를 갖는다. 기타 회로(18)와 메모리(14) 사이의 상호접속 부는 상세히 도시되어 있으며, 본 논의와는 관련이 없다. 테스트 메모리(16)와 메모리(14)는 물리적으로 집적 회로(12)의 다른 부분들에 배치되거나, 집적 회로(12) 내에서 상호 인접하여 배치되거나, 또는 그 사이에 메모리 셀들이 배치될 수 있다. 전압 레귤레이터(22)의 입력부에는 전압 공급원(20)이 접속된다. 전압 레귤레이터(22)는 집적 회로(12)의 일부로서 도시되어 있지만, 집적 회로(12)의 외부에서 실시될 수도 있음을 알아야 한다. 전압 레귤레이터(22)는 V_{DD1} 로 표시되는 제 1 공급 전압을 제공하기 위해 메모리(14)의 전압 입력부에 접속되는 제 1 출력부를 갖는다. 전압 레귤레이터(22)는 V_{DD2} 로 표시되는 제 2 공급 전압을 제공하기 위해 기타 회로(18)의 전압 입력부에 접속되는 제 2 출력부를 갖는다. 메모리(14)를 보다 전력 효율적인 레벨로 작동시키는 한편으로 특정한 메모리 사양의 기타 동작 특성을 만족시키기 위해 제 1 공급 전압은 제 2 공급 전압에 비해 낮거나, 같거나 높을 수 있다. 전압 레귤레이터(22)는 V_{DD1} 공급 전압을 제공하기 위해 전압 저하 회로(24)의 전압 입력부에 접속되는 제 3 출력부를 갖는다. 전압 저하 회로(24)의 출력부는 테스트 메모리(16)의 전압 입력부에 접속되어 " $V_{DD1}-V_{drop}$ "으로 표시되는 전압을 제공한다. V_{drop} 값은 특정 집적 회로 및 특정 애플리케이션에 대한 설계 동안 결정된다. V_{drop} 값은 V_{DD1} 과 테스트 메모리(16)를 기능적 동작에 대해 테스트하기 위해 사용되는 감소된 공급 전압 사이의 전압 구배를 나타낸다. 테스트 메모리(16)는 테스트 회로(26)의 판독 입력부에 판독(Read) 데이터를 제공하기 위한 출력부를 갖는다. 테스트 메모리는 테스트 회로(26)의 기록 출력부로부터 기록(Write) 데이터를 수신하기 위한 데이터 입력부를 갖는다. 테스트 회로(26)에 의해 테스트 메모리(16)에 제공되는 제어 정보는 종래의 방식으로 제어 신호(도시되지 않음)를 통해 결합된다. 테스트 회로(26)의 출력부는 테스트 제어기(28)의 입력부에 패스/실패(Pass/Fail) 신호를 제공한다. 테스트 제어기(28)는 테스트(Test) 신호를 제공하기 위해 테스트 회로(26)의 활성화(enable) 입력부에 접속되는 제 1 출력부를 갖는다. 테스트 제어기(28)의 제 1 출력부는 전압 조정 회로(30)의 제 1 및 제 2 입력부에 "증가(Increase)"로 표시되는 제 1 제어 신호 및 "감소(Decrease)"로 표시되는 제 2 제어 신호를 각각 제공한다. 전압 조정 회로(30)의 출력부는 전압 레귤레이터(22)의 제어 입력부에 $V_{operating}$ 신호를 제공한다.

[0011] 작동 시에, 집적 회로는 메모리(14)에 제공될 최적의 최소 공급 전압을 동적으로 결정하기 위해 추가되는 테스트 메모리(16)를 갖는다. 메모리(14)에 대한 최적의 최소 공급 전압은 메모리(14)가 메모리 동작을 오류없이 수행하는데 필요한 최소의 전력을 소비하면서 특정한(즉, 의도된) 주파수에서 판독 및 기록을 확실하게 할 수 있게 해주는 공급 전압 값이다. 도시된 형태에서, 테스트 메모리(16)는 메모리(14)보다 낮은 공급 전압을 수용한다. 테스트 메모리(16)는 메모리(14)와 동일한 형태(즉 동일한 프로세스 및 동일한 비트 셀 구성)의 메모리 회로이며, 상이한 전력 공급 전압 값에 반응하여 집적 회로의 기능적 동작을 테스트할 목적으로 집적 회로(12)에 존재한다. 테스트 제어기(28) 및 전압 조정 회로(30)의 제어 하에 테스트 회로(26)는 메모리(14)에 전력을 공급하는 공급 전압 V_{DD1} 이 그 최적값으로 설정되어 있는지를 판정한다. 메모리(14)와 테스트 메모리(16)를 동

작시키기 위한 클럭 주파수가 선택되고, 그 동작 주파수는 유지된다. 즉, 집적 회로(12) 내의 클럭 회로는 V_{DD2} 전력 공급 전압에 의해 전압 공급되고, 그 전력 공급 전압은 테스트 회로(26), 테스트 제어기(28) 및 전압 조정 회로(30)에 의해 수정되지 않는다. 테스트 회로(26), 테스트 제어기(28) 및 전압 조정 회로(30)는, 시스템(10)의 메모리(14)가 전력 효율적이고 신뢰성있는 방식으로 동작하도록 전력 공급 전압 V_{DD1} 에 대한 최적의 낮은 값을 결정하기 위해 합동하여 기능한다. 특히, 전압 저하 회로(24)는 메모리(14)에 공급되는 것보다 낮은 공급 전압을 테스트 메모리(16)에 공급하는 기능을 한다. 테스트 회로(26)는 테스트 메모리(16)에 소정의 데이터를 기록하고 그 데이터를 판독하는 기능을 한다. 테스트 회로(26)는 기록된 데이터를 판독된 데이터와 비교하기 위한 비교기로서 기능한다. 데이터 값이 정확히 매칭하면, 테스트 제어기(28)에 패스 신호가 주어진다. 테스트 결과가 패스이면, 테스트 제어기(28)는 테스트 메모리(16)가 오류없이 완전하게 작동하므로 공급 전압이 더 낮아질 수 있음을 나타내는 감소(Decrease) 제어 신호를 전압 조정 회로(30)에 제공한다. 또한, 테스트 제어기(28)는 공급 전압을 낮추기 전에 동일한 공급 전압에 의해 오류없이 이루어지는 테스트 반복들 또는 패스(pas s)들의 횟수를 나타내는 카운트 값을 실행 및 추적한다. 테스트 제어기(28)는 테스트 메모리(16)를 테스트하기 위한 테스트 반복 횟수에 대해 소정의 문턱값을 갖는다. 이 문턱값은 사용자 프로그래밍될 수 있거나 또는 미리 정해져 변경이 불가능할 수 있다. 문턱값이 초과되지 않으면, 테스트 제어기(28)는 테스트 회로(26)에 테스트(Test) 신호를 발생시킨다. 테스트 신호에 응답하여, 테스트 회로(26)는 다시 공지의 데이터 값을 테스트 메모리(16)에 기록하고, 그 값을 판독하여 동일한 데이터가 기록 및 판독되었는지를 판정한다. 다른 형태에서, 테스트 회로(26)는 이전에 기록된 데이터값을 판독하고, 어떤 오류들이 존재하는지를 판정하기 위해 그 판독된 값을 기대값과 비교할 수만 있다. 카운트 값에 대한 문턱값이 아무런 오류 없이 초과되면, 테스트 제어기(28)는 공급 전압이 더 낮아질 수 있음을 전압 조정 회로(30)에 나타낸다. 전압 조정 회로(30)는 전압 레귤레이터(22)에 $V_{operating}$ 제어 신호를 제공한다. 이에 응답하여, 전압 레귤레이터(22)는 V_{DD1} 의 값을 전압 조정 회로(30)에 의해 결정된 $V_{operating}$ 전압으로 저하시킨다. 전압 저하 회로(24)는 이후 방금 저하된 V_{DD1} 전압보다 낮은 추가 저하된 전압 V_{drop} 을 제공한다.

[0012] 한편, 테스트 회로(26)가 실패 상태를 나타내면, 카운트 값에 관계없이, 테스트 제어기(28)는 증가(Increase) 제어 신호를 발생시킬 것이다. 이에 응답하여, 전압 조정 회로(30)는 V_{DD1} 의 값을 올릴 필요가 있음을 전압 레귤레이터(22)에 알리는 형태의 $V_{operating}$ 신호를 제공한다. 따라서, 메모리(14)에는 동작 실패를 겪기 시작하는 것으로 판정된 전압보다 큰, 전압 레귤레이터(22)의 구배의 적어도 두 증분인 공급 전압 값이 전압 공급된다.

[0013] 도 2에는 집적 회로(12) 내에서 동적 전압 조정 방법(32)의 흐름도가 도시되어 있다. 시작(Start) 명령 또는 신호 이후, 단계 34에서는 "Pass #"로 표시되는 카운트 값이 제로로 설정된다. "패스"란 단어는 공급 전압의 어떤 감소가 이루어지기 전에 이루어질 전술한 방법의 반복 또는 패스의 횟수를 지칭한다. 단계 36에서는 공급 전압 V_{DD1} 의 전압 값이 메모리(14)에 제공된다. 단계 38에서는 테스트 전압 값(V_{test})이 결정된다. 테스트 전압은 공급 전압 V_{DD1} 에서 V_{DROP} 으로 표시되는 소정의 강하량을 뺀 것과 동일하다. 단계 40에서는 산출된 테스트 전압이 테스트 메모리(16)에 제공된다. 단계 42에서는 테스트 메모리(16)가 V_{test} 의 공급 전압 값에서의 기능적 동작에 대해 테스트된다. 단계 44에서는 테스트 메모리(16)의 패스 여부(즉, 테스트 메모리(16)로부터 정확한 데이터 값이 판독되었는지)가 판정된다. 테스트 메모리(16)가 패스되면, 단계 46에서 패스 넘버가 1 증가한다. 단계 48에서는 패스 넘버가 소정 문턱값보다 큰지를 판정하기 위해 패스 넘버가 체크된다. 증분된 패스 넘버가 문턱값을 초과하면, 단계 50에서 패스 넘버가 제로로 리셋되고 V_{DD1} 공급 전압은 감소된다. 이 시점에서 단계 36이 반복되고 V_{DD1} 공급 전압의 신규값이 메모리(14)에 제공된다. 증분된 패스 넘버가 문턱값을 초과하지 않으면, 패스 넘버가 제로로 리셋되지 않고 처리는 기존의 V_{DD1} 값이 메모리(14)에 계속 제공되는 단계 36으로 되돌아간다.

[0014] 대조적으로, 테스트 회로(26)에 의해 어드레스되는 예상 데이터 값으로부터의 부정확한 비트 연산자인 데이터 값을 제공한 결과 단계 44에서 테스트 메모리(16)가 패스하지 못하면, 단계 52가 실행된다. 단계 52에서는 메모리(14)와 테스트 메모리(16)에 제공된 공급 전압 V_{DD1} 의 값이 소정의 증분 양만큼 증가된다. 이후 단계 36이 반복되고 처리는 도 2에 도시하듯이 순차적으로 계속된다. 시작 동작이 시작되면 방법(32)은 순차적으로 단계 36에서부터 단계 44를 통해서 집적 회로(12)로부터 전력이 제거될 때까지 계속된다.

[0015] 도 3에는 집적 회로(56) 내의 메모리(58)에 대한 동적 전압 조정의 다른 형태인 시스템(54)이 도시되어 있다.

집적 회로(56)는 테스트 메모리(60)와 기타 회로(62)를 구비한다. 메모리(58)는 공급 전압 V_{DD1} 에 의해 전압 공급되며, 기타 회로는 공급 전압 V_{DD2} 에 의해 전압 공급된다. 공급 전압 V_{DD1} 은 공급 전압 V_{DD2} 와 다르다. 한 형태에서 공급 전압 V_{DD1} 은 전력 절약을 위해 공급 전압 V_{DD2} 보다 작다. 전압 레귤레이터(66)는 전압 조정 회로(68)에 고정 바이어스 전압(V_{Bias})을 제공한다. 전압 조정 회로(68)의 제 1 출력부는 V_{test} 로 표시되는 테스트 전력 공급 전압을 제공하기 위해 테스트 메모리(60)의 전원 단자 또는 노드에 접속된다. 전압 조정 회로(68)의 제 2 출력부는 V_{test} 전압을 제공하며, 테스트 제어기(72)의 제 1 입력부에 접속된다. 테스트 메모리(60)의 데이터 입력부는 기록(Write) 데이터를 제공하기 위해 테스트 회로(70)의 출력부에 접속된다. 테스트 메모리(60)의 데이터 출력부는 판독(Read) 데이터를 제공하기 위해 테스트 회로(70)의 입력부에 접속된다. 테스트 회로(70)는 테스트 제어기(72)의 제 2 입력부에 패스/실패 결과 신호를 제공한다. 테스트 제어기(72)의 제 1 출력부는 테스트(Test) 활성화 신호를 제공하기 위해 테스트 회로(70)의 입력부에 접속된다. 테스트 제어기(72)의 제 2 출력부는 V_{Adjust} 로 표시되는 제어 신호를 제공하기 위해 전압 조정 회로(68)의 제 2 입력부에 접속된다. 테스트 제어기(72)의 제 3 출력부는 $V_{operating}$ 으로 표시되는 전압 제어 신호를 제공하기 위해 전압 레귤레이터(66)의 제 2 입력부에 접속된다.

[0016] 작동 시에, 집적 회로(56)는 메모리(58)에 제공될 최적의 최소 공급 전압을 동적으로 결정하기 위해 제공되는 테스트 메모리(60)를 갖는다. 메모리(58)에 대한 최적의 최소 공급 전압은 메모리(58)가 메모리 동작을 오류 없이 수행하는데 필요한 최소의 전력을 소비하면서 특정한(즉, 의도된) 주파수에서 판독 및 기록을 확실하게 할 수 있게 해주는 공급 전압 값이다. 도시된 형태에서, 테스트 메모리(60)는 먼저 바이어스 전압 V_{Bias} 와 동일한 공급 전압을 수용한다. 테스트 제어기(72)와 전압 조정 회로(68)의 제어 하에 테스트 회로(70)에 의해 판정이 이루어진다. 메모리(58)와 테스트 메모리(60)를 동작시키기 위한 클럭 주파수가 선택되고 그 동작 주파수가 유지됨을 다시 알아야 한다. 즉, 집적 회로(56) 내의 클럭 회로는 V_{DD2} 전력 공급 전압에 의해 전압 공급되고, 그 전력 공급 전압은 테스트 회로(70), 테스트 제어기(72) 및 전압 조정 회로(68)에 의해 수정되지 않는다. 테스트 회로(70), 테스트 제어기(72) 및 전압 조정 회로(68)는, 시스템(54)의 메모리(58)가 전력 효율적이고 신뢰성 있는 방식으로 동작하도록 전력 공급 전압 V_{DD1} 에 대한 최적의 낮은 값을 결정하기 위해 합동하여 기능한다. 특히, 전압 조정 회로(68)는 초기에 V_{Bias} 값에 있는 테스트 전압을 테스트 메모리(16)에 공급하는 기능을 한다. 테스트 회로(70)는 테스트 메모리(60)에 소정의 데이터를 기록하고 그 데이터를 판독하는 기능을 한다. 테스트 회로(70)는 기록된 데이터를 판독된 데이터와 비교하기 위한 비교기로서 기능한다. 데이터 값이 정확히 매칭하면, 테스트 제어기(72)에 패스 신호가 주어진다. 이 메모리 테스트 결과가 패스이면, 테스트 제어기(72)는 테스트 메모리(60)가 오류 없이 완전하게 작동하므로 공급 전압이 더 낮아질 수 있음을 나타내는 V_{Adjust} 제어 신호를 전압 조정 회로(68)에 제공한다. 또한, 테스트 제어기(72)는 이어서 테스트(Test) 신호를 테스트 회로에 제공한다. 테스트 신호에 응답하여, 테스트 회로(70)는 다시 공지의 데이터 값을 테스트 메모리(60)에 기록하고, 그 값을 판독하여 동일한 데이터가 기록 및 판독되었는지를 판정한다. 다른 형태에서, 테스트 회로(70)는 이전에 기록된 데이터 값을 판독하고, 어떤 오류들이 존재하는지를 판정하기 위해 그 판독된 값을 기대값과 비교할 수만 있다. 이 방법은 테스트 메모리(60) 동작의 실패가 발생했는지를 테스트 회로(70)가 판정할 때까지 반복된다. 테스트 회로(70)는 이후 실패(Fail) 신호를 테스트 제어기(72)에 발생시킨다. 이에 응답하여, 테스트 제어기(72)는 전압 레귤레이터(66)에 $V_{operating}$ 신호를 제공한다. $V_{operating}$ 신호는 이전 테스트 전압(즉, 동작의 실패가 전혀 발생하지 않는 테스트 전압)의 값과 전압 마진(voltage margin)으로 알려진 소정의 추가 전압 양의 합이다. $V_{operating}$ 신호에 응답하여, 전압 레귤레이터는 메모리(58)에 대한 V_{DD1} 의 값을 전압 $V_{operating}$ 과 동일하게 조정한다.

[0017] 도 4에는 집적 회로(56) 내의 동적 전압을 조정하는 방법(78)을 설명하는 흐름도가 도시되어 있다. 시작(Start) 신호 또는 명령 또는 활성화 신호 이후에는, 메모리(58)를 동작시키기 위해 메모리(58)에 공급 전압 V_{DD1} 을 제공하는 단계 80이 실행된다. V_{DD1} 공급 전압은 메모리(58)의 신뢰성 있는 동작을 보장하기 위해 충분히 높은 공급 전압 값을 갖는다. 단계 82에서는, 전압 조정 회로(68)에 의해 테스트 전압 V_{Test} 이 공급된다. V_{Test} 전압의 값은 전압 레귤레이터(66)에 의해 제공되는 고정 바이어스 전압 V_{Bias} 의 전압과 동일하다. 단계 84에서, 전압 조정 회로(68)는 테스트 메모리(60)에 공급 전압 V_{Test} 를 제공한다. 단계 86에서, 테스트 메모리(60)는 이후 V_{Test} 의 공급 전압 값에서 테스트 회로(70)에 의해 테스트된다. 단계 88에서, 테스트 회로(70)는 테스트 메

모리(60)가 기록 및 판독 작업에서 올바르게 기능하는지를 판정한다. 테스트 메모리(60)가 올바르게 기능하면, 단계 90에서 테스트 공급 전압 V_{Test} 은 단계적으로 저하된다. V_{Test} 전압이 저하된 상태에서, 단계 84 내지 86이 반복된다. 테스트 메모리(60)가 저하된 V_{Test} 에서 기록 및 판독 동작을 계속 패스하면, V_{Test} 가 다시 저하되고, 테스트 메모리(60)가 저하된 V_{Test} 공급 전압 값에서 실패할 때까지 단계 84 내지 86이 반복된다. 테스트 메모리(60)의 실패에 따라, 동작 전압 신호 $V_{Operating}$ 은 테스트 제어기(72)에 의해, 테스트 메모리(60)의 고장 이전에 사용된 V_{Test} 값과 동일하도록 배치되고, 소정의 전압 마진 만큼 더 증가된다. 따라서 안전 마진이 추가된다. 단계 94에서, 공급 전압 V_{DD1} 은 새로 결정된 $V_{Operating}$ 값과 동일해짐으로써 상향 조정된다. 단계 94가 완료된 후, 방법 78은 집적 회로(56)에서 전력이 제거될 때까지 계속된다. 특히, 단계 82의 처음으로의 리턴이 발생하고, V_{Test} 공급 전압은 다시 공지된 V_{Bias} 값으로서 테스트 메모리(60)에 제공된다.

[0018] 이제까지 집적 회로 내의 메모리의 공급 전압을 조정하기 위한 다양한 형태의 동적 전압 조정 회로가 제공되었음을 알아야 한다. 메모리는 "단독"형 메모리로서 또는 통상 SOC(System On Chip)로 지칭되는 다른 형태의 회로 기능을 갖는 집적 회로의 내장 메모리로서 제공될 수 있다. SRAM(static random access memory)과 각종 논리 회로 모듈을 구비하는 SOC에서, SRAM 비트 셀들은 전력 절약을 위해 공급 전압이 감소될 때 논리 회로 전에 고장나기 시작하는 것이 보통이다. 또한, 메모리 동작 신뢰성은 공급 전압이 변하므로 쉽게 예측할 수 없다. 따라서, 메모리는 통상, 요구되는 최소 공급 전압을 결정한다. 본 명세서에 기재된 실시예들에서, 메모리에 대한 최적의 공급 전압은 메모리 전력 공급 값들과 논리 회로 전력 공급 값들 사이의 분기(bifurcation)가 실행되도록 결정된다. 또한, 본 명세서에 기재된 방법은 온도 및 기타 작동 조건의 변경이 쉽게 설명되도록 동적 변경을 허용한다. 동적 조정은 집적 회로의 메모리가 완전하게 기능적이고 따라서 메모리의 동작 및 기능상 아무런 장애가 발생하지 않는 동안 이루어진다. 따라서 동적 조정은 집적 회로에서 수행되는 메모리를 동작시킬 때 발생하며, 이는 판독 및 기록 동작 모드 중에 뿐만 아니라 메모리가 데이터를 저장하거나 보존하고 있을 때 공급 전압을 조정하는 것을 포함한다. 테스트 메모리(16)와 테스트 메모리(60)는 다양한 크기들 중 임의의 크기에서 수행된다. 테스트 메모리가 폭넓은 분포의 비트-셀 거동을 나타내도록 보장하기 위해서는 테스트 메모리 내의 충분히 많은 개수의 메모리 비트 셀이 바람직하다.

[0019] 본 발명을 실현하는 다양한 장치는 대부분 당업자에게 공지되어 있는 전자 부품들 및 회로들로 구성되므로, 회로 상세는, 본 발명의 근본 개념의 이해 및 인지를 위해서 및 본 발명의 교시를 혼란스럽게 하지 않고 그에 대한 집중을 저해하지 않도록, 전술한 바와 같이 필요하다고 간주되는 것 이상으로 설명되지 않는다.

[0020] 적용 가능한 상기 실시예들 중 일부는 여러가지 다양한 정보 처리 시스템을 사용하여 수행될 수 있다. 예를 들어, 도 1 및 그 논의는 예시적인 메모리 시스템 구조(architecture)를 기술하고 있지만, 이 예시적인 구조는 단지 본 발명의 다양한 양태를 논의하는데 있어서 유용한 참조를 제공하기 위해 제시된 것일 뿐이다. 물론, 상기 구조의 설명은 논의상 단순화되었으며, 이는 본 발명에 따라 사용될 수 있는 여러가지 다양한 형태의 적절한 구조들 중 하나일 뿐이다. 당업자는, 논리 블록들 사이의 경계들이 단지 예시적이고, 변형 실시예들은 논리 블록들 또는 회로 소자들을 통합하거나 다양한 논리 블록들 또는 회로 소자들에 대해 기능의 대체 분해를 실시할 수도 있음을 알 것이다.

[0021] 따라서, 본 명세서에 기술된 구조들은 단지 예시적인 것이며 실제로 동일한 기능을 달성하는 많은 기타 구조들이 실시될 수 있음을 알아야 한다. 요약서에서는, 여전히 한정적인 의미지만, 동일한 기능을 달성하기 위한 구성요소들의 임의의 배치는 소망 기능이 달성되도록 효과적으로 "연관"된다. 따라서, 특정 기능을 달성하기 위해 조합되는 본 명세서에서의 임의의 두 구성요소는 구조들이나 중간 구성요소들에 관계없이 소망 기능이 달성되도록 상호 "연관"되는 것으로 볼 수 있다. 마찬가지로, 이렇게 연관된 임의의 두 구성요소는 또한 원하는 기능을 달성하도록 상호 "작동적으로 접속"되거나 "작동적으로 결합"되는 것으로도 볼 수 있다.

[0022] 또한, 예를 들어, 일 실시예에서, 예시된 메모리 회로들은 SRAM이다. 다른 형태에서, 예시된 메모리 회로는 DRAM; MRAM; 플래쉬 메모리를 포함하는 강유전체 메모리와 비휘발성 메모리(NVM); 및 레지스터, 버퍼 또는 캐시, 메인 메모리를 포함하는 휘발성 저장 매체로서 실현된다.

[0023] 또한, 당업자는 전술한 동작들의 기능 사이의 경계들이 단지 예시적임을 알 것이다. 복수의 동작들의 기능이 단일 동작으로 조합될 수 있거나, 및/또는 단일 동작의 기능이 추가 동작들에 분배될 수도 있다. 더욱이, 대체 실시예들은 특정 동작의 다양한 예를 포함할 수 있고, 동작들의 순서는 다양한 기타 실시예들에서 변경될 수 있다.

[0024]

컴퓨터 관독가능한 매체는 예를 들어, 비제한적으로, 몇 가지 예를 들자면, 디스크와 테이프 저장 매체를 포함하는 자기 저장 매체; 콤팩트 디스크 매체(예를 들면, CD-ROM, CD-R 등) 및 디지털 비디오 디스크 저장 매체와 같은 광학 저장 매체; FLASH 메모리, EEPROM, EPROM, ROM과 같은 반도체-기반 메모리 유닛들을 포함하는 비휘발성 메모리 저장 매체; 강자성 디지털 메모리들; MRAM; 레지스터, 버퍼 또는 캐시, 메인 메모리, RAM 등을 포함하는 휘발성 저장 매체; 및 컴퓨터 네트워크들, 점-대-점 통신 장비, 및 반송파 전송 매체를 포함하는 데이터 전송 매체들의 임의의 개수를 포함할 수 있다.

[0025]

일 실시예에서, 시스템(10)은 개인용 컴퓨터 시스템과 같은 컴퓨터 시스템에서 실행된다. 기타 실시예들은 다른 형태의 컴퓨터 시스템을 포함할 수도 있다. 컴퓨터 시스템들은 하나 이상의 사용자에게 독자적인 연산 능력을 부여하도록 설계될 수 있는 정보 취급 시스템들이다. 컴퓨터 시스템들은 메인 프레임, 미니 컴퓨터, 서버, 워크스테이션, 퍼스널 컴퓨터, 노트패드, PDA, 전자 게임, 자동차 및 기타 내장 시스템, 핸드폰 및 다양한 기타 무선 기기를 비제한적으로 포함하는 다양한 형태로 찾아볼 수 있다. 통상적인 컴퓨터 시스템은 적어도 하나의 처리 유닛, 관련 메모리, 및 다수의 입/출력(I/O) 장치를 구비한다.

[0026]

한 형태에서, 본 명세서에는 메모리에 전력을 공급하는 방법이 제공된다. 집적 회로의 메모리는 상기 메모리에 공급 전압을 전압 공급함으로써 동작된다. 집적 회로의 테스트 메모리는 메모리를 동작시키는 동시에 테스트된다. 테스트 메모리와 메모리는 각각 제 1 비트 셀 구조의 비트 셀들을 구비한다. 공급 전압의 전압 레벨은 테스트 메모리의 테스트에 기초하여, 메모리를 동작시키는 동안, 조정된다. 한 형태에서 테스트는 테스트 메모리가 테스트에 패스하는 테스트 메모리에 전압 공급하기 위한 최소의 전압 레벨을 판정하는 것을 포함한다. 조정은 최소 전압 레벨의 판정에 기초한 전압 레벨로 공급 전압을 제공하는 것을 포함한다. 다른 형태에서, 테스트 메모리는 다수의 전압 레벨들에서 테스트 메모리에 전압 공급하는 동안 테스트된다. 테스트 메모리가 테스트에 실패하는 다수의 전압 레벨 중 최고의 전압 레벨이 결정된다. 한 형태에서 공급 전압은 상기 최고 전압 레벨보다 높은 전압 레벨로 조정된다. 다른 형태에서 테스트 메모리는 공급 전압의 전압 레벨보다 소정 양만큼 낮은 전압 레벨로 전압 공급된다. 테스트 메모리를 다수의 전압 레벨들로 전압 공급하는 동안, 메모리는 다수의 전압 레벨들로 전압 공급된다. 다른 형태에서 테스트는 테스트 메모리에 데이터 패턴을 기록하는 단계, 테스트 메모리로부터 데이터 유닛을 관독하는 단계, 및 데이터 패턴을 데이터 유닛과 비교하는 것을 포함한다.

[0027]

또 다른 형태에서, 본 명세서에는 집적 회로의 메모리를 동작 전압 레벨로 전압 공급함으로써 메모리에 전압 공급하는 방법이 제공된다. 집적 회로의 테스트 메모리가 첫번째로 테스트된다. 동작 전압 레벨은 첫번째 테스트에 기초하여 제 1 조정된 동작 전압 레벨로 조정된다. 메모리는 첫번째 조정 이후 제 1 조정된 동작 전압 레벨로 전압 공급된다. 테스트 메모리는 두번째로 테스트된다. 제 1 조정된 동작 전압 레벨은 두번째 테스트에 기초하여 제 2 조정된 동작 전압 레벨로 조정된다. 메모리는 제 1 동작 전압 레벨을 조정한 후 제 2 조정된 동작 전압 레벨로 전압 공급된다. 다른 형태에서 첫번째 테스트는 테스트 메모리를 동작 전압 레벨에 기초하여 제 1 테스트 전압 레벨로 전압 공급하는 것을 포함한다. 두번째 테스트는 테스트 메모리를 제 1 조정된 동작 전압 레벨에 기초하여 제 2 테스트 전압 레벨로 전압 공급하는 것을 포함한다. 다른 형태에서 제 1 테스트 전압 레벨은 동작 전압 레벨보다 소정 양 낮다. 제 2 테스트 전압 레벨은 제 1 조정된 동작 전압 레벨보다 소정 양 낮다. 또 다른 형태에서 첫번째 테스트가 실패를 나타내면, 첫번째 조정은 동작 전압 레벨을 제 1 조정된 동작 전압으로 감소시키는 것을 포함하며, 상기 제 1 조정된 동작 전압 레벨은 동작 전압 레벨보다 크다. 다른 형태에서 첫번째 테스트가 실패를 나타내지 않으면, 첫번째 조정은 동작 전압 레벨을 제 1 조정된 동작 전압으로 감소시키는 것을 포함하며, 상기 제 1 조정된 동작 전압 레벨은 동작 전압 레벨보다 낮다. 또 다른 형태에서, 첫번째 테스트는 테스트 메모리를 다수의 전압 레벨들로 전압 공급하면서 테스트하고 다수의 전압 레벨들 중에서 테스트가 패스를 나타내는 제 1 최저 전압 레벨을 결정하는 것을 포함하며, 상기 제 1 조정된 전압 레벨은 제 1 최저 전압 레벨에 기초한다. 두번째 테스트는 테스트 메모리를 다수의 전압 레벨들로 전압 공급하면서 테스트하고 다수의 전압 레벨들 중에서 테스트가 패스를 나타내는 제 2 최저 전압 레벨을 결정하는 것을 포함하며, 상기 제 2 조정된 전압 레벨은 제 2 최저 전압 레벨에 기초한다.

[0028]

시스템은 집적 회로의 메모리를 가지며, 이 메모리는 동작 공급 전압을 수용하기 위한 공급 단자를 갖는다. 집적 회로의 테스트 메모리는 테스트 메모리에 전압 공급하기 위한 테스트 공급 전압을 수용하기 위한 테스트 공급 단자를 구비하며, 테스트 메모리와 메모리는 각각 제 1 비트 셀 구조 형태의 비트 셀들을 포함한다. 테스트 회로는 테스트 메모리의 성능을 테스트 및 판정하기 위해 테스트 메모리에 결합되며, 테스트 회로는 테스트 메모리가 테스트에 패스하는 테스트 공급 단자에서 수용되는 최저 테스트 공급 전압 레벨을 찾도록 작동될 수 있다. 메모리의 공급 단자는 테스트 회로에 의해 판정되는 테스트 메모리의 성능에 기초하여 메모리 동작 중에 조정가능한 동작 공급 전압을 수용하도록 구성된다. 한 형태에서 메모리의 공급 단자는 최소 테스트 공급 전압

레벨보다 소정 양 높은 전압 레벨로 동작 공급 전압을 수용하도록 구성된다. 다른 형태에서 테스트 공급 전압은 동작 공급 전압의 전압 레벨보다 소정 양만큼 낮은 전압 레벨로 공급된다. 또 다른 형태에서 동작 공급 전압은 테스트 회로에 의해 결정된 테스트 메모리의 실패된 테스트에 기초하여 증가된다. 또 다른 형태에서, 테스트 회로는, 테스트 공급 단자에 제 1 전압 레벨로의 동작 공급 전압에 기초한 제 1 테스트 전압 레벨이 공급되는 상태에서 테스트 메모리를 테스트한다. 동작 공급 전압은 테스트 메모리가 제 1 테스트 전압 레벨로 공급되는 동안 테스트에 패스한다는 판정에 기초하여 제 2 전압 레벨로 저하된다. 다른 형태에서 동작 공급 전압은 테스트 메모리가 제 1 테스트 전압 레벨로 공급되는 동안 소정 횟수의 테스트에 계속 패스한다는 판정에 기초하여 제 2 전압 레벨로 저하된다. 또 다른 형태에서, 테스트 회로는, 테스트 공급 단자에 제 1 전압 레벨로의 동작 공급 전압에 기초한 테스트 전압 레벨이 공급되는 상태에서 테스트 메모리를 테스트하며, 상기 동작 공급 전압은 테스트 메모리가 제 1 테스트 전압 레벨로 공급되는 동안 테스트에 실패한다는 판정에 기초하여 제 2 전압 레벨로 상승된다. 또 다른 형태에서는, 테스트 동작 전압을 다수의 전압 레벨들에서 공급하기 위한 전압 조정 회로가 제공되며, 테스트 회로는 다수의 전압 레벨들 중에서 테스트 메모리가 테스트에 패스하는 최저 전압 레벨을 결정하기 위해 테스트 메모리를 다수의 전압 레벨들에서 테스트하며, 동작 공급 전압은 결정된 최저 전압 레벨에 기초한 전압 레벨로 공급된다. 또 다른 형태에서는, 테스트 회로에 의해 결정되는 테스트 메모리의 성능에 기초하여 동작 공급 전압을 조정하기 위한 지시를 수용하기 위해 테스트 회로에 결합되는 입력부와 동작 공급 단자에 결합되는 출력부를 구비하는 전압 레귤레이터가 제공된다.

[0029]

본 발명은 특정 실시예들을 참조하여 설명되었으나, 후술하는 청구범위에 기재되어 있는 본 발명의 범위를 벗어나지 않는 다양한 수정 및 변경이 이루어질 수 있다. 예를 들어, 테스트 회로, 테스트 제어기 및 전압 조정의 많은 기능들은 테스트 회로가 메모리 테스트 및 전압 제어 기능들을 수행하기 위해 필요한 코드를 실행하기 위한 처리 유닛을 구비하는 소프트웨어 코드에서 실시될 수 있다. 따라서, 명세서 및 도면은 한정적이기보다는 예시적인 것으로 간주되어야 하며, 이러한 모든 수정예들은 본 발명의 범위에 포함되도록 의도된다. 특정 실시예에 관해 본 명세서에 기재되는 임의의 이점들, 장점들 또는 해결책들은 청구범위의 일부 또는 전부의 중요하거나, 필요하거나 또는 필수적인 특징부 또는 요소로서 간주되도록 의도되지 않는다.

[0030]

본 명세서에 사용되는 "결합된(coupled)"이란 용어는 직접적 결합 또는 기계적 결합에 한정되도록 의도되지 않는다.

[0031]

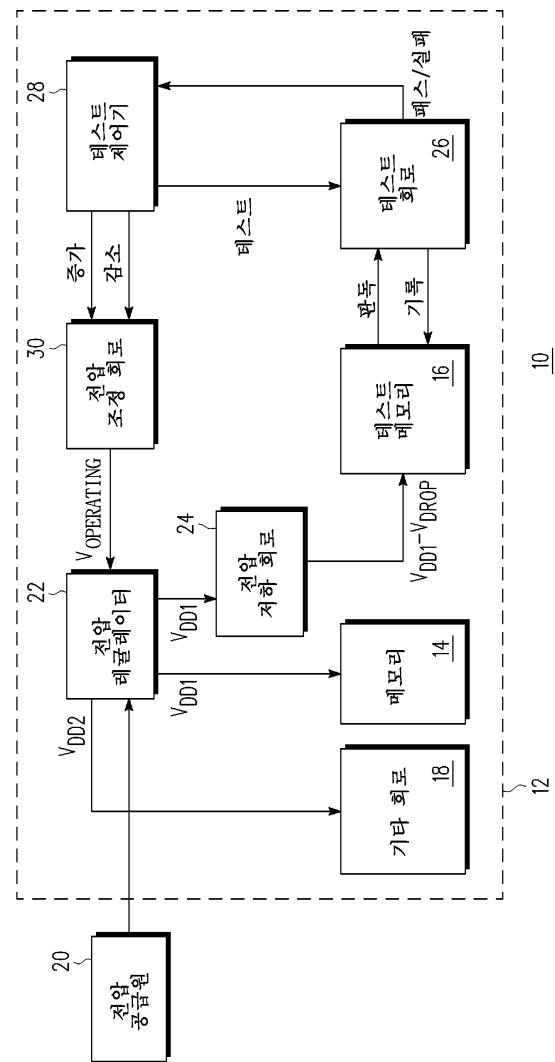
또한, 본 명세서에 사용되는 관사는 하나 또는 하나 이상의 것으로 정의된다. 또한, 청구범위에서의 "적어도 하나" 및 "하나 이상"과 같은 도입구의 사용은, 동일 청구항이 "하나 이상" 또는 "적어도 하나"와 같은 도입구들 및 부정관사를 포함할 때에도, 부정관사에 의한 다른 청구항 요소의 도입이 이러한 도입된 청구항 요소를 포함하는 임의의 특별한 청구항을 단 하나의 이러한 요소를 포함하는 발명들로 한정하는 것을 의미하도록 해석되어서는 안된다. 부정 관사의 사용에 대해서도 마찬가지이다.

[0032]

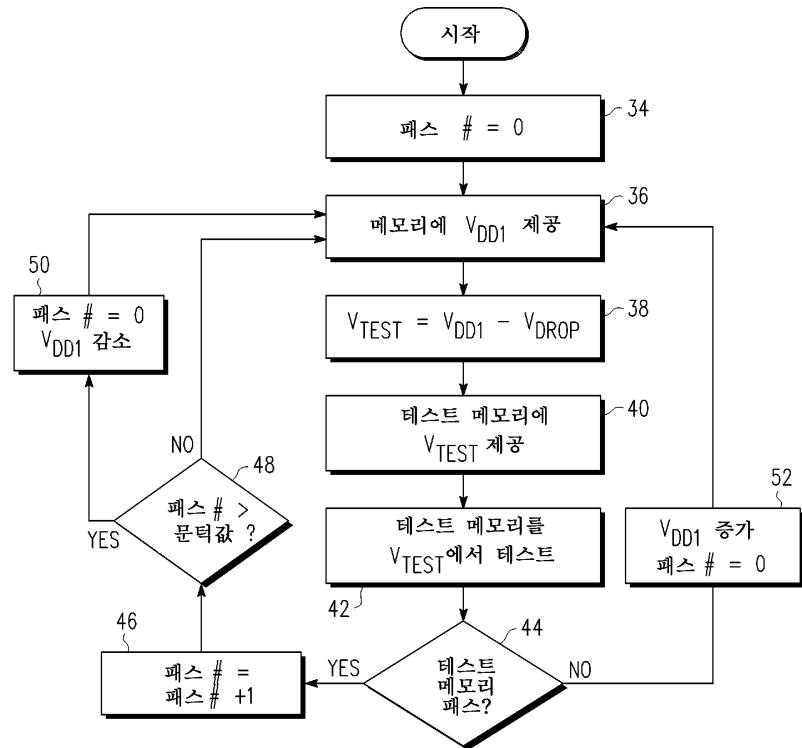
달리 언급되지 않는 한, "제 1" 및 "제 2"와 같은 용어들은 이러한 용어들이 기술하는 요소들을 자의적으로 식별하기 위해 사용된다. 따라서, 이를 용어는 이러한 요소들의 시간적 또는 기타 우선순위를 나타내도록 반드시 의도되는 것은 아니다.

도면

도면1

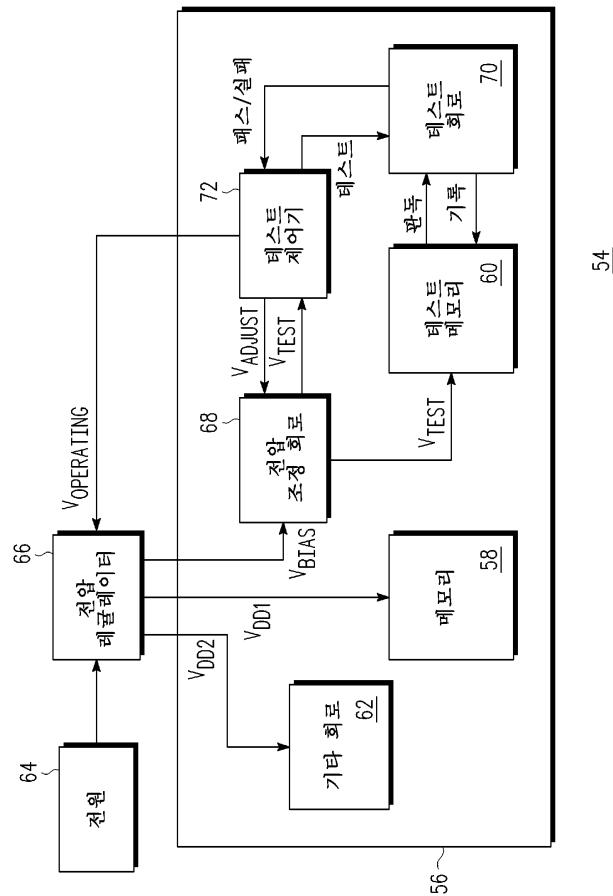


도면2



32

도면3



54

도면4

