



(12) 发明专利申请

(10) 申请公布号 CN 118738137 A

(43) 申请公布日 2024.10.01

(21) 申请号 202410316931.6

H01L 21/34 (2006.01)

(22) 申请日 2024.03.19

(30) 优先权数据

2023-058279 2023.03.31 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 望月真里奈 渡部将弘 津吹将志

渡壁创 佐佐木俊成 田丸尊也

小野寺凉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 杨宏军

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

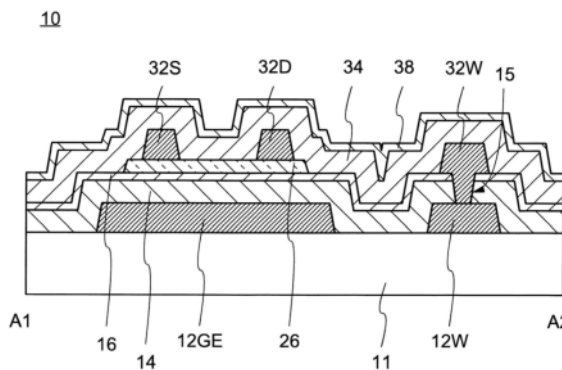
权利要求书2页 说明书14页 附图14页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明涉及半导体装置及其制造方法。提供偏差少,电特性稳定的半导体装置。半导体装置包含:栅电极;栅电极之上的栅极绝缘层;栅极绝缘层之上的具有多晶结构的氧化物半导体层;氧化物半导体层上的源电极及漏电极;覆盖源电极及漏电极且与氧化物半导体层相接的层间绝缘层;氧化物半导体层包括与源电极及漏电极中的1者重叠的第1区域、以及与层间绝缘层相接的第2区域,第1区域的膜厚与第2区域的膜厚之差为5nm以下。



1. 半导体装置,其包含:
栅电极;
所述栅电极之上的栅极绝缘层;
所述栅极绝缘层之上的具有多晶结构的氧化物半导体层;
所述氧化物半导体层之上的源电极及漏电极;和
覆盖所述源电极及漏电极、并与所述氧化物半导体层相接的层间绝缘层,
其中,所述氧化物半导体层包含与所述源电极及漏电极中的1者重叠的第1区域、和与
所述层间绝缘层相接的第2区域,
所述第1区域的膜厚与所述第2区域的膜厚之差为5nm以下。
2. 根据权利要求1所述的半导体装置,其中,所述氧化物半导体层对所述源电极及漏电极的形成中所用的蚀刻液的蚀刻速率为0.1nm/sec以下。
3. 根据权利要求2所述的半导体装置,其中,所述蚀刻液为包含选自由磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少2者的溶液。
4. 根据权利要求1所述的半导体装置,其中,所述氧化物半导体层对所述源电极及漏电极的形成中所用的蚀刻气体的蚀刻速率为0.5nm/sec以下。
5. 根据权利要求4所述的半导体装置,其中,所述蚀刻气体是含氟的气体,
所述蚀刻速率为0.1nm/sec以下。
6. 根据权利要求1所述的半导体装置,其中,所述第1区域的所述膜厚为10nm以上30nm以下。
7. 根据权利要求1所述的半导体装置,其中,所述氧化物半导体层包含铟及至少1种以上的金属元素,所述铟相对所述铟及所述至少1种以上的金属元素而言的比率为50%以上。
8. 半导体装置的制造方法,其包括:
形成栅电极,
在所述栅电极之上形成栅极绝缘层,
在所述栅极绝缘层之上形成具有多晶结构的氧化物半导体层,
在所述氧化物半导体层之上形成导电膜,
利用蚀刻对所述导电膜进行图案化,形成源电极及漏电极,
形成覆盖所述源电极及漏电极、并与所述氧化物半导体层相接的层间绝缘层,
其中,所述氧化物半导体层包含与所述源电极及漏电极中的1者重叠的第1区域、和与
所述层间绝缘层相接的第2区域,
所述第1区域的膜厚与所述第2区域的膜厚之差为5nm以下。
9. 根据权利要求8所述的半导体装置的制造方法,其中,在所述蚀刻中使用蚀刻液,
所述氧化物半导体层对所述蚀刻液的蚀刻速率为0.1nm/sec以下。
10. 根据权利要求9所述的半导体装置的制造方法,其中,所述蚀刻液为包含选自由磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少2者的溶液。
11. 根据权利要求8所述的半导体装置的制造方法,其中,在所述蚀刻中使用蚀刻气体,
所述氧化物半导体层对所述蚀刻气体的蚀刻速率为0.5nm/sec以下。
12. 根据权利要求11所述的半导体装置的制造方法,其中,所述蚀刻气体是含氟的气体,

所述蚀刻速率为0.1nm/sec以下。

13.根据权利要求8所述的半导体装置的制造方法,其中,所述第1区域的所述膜厚为10nm以上30nm以下。

14.根据权利要求8所述的半导体装置的制造方法,其中,所述氧化物半导体层包含铟及至少1种以上的金属元素,所述铟相对所述铟及所述至少1种以上的金属元素而言的比率为50%以上。

15.根据权利要求14所述的半导体装置的制造方法,其中,所述氧化物半导体层通过对具有非晶结构的氧化物半导体膜进行热处理而形成。

半导体装置及其制造方法

技术领域

[0001] 本发明的一个实施方式涉及半导体装置。特别地,本发明的一个实施方式涉及使用氧化物半导体作为沟道的半导体装置。另外,本发明的一个实施方式涉及半导体装置的制造方法。

背景技术

[0002] 近年来,正在进行使用氧化物半导体膜作为沟道来代替使用了非晶硅、低温多晶硅和单晶硅等的硅半导体膜的半导体装置的开发(例如,参见专利文献1~6)。与包含非晶硅膜的半导体装置同样地,包含氧化物半导体膜的半导体装置能够以简单的结构且以低温工艺形成。已知包含氧化物半导体膜的半导体装置具有比包含非晶硅膜的半导体装置更高的场效应迁移率。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2014-099601号公报

[0007] 专利文献3:日本特开2021-153196号公报

[0008] 专利文献4:日本特开2018-006730号公报

[0009] 专利文献5:日本特开2016-184771号公报

[0010] 专利文献6:日本特开2021-108405号公报

发明内容

[0011] 发明所要解决的课题

[0012] 在现有的包含氧化物半导体膜的半导体装置中,氧化物半导体膜的耐蚀刻性小,氧化物半导体膜的形状的控制是困难的。特别是在使用大面积基板制造的半导体装置中,氧化物半导体膜的形状的偏差引起半导体装置的电特性的偏差,成为成品率降低的要因。

[0013] 本发明的一个实施方式可提供偏差少、电特性稳定的半导体装置。另外,本发明的一个实施方式的目的之一在于提供一种制造偏差被降低、成品率提高的半导体装置的制造方法。

[0014] 用于解决课题的手段

[0015] 本发明的一个实施方式的半导体装置包含:栅电极;栅电极之上的栅极绝缘层;栅极绝缘层之上的具有多晶结构的氧化物半导体层;氧化物半导体层之上的源电极及漏电极;和覆盖源电极及漏电极、并与氧化物半导体层相接的层间绝缘层,其中,氧化物半导体层包含与源电极及漏电极中的1者重叠的第1区域、和与层间绝缘层相接的第2区域,第1区域的膜厚与第2区域的膜厚之差为5nm以下。

[0016] 本发明的一个实施方式的半导体装置的制造方法包括:形成栅电极,在栅电极之上形成栅极绝缘层,在栅极绝缘层之上形成具有多晶结构的氧化物半导体层,在氧化物半

导体层之上形成导电膜,通过蚀刻对导电膜进行图案化而形成源电极及漏电极,形成覆盖源电极及漏电极、并与氧化物半导体层相接的层间绝缘层,其中,氧化物半导体层包含与源电极及漏电极中的1者重叠的第1区域、和与层间绝缘层相接的第2区域,第1区域的膜厚与第2区域的膜厚之差为5nm以下。

附图说明

- [0017] [图1]是示出本发明的一个实施方式的半导体装置的构成的示意截面图。
[0018] [图2]是示出本发明的一个实施方式的半导体装置的构成的示意俯视图。
[0019] [图3]是说明本发明的一个实施方式的半导体装置的制造方法的流程图。
[0020] [图4]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0021] [图5]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0022] [图6]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0023] [图7]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0024] [图8]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0025] [图9]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0026] [图10]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0027] [图11]是示出本发明的一个实施方式的半导体装置的制造方法的示意截面图。
[0028] [图12]是示出本发明的一个实施方式的显示装置的概要的示意俯视图。
[0029] [图13]是示出本发明的一个实施方式的显示装置的电路构成的框图。
[0030] [图14]是示出本发明的一个实施方式的显示装置的像素电路的电路图。
[0031] [图15]是示出本发明的一个实施方式的显示装置的构成的示意截面图。
[0032] [图16]是示出本发明的一个实施方式的显示装置的像素电路的电路图。
[0033] [图17]是示出本发明的一个实施方式的显示装置的构成的示意截面图。
[0034] [图18]是示出实施例2中的样品A~样品C的电特性(I_d - V_g 特性)的图。

[0035] 附图标记说明

[0036] 10:半导体装置、20:显示装置、11:基板、12C:布线、12GE:栅电极、12W:布线、14:栅极绝缘层、15:接触孔、16:栅极绝缘层、22:氧化物半导体膜、24:氧化物半导体层、26:氧化物半导体层、32C:布线、32D:漏电极、32S:源电极、32W:布线、34:层间绝缘层、36:金属氧化物膜、38:层间绝缘层、39:绝缘层、42C:共用电极、44:绝缘层、46C:电极、46P:像素电极、110:驱动晶体管、120:选择晶体管、210:保持电容、211:信号线、212:栅极线、213:阳极电源线、214:阴极电源线、220:液晶区域、240:密封区域、260:端子区域、300:阵列基板、301:像素电路、302:源极驱动器电路、303:栅极驱动器电路、304:源极布线、305:栅极布线、306:端子部、307:连接布线、310:密封部、311:液晶元件、320:对置基板、330:柔性印刷电路板、340:芯片、350:保持电容、362:绝缘层、363:开口、390:像素电极、392:发光层、394:共用电极

具体实施方式

[0037] 以下,参照附图对本发明的各实施方式进行说明。以下公开不过是一例。本领域技术人员在保持发明的主旨的同时通过适当变更实施方式的构成而能够容易想到的构成当

然包含在本发明的范围内。为了使说明更加明确,与实际的方式相比,附图中有时示意性地示出各部分的宽度、膜厚、形状等。但是,图示的形状只是一例,并不限定本发明的解释。在本说明书和附图中,对关于已经出现的图在上文说明了的构成要素同样的构成要素标注相同的附图标记,有时适当省略详细的说明。

[0038] 在本说明书等中,“半导体装置”是指通过利用半导体特性而能够发挥功能的所有装置。晶体管、半导体电路包含在半导体装置的一个方式中。以下所示的实施方式的半导体装置可以是例如显示装置、微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)、或存储电路中所用的晶体管。

[0039] 在本说明书等中,“显示装置”是指使用电光层显示影像的结构体。例如,显示装置这一用语有时是指包含电光层的显示面板,或者有时是指对显示单元安装了其他光学部件(例如偏振部件、背光源、触摸面板等)的结构体。在“电光层”中,只要不产生技术上的矛盾,则可以包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,在实施方式中,作为显示装置,例示包含液晶层的液晶显示装置及包含有机EL层的有机EL显示装置来进行说明。但是,在实施方式中所说明的结构体能够应用于包括上述其他电光层的显示装置。

[0040] 在本说明书等中,将从基板朝向氧化物半导体层的方向称为“上”或“上方”。相反,将从氧化物半导体层朝向基板的方向称为“下”或“下方”。这样,为了便于说明,使用上方或下方这样的语句进行说明,但基板和氧化物半导体层的上下关系也可以配置成与图示不同的朝向。另外,“基板上的氧化物半导体层”这一表述只不过是说明基板与氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置其他部件。上方或下方是指多个层层叠而成的结构中的层叠顺序,在表述为半导体装置的上方的像素电极的情况下,也可以是在俯视下半导体装置与像素电极不重叠的位置关系。另一方面,在表述为半导体装置的铅垂上方的像素电极的情况下,意味着在俯视下半导体装置与像素电极重叠的位置关系。需要说明的是,俯视是指从相对于基板的表面而言垂直的方向观察。

[0041] 在本说明书等中,称为“膜”的用语与称为“层”的用语可根据情况而彼此替换。

[0042] 在本说明书等中,关于“ α 包含A、B或C”、“ α 包含A、B及C中的任一者”或“ α 包含选自自由A、B及C组成的组中的一者”这样的表述,只要没有特别明示,则不排除 α 包含A~C的多个组合的情况。此外,这些表述也不排除 α 包括其他构成要素的情况。

[0043] 需要说明的是,以下的各实施方式能够相互组合,只要不产生技术上的矛盾即可。

[0044] <第1实施方式>

[0045] 参照图1~图11,对本发明的一个实施方式的半导体装置10进行说明。

[0046] “半导体装置10的构成”

[0047] 参照图1和图2,对本发明的一个实施方式的半导体装置10的构成进行说明。图1是示出本发明的一个实施方式的半导体装置10的示意性构成的截面图。图2是示出本发明的一个实施方式的半导体装置10的构成的示意俯视图。图1所示的截面图对应于沿图2所示的A1-A2线切断时的截面。

[0048] 如图1所示,半导体装置10设置在基板11之上。半导体装置10包括栅电极12GE、栅极绝缘层14、16、氧化物半导体层26、源电极32S、漏电极32D及层间绝缘层34、38。在不特别区分源电极32S及漏电极32D的情况下,有时将它们一并称为源电极及漏电极32。另外,有时将栅电极12GE、栅极绝缘层14、16以及氧化物半导体层26称为晶体管。半导体装置10是在氧

化物半导体层26的下方设置有栅电极12GE的、所谓的底栅型晶体管。

[0049] 在本实施方式中,作为半导体装置10例示了底栅型晶体管,但半导体装置10不限于底栅型晶体管。例如,半导体装置10可以是双栅极晶体管,其中栅电极设置在氧化物半导体层26的上方及下方。

[0050] 栅电极12GE设置在基板11上。栅极绝缘层14、16设置在基板11及栅电极12GE上。栅极绝缘层14、16具有层叠结构,栅极绝缘层16设置在栅极绝缘层14之上。氧化物半导体层26设置在栅极绝缘层14、16之上。在氧化物半导体层26之上设置源电极32S及漏电极32D。层间绝缘层34、38设置在氧化物半导体层26以及源电极32S及漏电极32D之上。层间绝缘层34、38具有层叠结构,层间绝缘层38设置在层间绝缘层34上。即,层间绝缘层34、和38覆盖源电极32S及漏电极32D,并且层间绝缘层34与氧化物半导体层26相接。

[0051] 如图2所示,在俯视下,氧化物半导体层26与栅电极12GE重叠。D1方向是连接源电极32S和漏电极32D的方向,D2方向是与D1方向正交的方向。在半导体装置10中,沟道长度L对应于氧化物半导体层26的位于源电极32S与漏电极32D之间的区域(沟道区域)在D1方向上的长度,并且沟道宽度W对应于沟道区域在D2方向上的宽度。在俯视下,氧化物半导体层26的与源电极32S重叠的区域是源极区域,而氧化物半导体层26的与漏电极32D重叠的区域是漏极区域。即,沟道区域位于源极区域与漏极区域之间。

[0052] 布线12W和布线32W用作栅极布线。布线32W经由接触孔15与布线12W电连接。布线12W作为与栅电极12GE同一的层而形成,详细情况在后面叙述。布线32W形成为与源电极32S及漏电极32D同一的层。需要说明的是,布线32W有时不设置在布线12W之上。

[0053] 氧化物半导体层26具有透光性,具有包含多个晶粒的多晶结构。详情后述,通过使用Poly-OS(Poly-crystalline Oxide Semiconductor;多晶氧化物半导体)技术,能够形成具有多晶结构的氧化物半导体层26。因此,以下,有时将氧化物半导体层26所包含的氧化物半导体作为Poly-OS进行说明。

[0054] Poly-OS包含包括铟的2种以上金属元素,铟相对于2种以上金属元素的比率为50%以上。作为铟以外的金属元素,使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、锆(Zr)或镧系元素。作为氧化物半导体层26,也可以使用上述以外的元素。

[0055] Poly-OS所含的晶粒的晶体粒径为0.1 μm 以上,优选为0.3 μm 以上,进一步优选为0.5 μm 以上。晶粒的晶体粒径例如通过氧化物半导体层26的SEM观察、TEM观察或电子背散射衍射(Electron Back Scattered Diffraction:EBSD)法等取得。

[0056] 如上所述,Poly-OS所包含的晶粒的晶体粒径为0.1 μm 以上,因此在具有10nm以上30nm以下的膜厚的氧化物半导体层26中,沿着膜厚方向存在仅包含1个晶粒的区域。

[0057] Poly-OS的耐蚀刻性优异。Poly-OS对在源电极32S及漏电极32D的形成中使用的蚀刻液或蚀刻气体具有优异的耐蚀刻性,详细情况将在后面叙述。因此,在源电极32S及漏电极32D的形成时,氧化物半导体层26几乎不被蚀刻。因此,与源电极32S及漏电极32D中的1者重叠的氧化物半导体层26的第1区域(即,源极区域或漏极区域)的膜厚、同不与源电极32S及漏电极32D重叠的氧化物半导体层26的第2区域(即,沟道区域)的膜厚实质上相同。换言之,第1区域的膜厚与第2区域的膜厚之差为5nm以下,优选为3nm以下,更优选为1nm以下。

[0058] 沟道区域的膜厚对半导体装置的电特性产生影响。如果沟道区域的膜厚的偏差大,则不能提供具有稳定的电特性的半导体装置。即,半导体装置的成品率降低。另一方面,

在半导体装置10中,由于能够控制氧化物半导体层26的沟道区域的膜厚,因此半导体装置10具有稳定的电特性。例如,在半导体装置10中,即使栅极绝缘层14、16具有300nm以上的大膜厚度,在沟道区域的沟道长度L为 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、并且沟道区域的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,也可获得 $15\text{cm}^2/\text{Vs}$ 以上,甚至 $20\text{cm}^2/\text{Vs}$ 以上的场效应迁移率(线性区域中的场效应迁移率)。因此,半导体装置10的耐压性提高,即使在高电压下也具有稳定的电特性。

[0059] [半导体装置10的制造方法]

[0060] 参照图3~图11,对本发明的一个实施方式的半导体装置10的制造方法进行说明。图3是说明本发明的一个实施方式的半导体装置10的制造方法的流程图。图4~图11是示出本发明的一个实施方式的半导体装置10的制造方法的示意截面图。以下,依次说明图3所示的流程图的各步骤。

[0061] 在图3的步骤S1001(“GE形成”)中,在基板11之上形成栅电极12GE(参见图4)。

[0062] 作为基板11,可使用玻璃基板、石英基板以及蓝宝石基板等具有透光性的刚性基板。在基板11需要具备挠性的情况下,作为基板11,可使用聚酰亚胺基板、丙烯酸树脂基板、硅氧烷基板、氟树脂基板等、或包含树脂的基板。在使用包含树脂的基板作为基板11的情况下,为了提高基板11的耐热性,可以在上述树脂中导入杂质元素。另外,在集成电路中使用半导体装置10的情况下,作为基板11,也可以使用硅基板、碳化硅基板、化合物半导体基板等半导体基板、或不锈钢基板等导电性基板等不具有透光性的基板。

[0063] 栅电极12GE对通过溅射法成膜的导电膜进行加工而形成。作为栅电极12GE可使用金属材料。例如,作为栅电极12GE的金属材料,使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、铪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)以及它们的合金或它们的化合物。作为栅电极12GE,上述金属材料可以单层来使用,也可以层叠来使用。

[0064] 在图3的步骤S1002(“GI形成”)中,在栅电极12GE之上形成栅极绝缘层14、16(参见图4)。栅极绝缘层14、16通过CVD(Chemical Vapor Deposition)法或溅射法成膜。作为栅极绝缘层14、16,使用绝缘性材料。例如,作为栅极绝缘层14、16的绝缘性材料,可使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)或氮氧化硅(SiN_xO_y)的无机绝缘材料。上述的 SiO_xN_y 是含有比氧(O)少的比率($x>y$)的氮(N)的硅化合物。 SiN_xO_y 是含有比氮少的比率($x>y$)的氧的硅化合物。

[0065] 优选在基板11上依次形成使用含氮的绝缘材料的栅极绝缘层14、使用含氧的绝缘材料的栅极绝缘层16。通过使用含氮的绝缘材料作为栅极绝缘层14,能够阻挡从基板11向氧化物半导体层26扩散的杂质。另外,通过使用含氧的绝缘材料作为栅极绝缘层16,能够通过加热处理放出氧。含氧的绝缘材料放出氧的加热处理的温度例如为 500°C 以下, 450°C 以下或 400°C 以下。需要说明的是,含氧的绝缘材料也可以在半导体装置10的制造工序中的任一步骤中被加热时放出氧。

[0066] 栅极绝缘层14的膜厚优选大于栅极绝缘层16的膜厚。在本实施方式中,作为栅极绝缘层14,例如形成300nm的氮化硅。作为栅极绝缘层16,例如形成100nm的氧化硅。

[0067] 在图3的步骤S1004(“OS成膜”)中,在栅极绝缘层14、16上使氧化物半导体膜22成膜(参见图5)。氧化物半导体膜22通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)成膜。氧化物半导体膜22的膜厚为10nm以上50nm以下,优选为10nm以上40nm以

下,进一步优选为10nm以上30nm以下。

[0068] 作为氧化物半导体膜22,可使用具有半导体特性的金属氧化物。例如,作为氧化物半导体膜22,可使用包含包括铟(In)的2种以上金属元素的氧化物半导体。另外,铟相对2种以上金属元素而言的比率为50%以上。作为铟以外的其他金属元素,可以使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、锆(Zr)或镧系元素。作为氧化物半导体膜22,优选包含第13族元素。另外,作为氧化物半导体膜22,也可以使用上述以外的元素。

[0069] 在通过后述的OS退火使氧化物半导体膜22结晶化的情况下,成膜后且OS退火前的氧化物半导体膜22优选具有非晶结构(例如,在XRD法中判定为非晶的氧化物半导体的晶体成分少的结构)。即,氧化物半导体膜22的成膜优选在刚成膜后的氧化物半导体膜22尽可能不结晶化的条件下进行。例如,在通过溅射法形成氧化物半导体膜22的情况下,一边控制被成膜对象物(基板11及形成于其上的结构物)的温度一边形成氧化物半导体膜22。

[0070] 如果利用溅射法对被成膜对象物进行成膜,则在等离子体中产生的离子及被溅射靶反弹的原子与被成膜对象物碰撞,因此伴随着成膜处理,被成膜对象物的温度上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下氧化物半导体膜22中含有微晶。当氧化物半导体膜22中含有微晶时,无法通过之后的OS退火来增大晶体粒径。为了控制被成膜对象物的温度,例如可以一边冷却被成膜对象物一边进行成膜。例如,以在被成膜对象物的被成膜面的温度(以下,称为“成膜温度”)成为100°C以下、70°C以下、50°C以下或30°C以下的方式,从该被成膜面的相反侧的面冷却被成膜对象物。特别是,氧化物半导体膜22的成膜温度优选为50°C以下。通过一边冷却基板11一边进行氧化物半导体膜22的形成,能够在刚成膜后得到晶体成分少的氧化物半导体膜22。

[0071] 在溅射工艺中,在氧分压为10%以下的条件下形成具有非晶结构的氧化物半导体膜22。如果氧分压高,则由于氧化物半导体膜22中含有的过剩的氧而导致刚成膜后的氧化物半导体膜22中含有微晶。因此,优选在氧分压低的条件下进行氧化物半导体膜22的成膜。氧分压例如为1%以上5%以下,优选为2%以上4%以下。在氧分压小于1%的条件下,成膜装置内的氧的分布容易变得不均匀。其结果,氧化物半导体膜中的氧的组成也变得不均匀,成膜出含有大量微晶的氧化物半导体膜,或者成膜出即使之后进行OS退火处理也不会结晶化的氧化物半导体膜。

[0072] 在图3的步骤S1005(“OS图案形成”)中,形成氧化物半导体层24的图案(参见图6)。通过光刻形成氧化物半导体层24的图案。例如,在氧化物半导体膜22上形成抗蚀剂掩模(未图示),并且使用抗蚀剂掩模蚀刻氧化物半导体膜22。作为氧化物半导体膜22的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,可以使用酸性的蚀刻液进行蚀刻。作为蚀刻液,例如可以使用草酸、PAN、硫酸、双氧水或氢氟酸。由此,可形成具有规定图案的氧化物半导体层24。然后,除去抗蚀剂掩模。

[0073] 具有规定图案的氧化物半导体层24的形成(即,氧化物半导体膜22的图案化加工)优选在OS退火前进行。OS退火后的Poly-OS的耐蚀刻性高,基于蚀刻进行的图案化加工变得困难。另外,通过在形成氧化物半导体层24后进行OS退火,可以通过OS退火修复在氧化物半导体层24的形成中产生的损伤(例如氧化物半导体层24中的氧缺陷等)。

[0074] 在图3的步骤S1006(“OS退火”)中,在氧化物半导体层24形成后,通过对氧化物半导体层24进行加热处理(OS退火)来形成氧化物半导体层26(参见图7)。在OS退火中,氧化物

半导体层24在规定的到达温度下保持规定的时间。规定的到达温度为300°C以上500°C以下,优选为350°C以上450°C以下。另外,于到达温度的保持时间为15分钟以上120分钟以下,优选为30分钟以上60分钟以下。通过进行OS退火,具有非晶结构的氧化物半导体层24被结晶化,形成具有多晶结构的氧化物半导体层26。即,通过OS退火,形成包含Poly-OS的氧化物半导体层26。

[0075] 在图3的步骤S1008(“接触孔形成”)中,在栅极绝缘层14、16中形成接触孔(参见图8)。由此,使布线12W的上表面露出。另外,在不需连接布线32W与布线12W的情况下,也可以不进行步骤S1008的工序。

[0076] 在图3的步骤S1009(“SD形成”)中,形成源电极32S、漏电极32D以及布线32W(参见图9)。源电极32S、漏电极32D以及布线32W通过蚀刻对利用溅射法成膜的导电膜进行图案化而形成。作为源电极32S及漏电极32D,使用与栅电极12GE同样的导电材料。作为源电极32S、漏电极32D以及布线32W,导电材料可以单层来使用,也可以层叠来使用。在本实施方式中,例示MoW合金、Al及MoW合金的层叠结构(MoW/Al/MoW结构)、MoW合金的单层结构(MoW结构)、Ti的单层结构(Ti结构)、以及Ti、Al及Ti的层叠结构(Ti/Al/Ti结构)。

[0077] 为了形成源电极32S、漏电极32D以及布线32W,进行使用了湿式蚀刻或干式蚀刻的图案化。在湿式蚀刻中,使用蚀刻液。例如,作为蚀刻液,可使用含有选自磷酸、乙酸、硝酸、氢氟酸、盐酸、硫酸及草酸组成的组中的至少2者的溶液。具体而言,作为蚀刻液,可使用以磷酸、乙酸及硝酸为主成分的混酸蚀刻溶液。另外,作为蚀刻液,也可使用双氧水及氨水的混合溶液(以下,称为“ H_2O_2/NH_3 溶液”)。在干式蚀刻中,使用蚀刻气体。例如,作为蚀刻气体,可使用六氟化硫气体(SF_6)等含氟的气体(以下,称为“氟系气体”)、或氯气(Cl_2)等含氯的气体(以下,称为“氯系气体”)。

[0078] Poly-OS的耐蚀刻性优异。具体而言,对在源电极32S及漏电极32D的形成中使用的蚀刻液或蚀刻气体的蚀刻速率非常小。这意味着Poly-OS几乎不会被该蚀刻液或蚀刻气体蚀刻。因此,在半导体装置10中,即使在氧化物半导体层26上直接形成导电膜、并对导电膜进行图案化而形成源电极32S及漏电极32D,氧化物半导体层26的沟道区域也几乎不被蚀刻。

[0079] 例如,氧化物半导体层26对在源电极32S及漏电极32D的形成中使用的蚀刻液的蚀刻速率为0.1nm/sec以下,或者为0.01nm/sec以下。氧化物半导体层26对源电极32S及漏电极32D的形成中使用的蚀刻气体的蚀刻速率为0.5nm/sec以下,或者为0.1nm/sec以下。例如,氧化物半导体层26对氯系气体的蚀刻速率为0.1nm/sec以下。

[0080] 在使用如IGZO那样不具有多晶结构的氧化物半导体作为氧化物半导体层的半导体装置中,在氧化物半导体之上形成源电极及漏电极时,通过源电极及漏电极的蚀刻,氧化物半导体层也被蚀刻。具体而言,IGZO对含氯的气体的蚀刻速率为1.0nm/sec,考虑到沟道区域以该蚀刻速率被蚀刻,需要预先将氧化物半导体膜形成得较厚。例如,在制造氧化物半导体层的沟道区域的膜厚为40nm以下的半导体装置的情况下,预先形成具有65nm左右的膜厚的氧化物半导体膜,在源电极及漏电极的形成中,需要调整蚀刻时间以使沟道区域的膜厚成为40nm以下。但是,在蚀刻速率大的情况下,难以通过蚀刻时间精密地控制沟道区域的膜厚。此时,沟道区域的膜厚的偏差变大。

[0081] 另外,若使沟道区域的膜厚大幅减少,则在氧化物半导体层的上表面形成凹部。设

置在氧化物半导体层上的层间绝缘层以覆盖凹部的方式成膜,但如果凹部的深度大,则层间绝缘层不能充分地覆盖凹部。即,有时在氧化物半导体层与层间绝缘层之间、或者在源电极及漏电极与层间绝缘层之间产生间隙。这不仅成为半导体装置的电特性波动的要因,而且成为可靠性波动的要因。

[0082] 与此相对,具有多晶结构的氧化物半导体层26在干式蚀刻和湿式蚀刻的任一种情况下均能够使蚀刻速率为 $0.00\text{nm}/\text{sec} \sim 0.1\text{nm}/\text{sec}$ 、优选为 $0.00\text{nm}/\text{sec} \sim 0.06\text{nm}/\text{sec}$ 。即,与使用了IGZO的氧化物半导体层相比,具有多晶结构的氧化物半导体层26蚀刻速率低,具有高的耐蚀刻性。因此,能够在不考虑由蚀刻引起的氧化物半导体层的膜厚的减少的情况下控制沟道区域的膜厚。因此,在氧化物半导体膜的成膜时,能够以 10nm 以上 30nm 以下的膜厚成膜。此外,可用作源电极32S、漏电极32D及布线32W的导电材料的选择性提高。例如,即使在对使用了MoW/Al/MoW结构或MoW结构的导电膜进行湿式蚀刻而形成源电极32S及漏电极32D的情况下,也能够抑制氧化物半导体层26的膜厚的减少。

[0083] 如上所述,氧化物半导体层26对源电极32S及漏电极32D的形成中所用的蚀刻液的蚀刻速率非常小。因此,与源电极32S及漏电极32D中的1者重叠的氧化物半导体层26的第1区域(即,源极区域或漏极区域)的膜厚和与源电极32S及漏电极32D重叠的氧化物半导体层26的第2区域(即,沟道区域)的膜厚成为实质上相同。换言之,能够将第1区域的膜厚与第2区域的膜厚之差控制为 5nm 以下,优选为 3nm 以下,更优选为 1nm 以下。即,抑制沟道区域的膜厚的偏差。

[0084] 在图3的步骤S1010(“ SiO_x 形成”)中,在氧化物半导体层26、源电极32S及漏电极32D上形成层间绝缘层34。作为层间绝缘层34,优选使用含氧的绝缘材料。例如,作为层间绝缘层34,可使用氧化硅(SiO_x)或氧氮化硅(SiO_xN_y)等。另外,作为层间绝缘层34,优选使用缺陷少的绝缘膜。例如,对层间绝缘层34中的氧的组成比和与层间绝缘层34同样组成的绝缘膜(以下称为“其他绝缘膜”)中的氧的组成比进行比较的情况下,可知与该其他绝缘膜中的氧的组成比相比,层间绝缘层34中的氧的组成比更接近相对该绝缘膜的化学计量比。例如,当氧化硅(SiO_x)分别用于层间绝缘层34及栅极绝缘层16的各自时,层间绝缘层34具有比栅极绝缘层16更接近氧化硅(SiO_2)的化学计量比的组成比。作为层间绝缘层34,也可以使用在通过电子自旋共振法(ESR)进行评价时未观测到缺陷的层。

[0085] 层间绝缘层34可使用与栅极绝缘层14、16同样的成膜方法来成膜。为了增加层间绝缘层34中的氧的组成比,在比较低的温度(例如,低于 350°C 的成膜温度)下成膜即可。另外,为了形成缺陷少的绝缘膜作为层间绝缘层34,也可以在 350°C 以上的成膜温度下形成层间绝缘层34。此外,也可以在形成层间绝缘层34之后,进行向层间绝缘层34的一部分注入氧的处理。

[0086] 层间绝缘层34的膜厚为 50nm 以上 300nm 以下, 60nm 以上 200nm 以下,或 70nm 以上 150nm 以下。

[0087] 在图3的步骤S1011(“MO成膜”)中,在层间绝缘层34上使金属氧化物膜36成膜(参见图10)。金属氧化物膜36通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)成膜。

[0088] 作为金属氧化物膜36,可使用以铝为主成分的金属氧化物膜。例如,作为金属氧化物膜36,使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝

缘膜。以铝为主成分的金属氧化物膜是指金属氧化物膜中所含的铝的比率为金属氧化物膜整体的1%以上。金属氧化物膜36中所含的铝的比率可以为金属氧化物膜36整体的5%以上70%以下,10%以上60%以下,或者30%以上50%以下。上述比率可以是质量比,也可以是重量比。

[0089] 金属氧化物膜36的膜厚为1nm以上50nm以下,优选为1nm以上30nm以下。作为金属氧化物膜36,优选使用氧化铝。氧化铝对氧或氢等气体具有高阻隔性。在此,阻隔性是指抑制氧或氢等气体透过氧化铝的功能。即,是指不使设置于氧化铝膜之下的层中的氧或氢等气体向设置于氧化铝膜之上的层移动。或者,是指不使设置于氧化铝膜之上的层中的氧或氢等气体向设置于氧化铝膜之下的层移动。

[0090] 需要说明的是,作为金属氧化物膜36,也可以使用以铝以外的其他金属为主成分的金属氧化物。例如,作为金属氧化物膜36,可以使用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铟镓锌(IGZO)等。

[0091] 在图3的步骤S1012(“氧化退火”)中,在氧化物半导体层26上形成层间绝缘层34及金属氧化物膜36的状态下,进行加热处理(参见图10)。在此,氧化退火例如可以在300°C以上450°C以下进行。由此,从层间绝缘层34放出的氧被供给到氧化物半导体层26。通过以金属氧化物膜36覆盖基板11的方式进行设置,能够抑制从层间绝缘层34放出的氧向金属氧化物膜36的外部放出。

[0092] 在从成膜出氧化物半导体层26起至在氧化物半导体层26上成膜出层间绝缘层34之间的工序中,在氧化物半导体层26中产生许多氧缺陷。但是,通过步骤S1012的氧化退火,从层间绝缘层34放出的氧被供给到氧化物半导体层26,氧缺陷被修复。

[0093] 在图3的步骤S1013(“MO除去”)中,除去金属氧化物膜36(参见图11)。例如,金属氧化物膜36使用稀释氢氟酸(DHF)除去即可。

[0094] 在图3的步骤S1014(“SiN_x成膜”)中,在层间绝缘层34上成膜出层间绝缘层38。作为层间绝缘层38,优选使用含氮的绝缘材料。例如,作为层间绝缘层38,使用氮化硅(SiN_x)或氮氧化硅(SiN_xO_y)等。层间绝缘层38可以使用与栅极绝缘层14、16同样的成膜方法来成膜。

[0095] 通过以上的步骤,能够制造图1所示的半导体装置10。

[0096] 在通过上述制造方法制作的半导体装置10中,氧化物半导体层26的形状的偏差得到抑制。特别是能够降低沟道区域的膜厚的偏差。其结果,半导体装置10具有稳定的电特性。因此,半导体装置10的制造偏差降低,成品率提高。

[0097] <第2实施方式>

[0098] 参照图12~图15,对使用了本发明的一个实施方式的半导体装置10的显示装置20进行说明。在以下所示的实施方式中,对将在第1实施方式中说明的半导体装置10应用于液晶显示装置的电路的构成进行说明。

[0099] [显示装置20的概要]

[0100] 图12是示出本发明的一个实施方式涉及的显示装置20的概要的示意俯视图。如图12所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印刷电路基板330(FPC330)以及IC芯片340。阵列基板300及对置基板320通过密封部310贴合。在被密封部310包围的液晶区域220中,多个像素电路301配置成矩阵状。液晶区域220是与后述的液晶元件

311在俯视下重叠的区域。

[0101] 设置有密封部310的密封区域240是液晶区域220的周围的区域。FPC330设置在端子区域260。端子区域260是阵列基板300从对置基板320露出的区域,设置在密封区域240的外侧。密封区域240的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于驱动各像素电路301的信号。

[0102] [显示装置20的电路构成]

[0103] 图13是示出本发明的一个实施方式的显示装置20的电路构成的框图。如图13所示,在第2方向D2(列方向)上与配置有像素电路301的液晶区域220相邻的位置上设置有源极驱动器电路302,在第1方向D1(行方向)上与液晶区域220相邻的位置上设置有栅极驱动器电路303。源极驱动器电路302和栅极驱动器电路303设置在上述密封区域240中。但是,设置源极驱动器电路302及栅极驱动器电路303的区域并不限定于密封区域240,只要是设置有像素电路301的区域的外侧,任何区域均可。

[0104] 源极布线304从源极驱动器电路302沿第2方向D2延伸,与在第2方向D2排列的多个像素电路301连接。栅电极12GE从栅极驱动器电路303沿第1方向D1延伸,与在第1方向D1上排列的多个像素电路301连接。

[0105] 在端子区域260设置有端子部306。端子部306与源极驱动器电路302通过连接布线307连接。同样,端子部306与栅极驱动器电路303通过连接布线307连接。通过FPC330与端子部306连接,连接有FPC330的外部设备与显示装置20连接,通过来自外部设备的信号驱动设置在显示装置20上的各像素电路301。

[0106] 第1实施方式所示的半导体装置10用作像素电路301、源极驱动器电路302及栅极驱动器电路303中包含的晶体管。

[0107] [显示装置20的像素电路301]

[0108] 图14是示出本发明的一实施方式的显示装置20的像素电路301的电路图。如图14所示,像素电路301包含半导体装置10、保持电容350以及液晶元件311等元件。半导体装置10具有栅电极12GE、氧化物半导体层26、源电极32S及漏电极32D。栅电极12GE与栅极布线305连接。源电极32S与源极布线304连接。漏电极32D与保持电容350及液晶元件311连接。

[0109] [显示装置20的构成]

[0110] 图15是本发明的一个实施方式的显示装置20的示意性截面图。图15所示的显示装置20应用了半导体装置10。

[0111] 如图15所示,在基板11上设置有栅电极12GE。在栅电极12GE上设置有栅极绝缘层14、16。在栅极绝缘层14、16上设置有氧化物半导体层26。在氧化物半导体层26上设置源电极32S及漏电极32D。

[0112] 在源电极32S及漏电极32D上设置有层间绝缘层34、38。在层间绝缘层34、38上设置有绝缘层39。绝缘层39是为了缓和由半导体装置10引起的凹凸而设置的。在层间绝缘层34、38和绝缘层39中以露出源电极32S的上表面的方式形成接触孔。在绝缘层39之上设置有多个像素所共用的共用电极42C。在共用电极42C上设置有绝缘层44。在接触孔的内部设置有绝缘层44。通过用氮化硅膜形成绝缘层44,能够抑制水分从接触孔经由绝缘层44侵入。在绝缘层44之上及接触孔的内部设置有像素电极46P。像素电极46P与漏电极32D连接。

[0113] 另外,在基板11上设置布线12C,通过设置于栅极绝缘层14、16的接触孔与布线32C

连接。布线12C及布线32C作为电容布线发挥功能。另外,在绝缘层39之上以及开口的内部设置有电极46C。由共用电极42C、绝缘层44及电极46C形成保持电容350。

[0114] 在本实施方式中,例示了将半导体装置10用于像素电路301的构成,但也可以将半导体装置10用于包含源极驱动器电路302及栅极驱动器电路303的周边电路。

[0115] <第3实施方式>

[0116] 参照图16及图17,说明使用了本发明的一个实施方式的半导体装置10的显示装置20。在本实施方式中,对将在第1实施方式中说明的半导体装置10应用于有机EL显示装置的电路的构成进行说明。显示装置20的概要及电路构成与图12及图13所示的相同,因此省略说明。

[0117] [显示装置20的像素电路301]

[0118] 图16是示出本发明的一个实施方式涉及的显示装置20的像素电路的电路图。如图16所示,像素电路301包括驱动晶体管110、选择晶体管120,保持电容210及发光元件D0等元件。驱动晶体管110及选择晶体管120具有与半导体装置10同样的构成。选择晶体管120的源极电极与信号线211连接,选择晶体管120的栅电极与栅极线212连接。驱动晶体管110的源极电极与阳极电源线213连接,驱动晶体管110的漏电极与发光元件D0的一端连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管110的栅电极与选择晶体管120的漏电极连接。保持电容210与驱动晶体管110的栅电极及漏电极连接。对信号线211供给决定发光元件D0的发光强度的灰度信号。对栅极线212供给对写入上述灰度信号的像素行进行选择信号。

[0119] [显示装置20的截面结构]

[0120] 图17是示出本发明的一个实施方式的显示装置20的构成的示意性截面图。图17所示的显示装置20的构成与图15所示的显示装置20类似,但图17所示的显示装置20的比绝缘层39靠上方的结构与图15所示的显示装置20的比绝缘层39靠上方的结构不同。以下,在图17所示的显示装置20的构成中,对与图15所示的显示装置20同样的构成省略说明,对两者的不同点进行说明。

[0121] 如图17所示,显示装置20在绝缘层39的上方具有像素电极390、发光层392以及共用电极394(发光元件D0)。像素电极390设置在绝缘层39之上以及形成在层间绝缘层34、38及绝缘层39中的接触孔的内部。在像素电极390之上设置绝缘层362。在绝缘层362中设置有开口363。开口363对应于发光区域。也就是说,绝缘层362划分出像素。发光层392及共用电极394设置在通过开口363而露出的像素电极390之上。像素电极390及发光层392相对各像素而独立设置。另一方面,共用电极394为多个像素所共用地设置。发光层392根据像素的显示颜色而使用不同的材料。

[0122] 在第2实施方式和第3实施方式中,例示了将第1实施方式中说明的半导体装置10应用于液晶显示装置和有机EL显示装置的构成,但也可以将半导体装置10应用于这些显示装置以外的其他显示装置(例如,有机EL显示装置以外的自发光型显示装置或电子纸型显示装置)。另外,从中小型的显示装置到大型的显示装置,均可以没有特别限定地应用半导体装置10。另外,即使在使用大面积基板进行制造的情况下,半导体装置10中的氧化物半导体层26的形状的偏差也小。因此,在将半导体装置10应用于显示装置20的情况下,能够降低显示不均。另外,能够提高制造显示装置20时的成品率。

[0123] 实施例

[0124] (实施例1)

[0125] 本实施例中,针对具有多晶结构的氧化物半导体层的耐蚀刻性的测定结果进行说明。

[0126] 对本实施例中使用的样品进行说明。在硅晶片上形成30nm的具有多晶结构的氧化物半导体层(Poly-OS)。接着,在氧化物半导体层之上形成导电膜。作为导电膜,使用MoW结构、MoW/Al/MoW结构、Ti结构及Ti/Al/Ti结构这4种。

[0127] 对于MoW构造的导电膜及氧化物半导体层,准备了用混酸蚀刻溶液进行了湿式蚀刻的样品、用 H_2O_2/NH_3 溶液进行了湿式蚀刻的样品、和用氟系气体进行了干式蚀刻的样品。

[0128] 对于MoW/Al/MoW结构的导电膜和氧化物半导体层,准备用混酸蚀刻溶液进行了湿式蚀刻的样品。

[0129] 对于Ti结构的导电膜及氧化物半导体层,准备了用 H_2O_2/NH_3 溶液进行了湿式蚀刻的样品、用氟系气体进行了干式蚀刻的样品、和用氯系气体进行了干式蚀刻的样品。

[0130] 对于Ti/Al/Ti结构的导电膜及氧化物半导体层,准备了用 H_2O_2/NH_3 溶液对Ti进行湿式蚀刻、用混酸蚀刻溶液对Al进行湿式蚀刻、以及用 H_2O_2/NH_3 溶液对Ti进行湿式蚀刻的样品、和用氯系气体进行干式蚀刻的样品。

[0131] 需要说明的是,作为混酸蚀刻溶液,使用了LASA工业株式会社制的“混酸AT-2F(制品名)”。混酸蚀刻溶液内的磷酸的比例约为65%。另外,对各样品进行蚀刻时的混酸蚀刻溶液的温度设定为40°C(有温度调节)、 H_2O_2/NH_3 溶液的温度设定为22°C(无温度调节、室温)。

[0132] 接着,对比较例中使用的样品进行说明。在硅晶片上成膜出40nm的IGZO的氧化物半导体层。接着,在氧化物半导体层上形成导电膜。使用Ti结构作为导电膜。准备用氯系气体对Ti结构的导电膜和氧化物半导体层进行了干式蚀刻的样品。

[0133] 作为本实施例,表1中示出多晶氧化物半导体层相对将各种导电膜加工后的估算的过蚀刻时间而言的蚀刻速率(单位:nm/sec)。

[0134] [表1]

	湿式蚀刻		干式蚀刻	
	混酸蚀刻溶液	H_2O_2/NH_3 溶液	氟系气体	氯系气体
[0135] MoW 结构	0.00	0.02	0.00	-
MoW/Al/MoW 结构	0.00	-	-	-
Ti 结构	-	0.06	0.05	0.22
Ti/Al/Ti 结构		0.02	-	0.30

[0136] 作为比较例,氧化物半导体层(IGZO)相对将Ti结构的导电膜加工后的估算的过蚀刻时间而言的蚀刻速率为1.00nm/sec。

[0137] 如表1所示,与非晶质的氧化物半导体层(IGZO)相比,具有多晶结构的氧化物半导体层显示出高的耐蚀刻性。另外,在利用混酸蚀刻溶液进行蚀刻的情况下、在利用 H_2O_2/NH_3 溶液进行蚀刻的情况下、在利用氟系气体进行蚀刻的情况下,显示出0.00nm/sec~0.06nm/sec的蚀刻速率。即使在使用氯系气体进行蚀刻的情况下,与氧化物半导体层(IGZO)相比也显示出具有充分高的耐蚀刻性。

[0138] (实施例2)

[0139] 接着,对按照第1实施方式的图3所示的流程图制造的半导体装置10的电特性的测定结果进行说明。

[0140] 对在实施例2中作为半导体装置10而制作的样品A~样品C进行说明。在样品A~样品C的制作中,省略了表示图3所示的半导体装置10的制造方法的流程图的步骤S1008的工序。

[0141] 在基板之上形成栅电极12GE,在栅电极12GE之上形成栅极绝缘层14、16。在栅极绝缘层14、16之上形成30nm的氧化物半导体膜22。通过对氧化物半导体膜22进行加工,形成氧化物半导体层24,通过进行在350°C~450°C的范围内控制温度的OS退火,形成多晶结构的氧化物半导体层26(Poly-OS)。

[0142] 在氧化物半导体层26之上形成MoW/Al/MoW结构作为导电膜,使用混酸蚀刻溶液对导电膜进行湿式蚀刻,形成源电极32S及漏电极32D。接着,在形成氧化硅层作为层间绝缘层34之后,形成10nm的氧化铝层作为金属氧化物膜36,在进行氧化退火后,除去金属氧化物膜36。最后,在层间绝缘层34之上形成层间绝缘层38。

[0143] 样品A~样品C的层间绝缘层34的成膜温度的条件各不相同。样品A~样品C中的层间绝缘层34的成膜温度分别为300°C、325°C及350°C。

[0144] 在样品A~样品C中,测量氧化物半导体层26的膜厚,结果沟道区域的膜厚与源极区域或漏极区域的膜厚之差小于2nm。

[0145] 接着,测定样品A~样品C的电特性。电特性的测定条件如表2所示。

[0146] [表2]

[0147]	沟道区域的大小	W/L=6.0 μ m/6.0 μ m
	源极/漏极间电压	0.1V、10V
	栅极电压	-40V~+40V(0.2V Step)
	测定环境	室温,暗室

[0148] 图18是示出实施例2中的样品A~样品C的电特性(I_d - V_g 特性)的图。横轴是栅极电压 V_g ,纵轴是漏极电流(I_d)。表3示出根据图18所示的电特性计算出的场效应迁移率(线性区域中的场效应迁移率)和阈值。

[0149] [表3]

[0150]		场效应迁移率(cm^2/Vs)	阈值(V)
	样品A	24.24	1.07
	样品B	25.23	-0.06
	样品C	24.34	-0.35

[0151] 由图18及表3可知,在样品A~样品C中,即使成膜温度不同的层间绝缘层34与多晶结构的氧化物半导体层(Poly-OS)接触,也能够得到稳定的场效应迁移率。即,半导体装置10通过控制氧化物半导体层26的形状(特别是沟道区域的膜厚)而得到稳定的电特性。

[0152] 需要说明的是,当层间绝缘层34的成膜温度变高时,电特性的阈值向负侧偏移。因此,在半导体装置10的电特性中,在阈值为增强型的情况下,优选在300°C以下成膜层间绝缘层34。

[0153] 作为本发明的实施方式的上述各实施方式和变形例在不相互矛盾的情况下能够适当组合来实施。另外,基于各实施方式及变形例,本领域技术人员适当进行构成要素的追

加、删除或设计变更而得到的实施方式,或进行工序的追加、省略或条件变更而得到的实施方式,只要具备本发明的主旨,则包含在本发明的范围内。

[0154] 即使是与由上述的各实施方式的技术方案带来的作用效果不同的其他作用效果,对于根据本说明书的记载而明确的作用效果或者本领域技术人员能够容易地预测的作用效果,也理解为由本发明带来的作用效果。

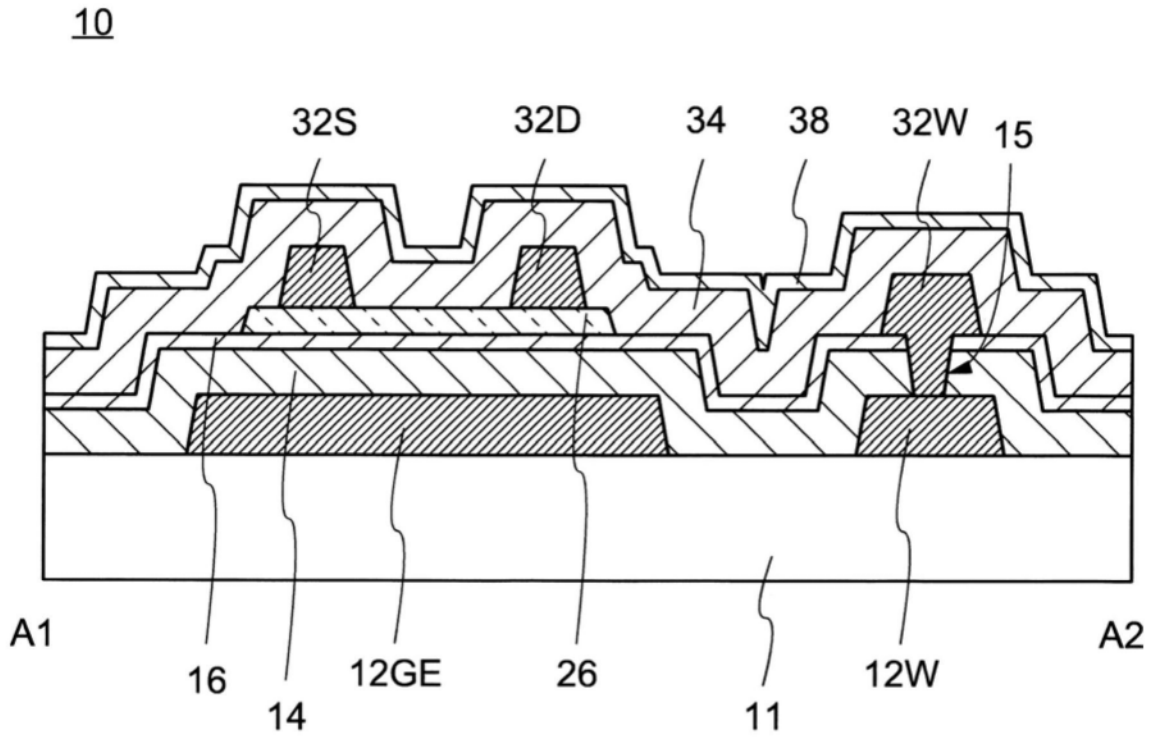


图1

10

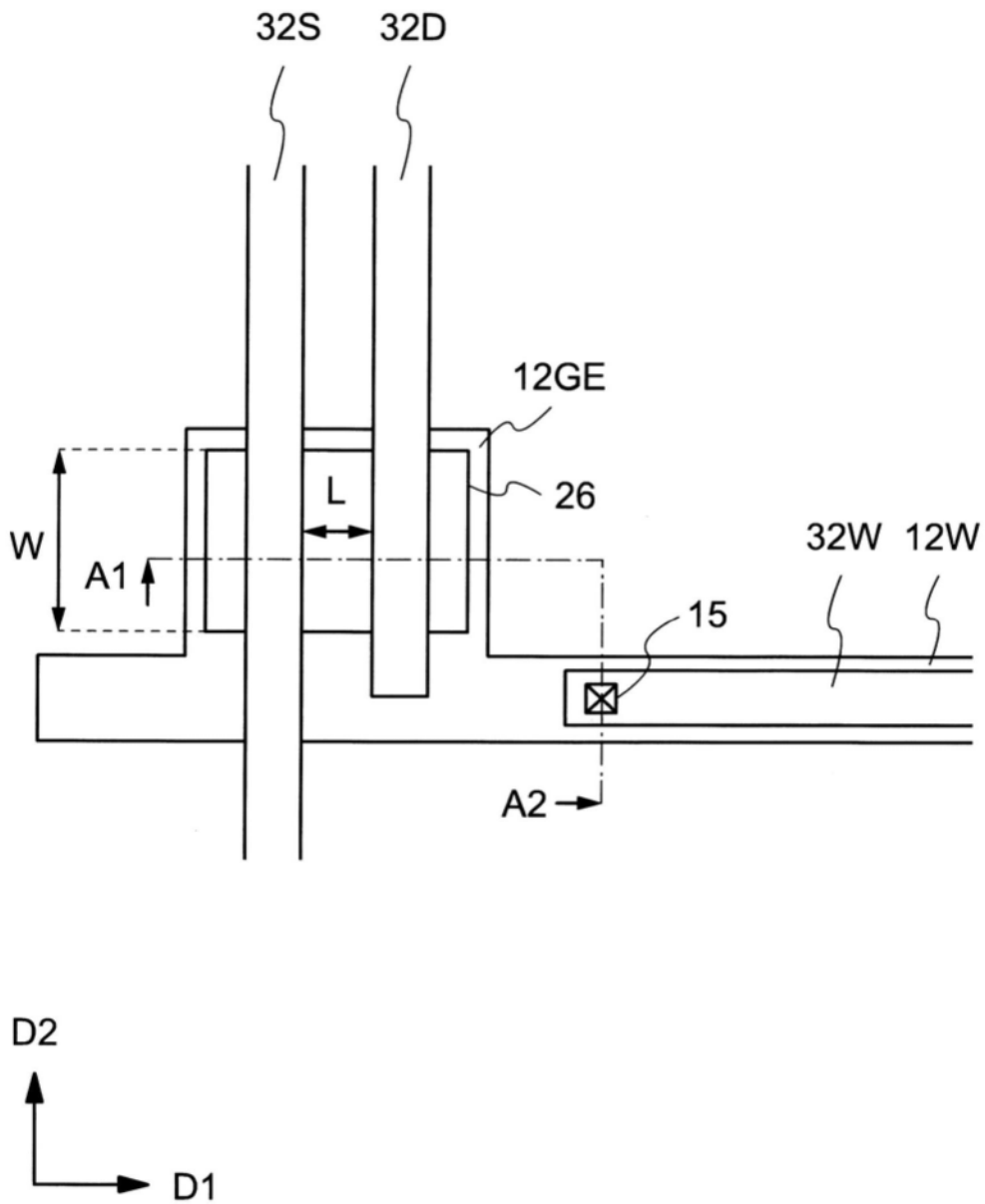


图2

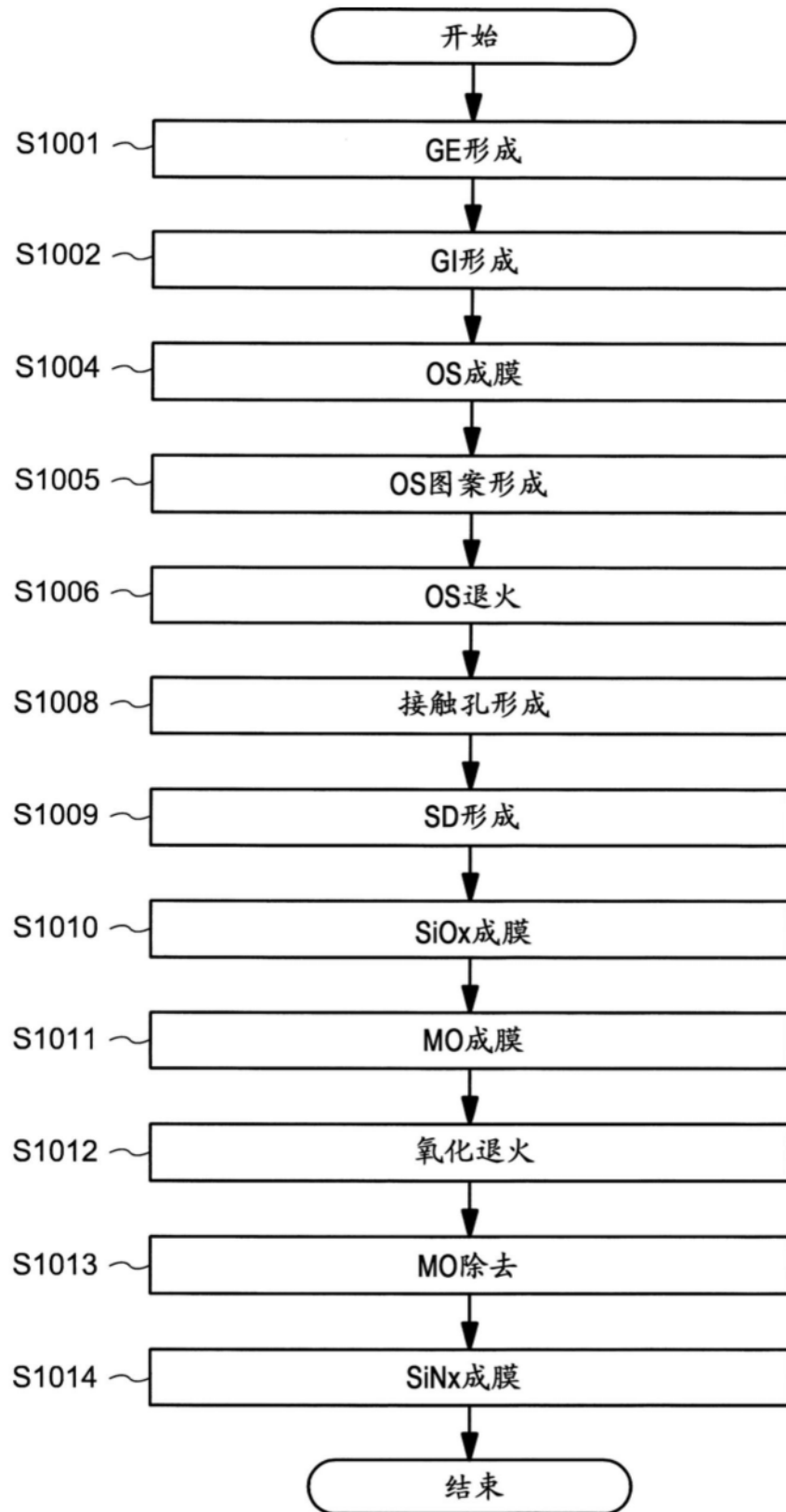


图3

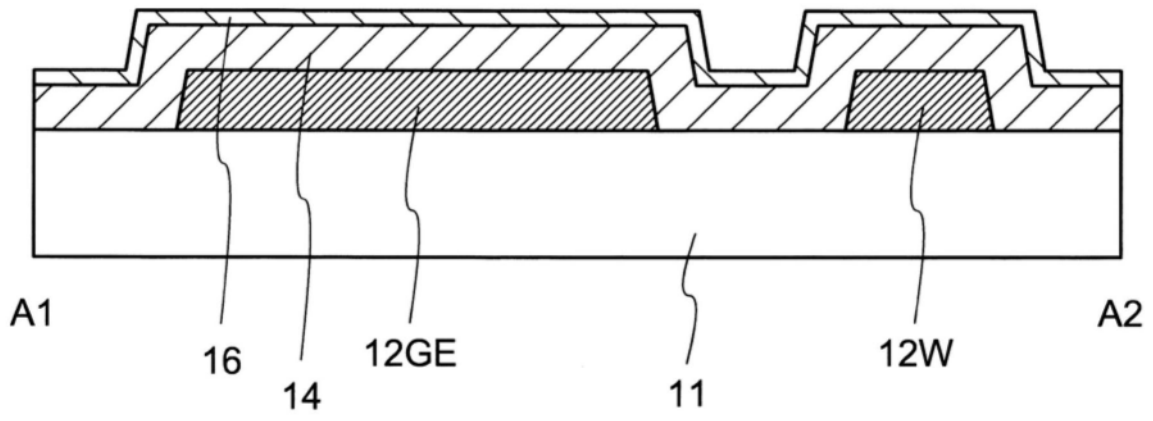


图4

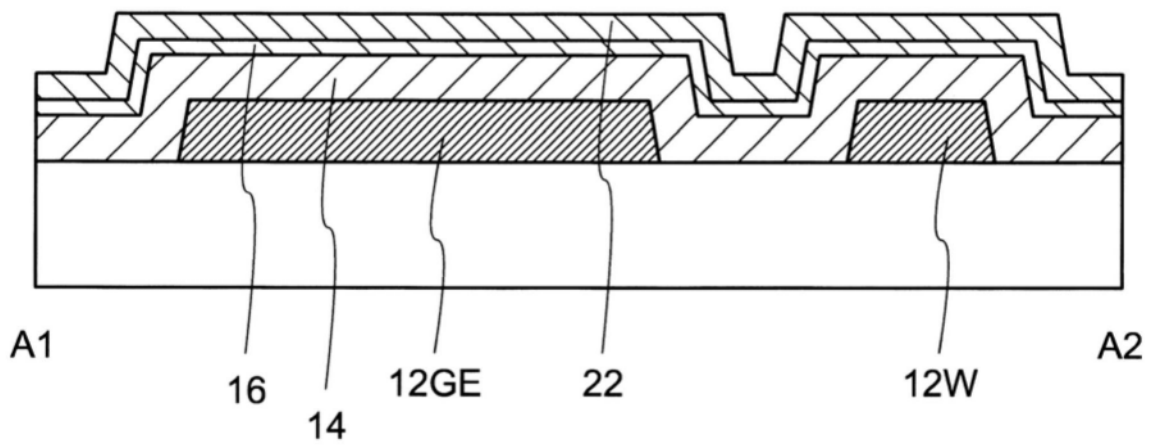


图5

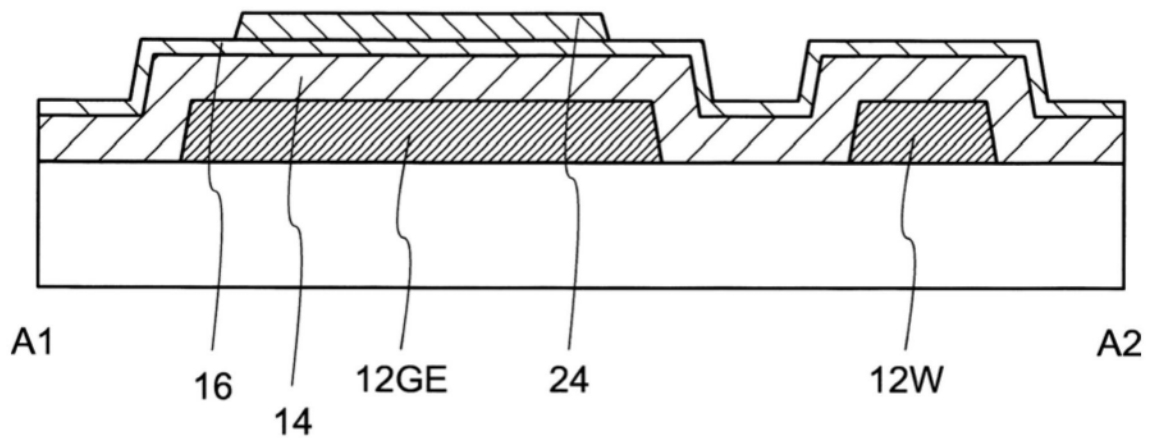


图6

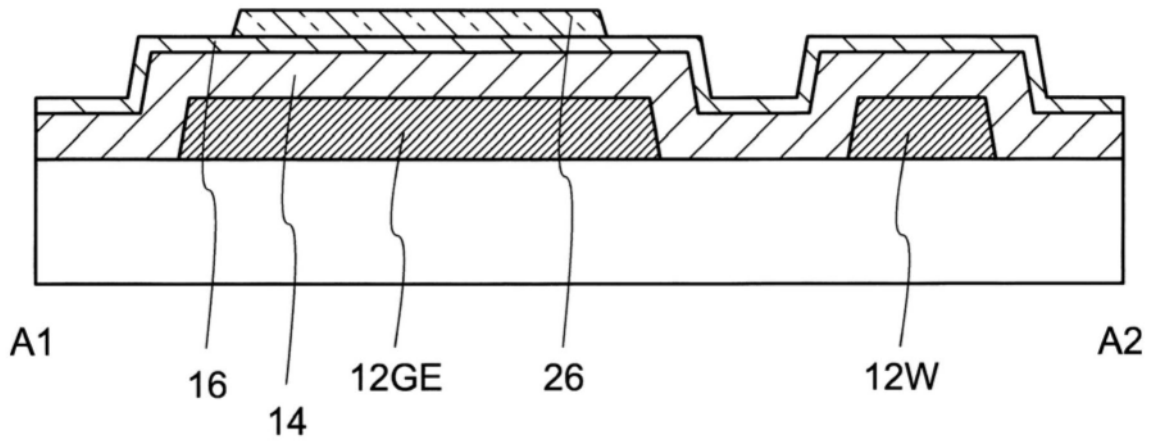


图7

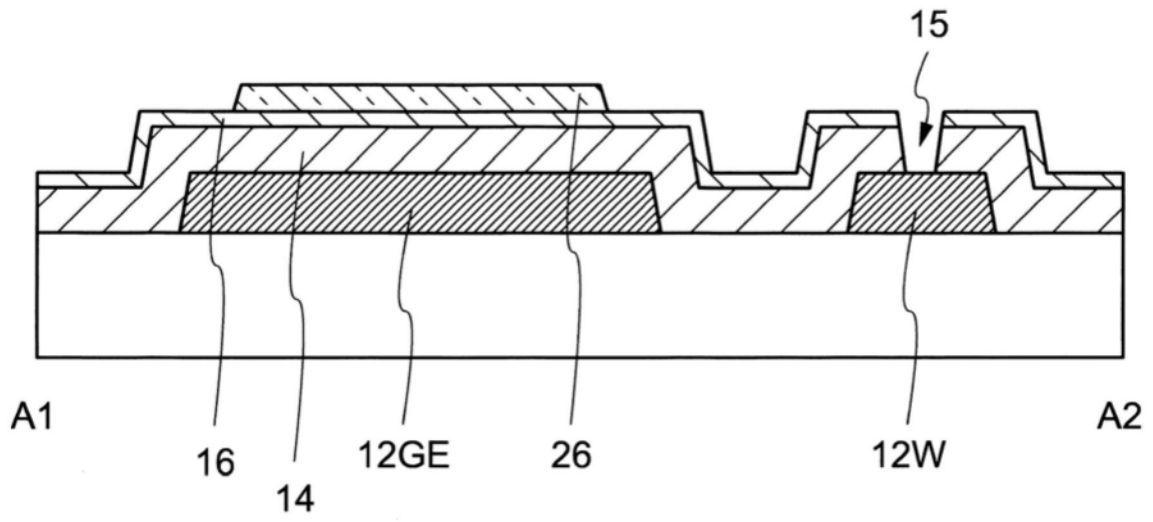


图8

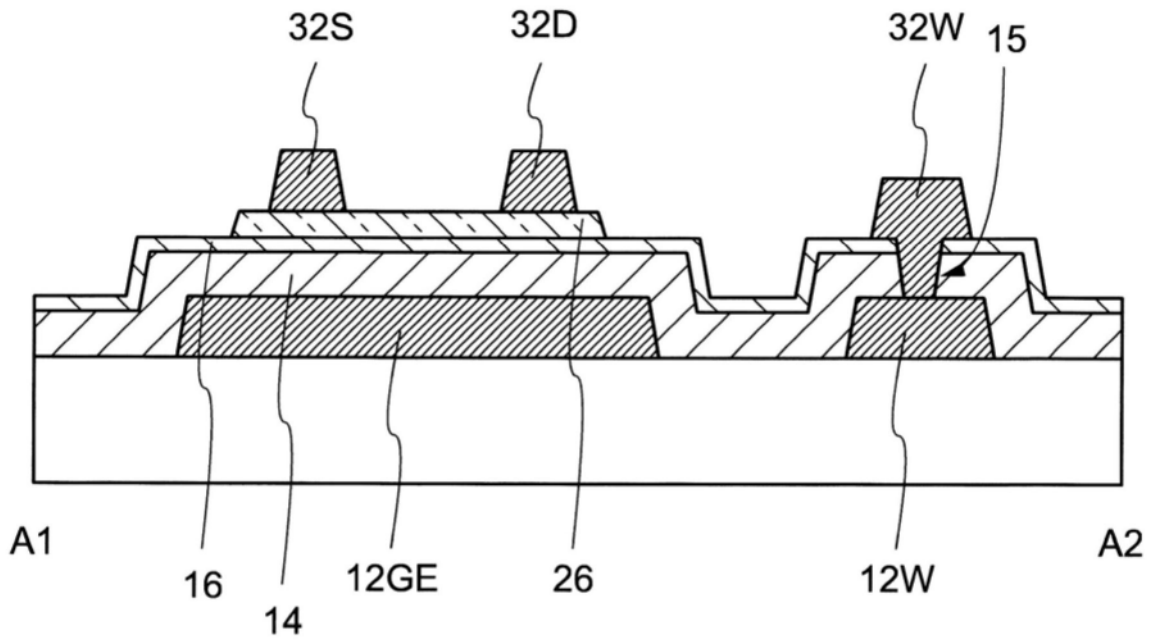


图9

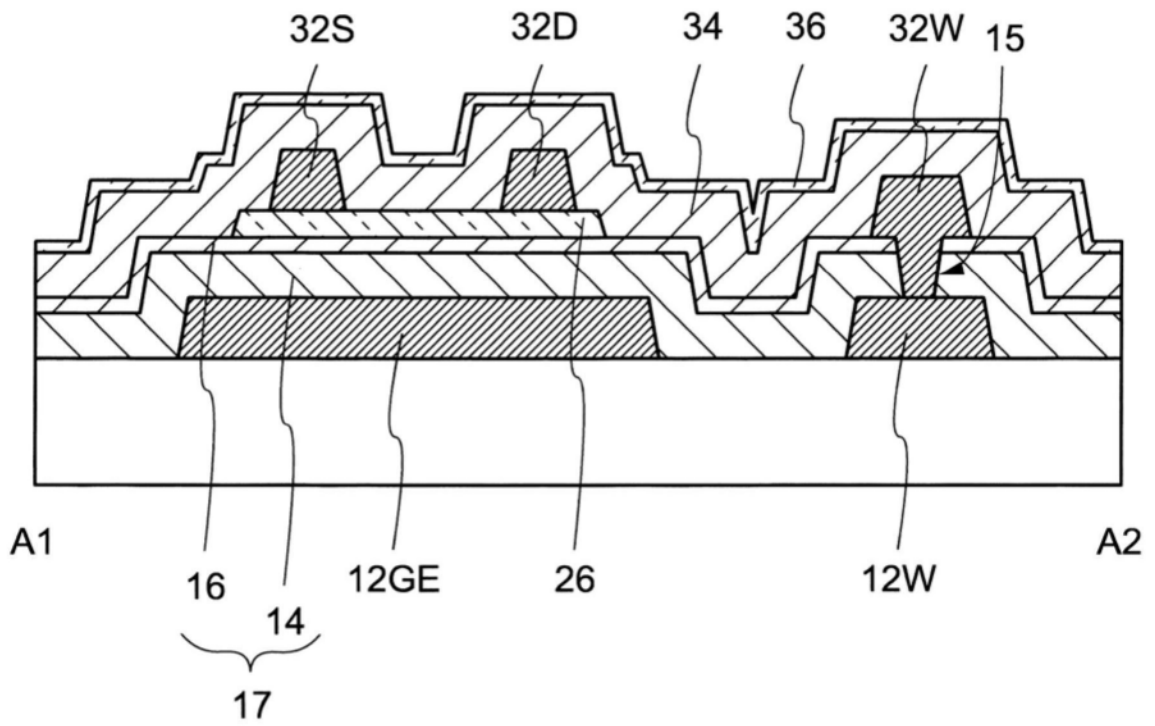


图10

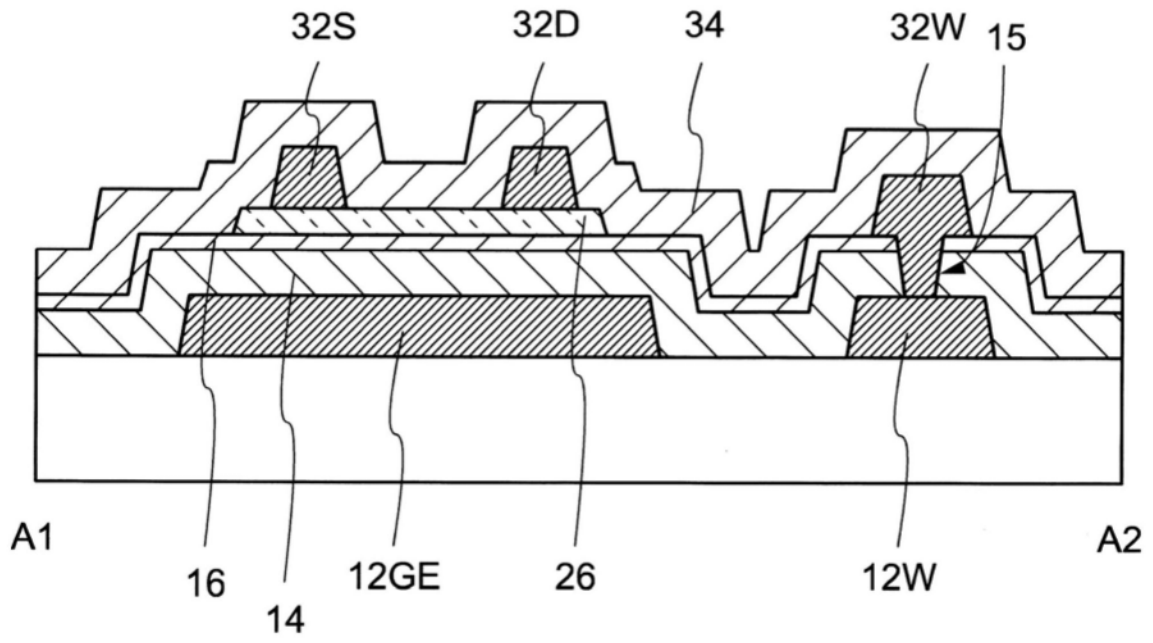


图11

20

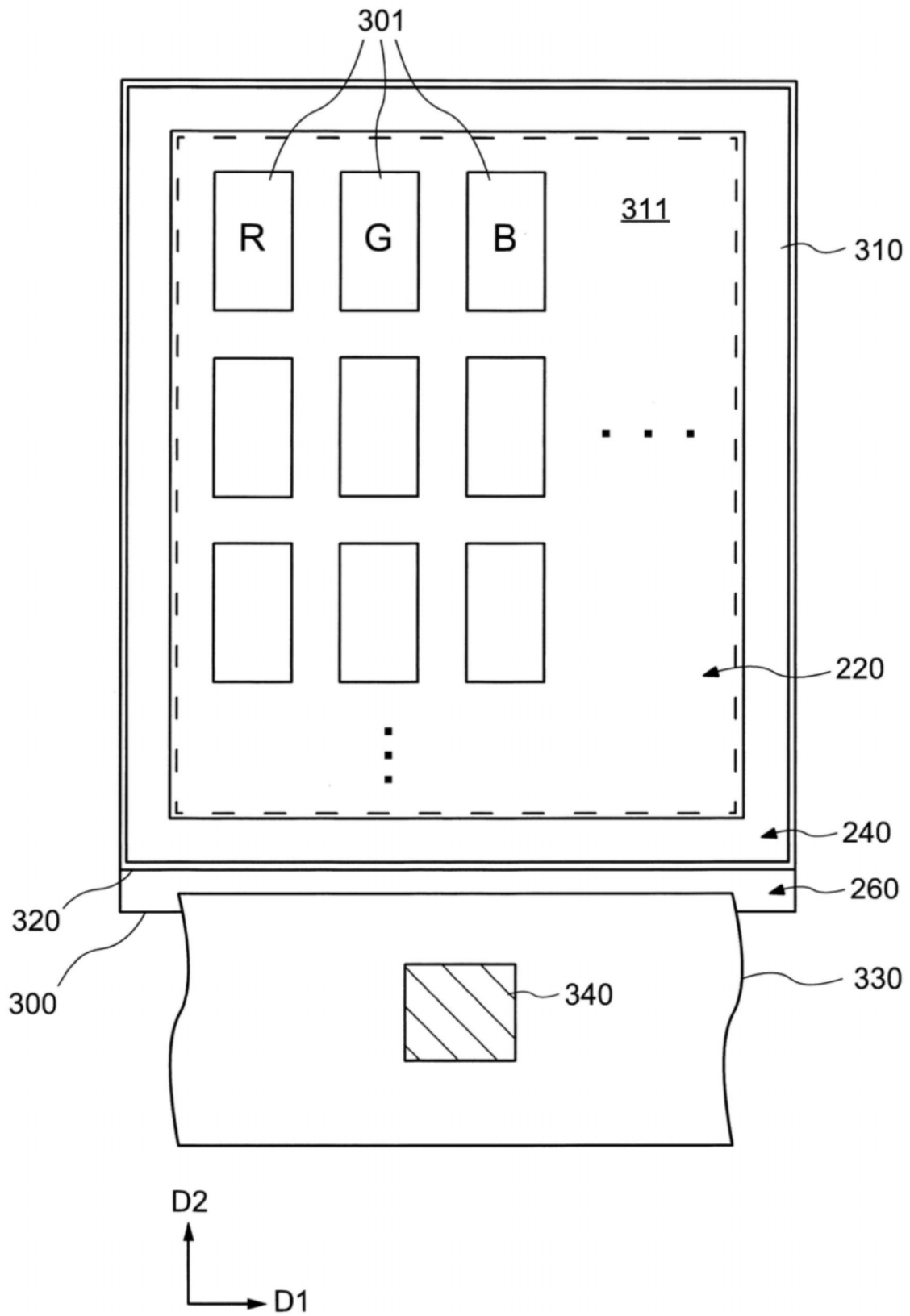


图12

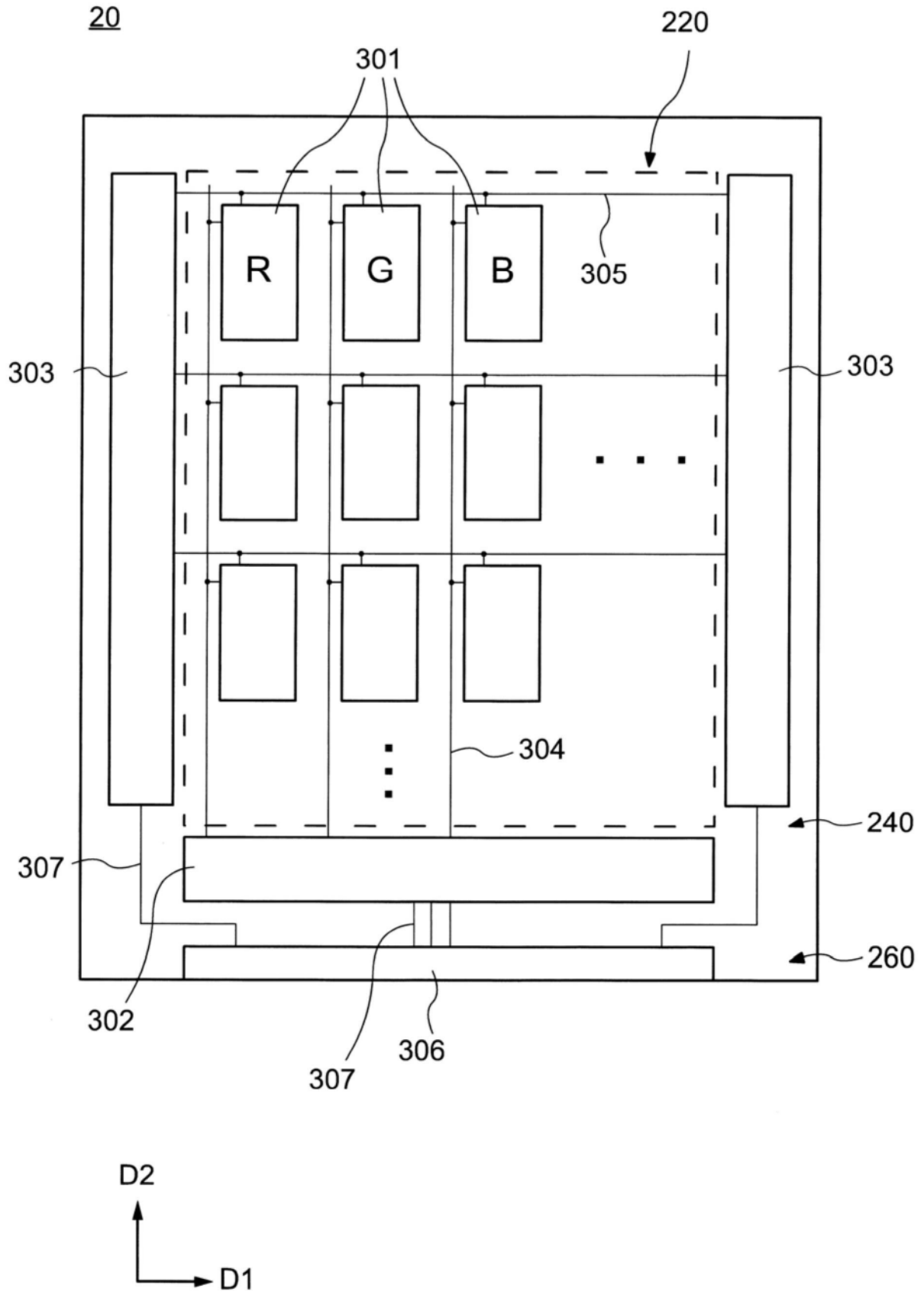


图13

301

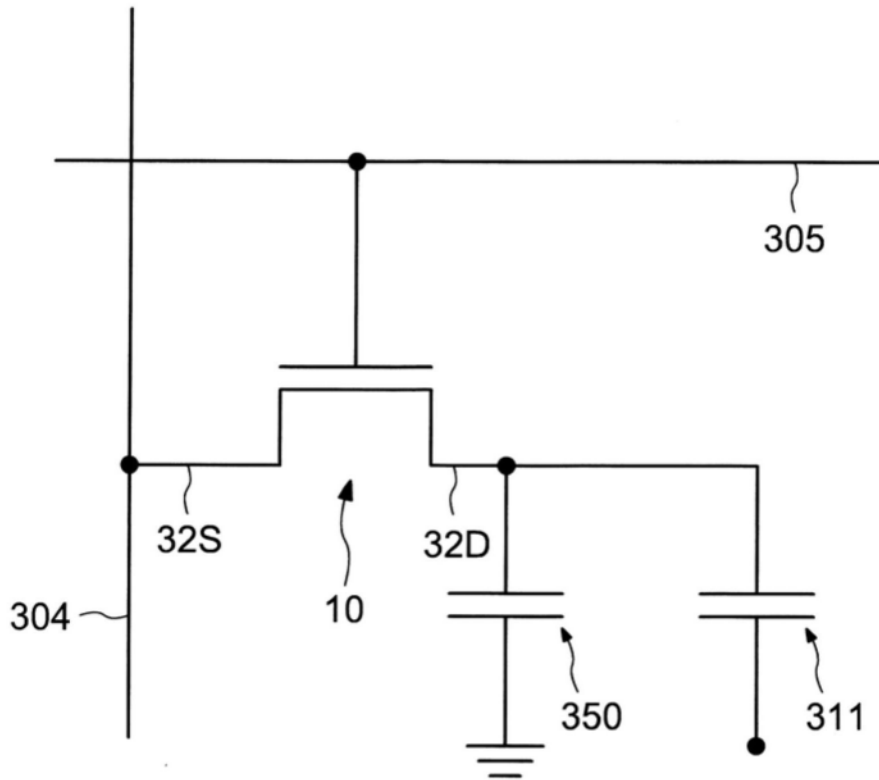


图14

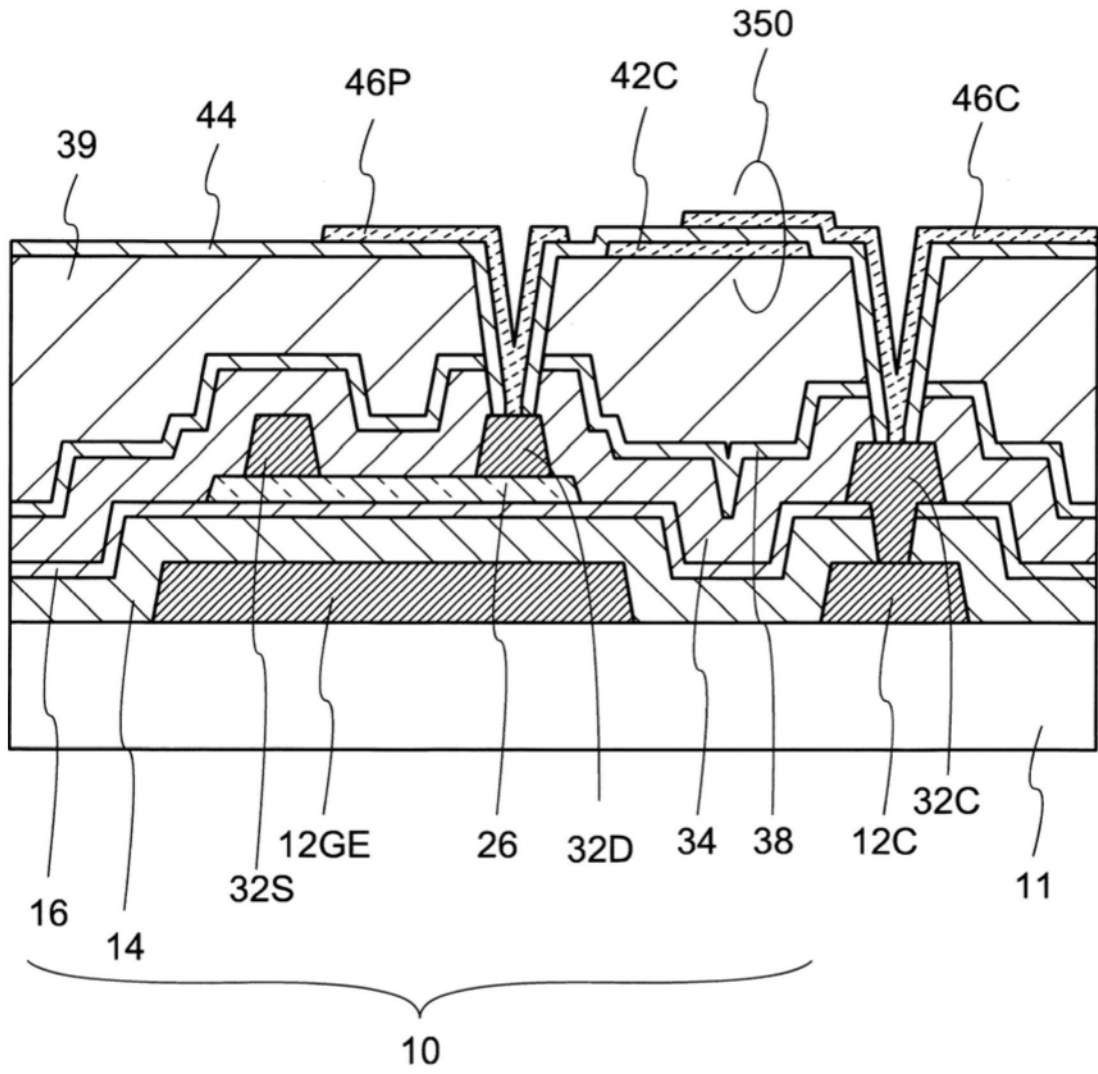


图15

301

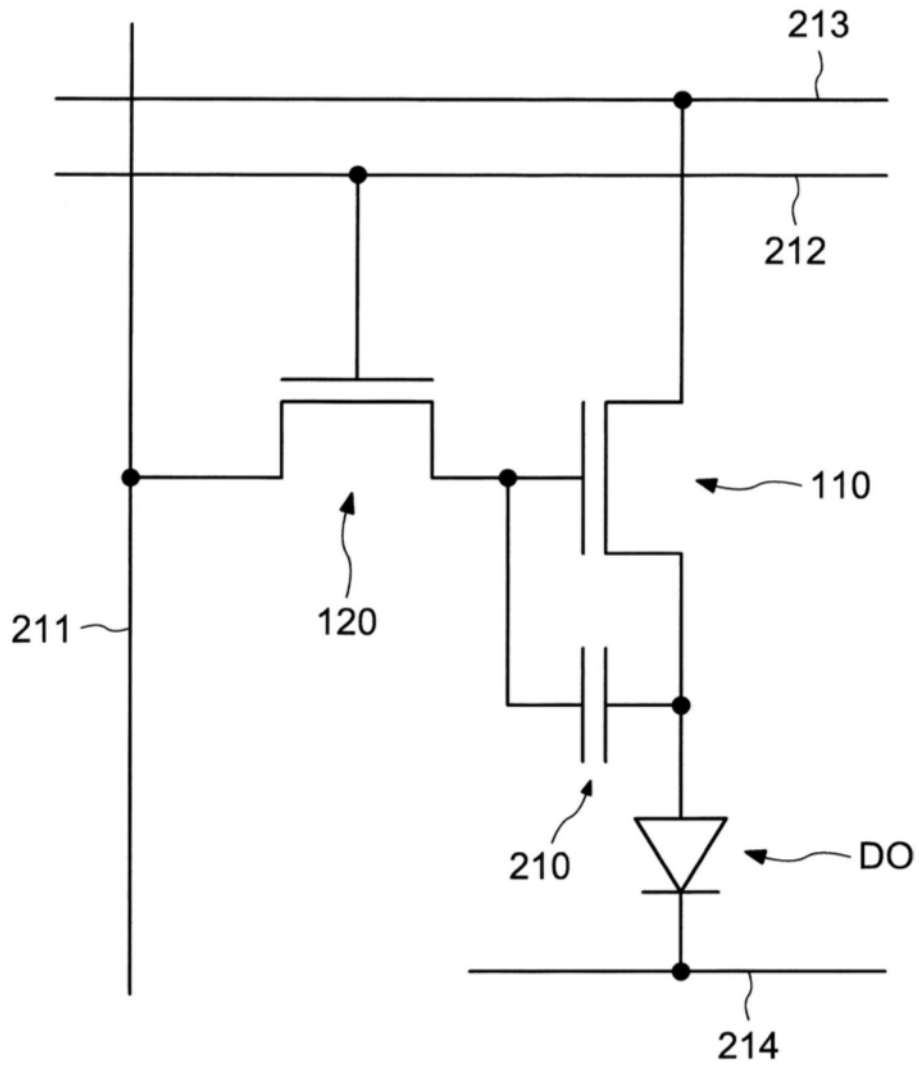


图16

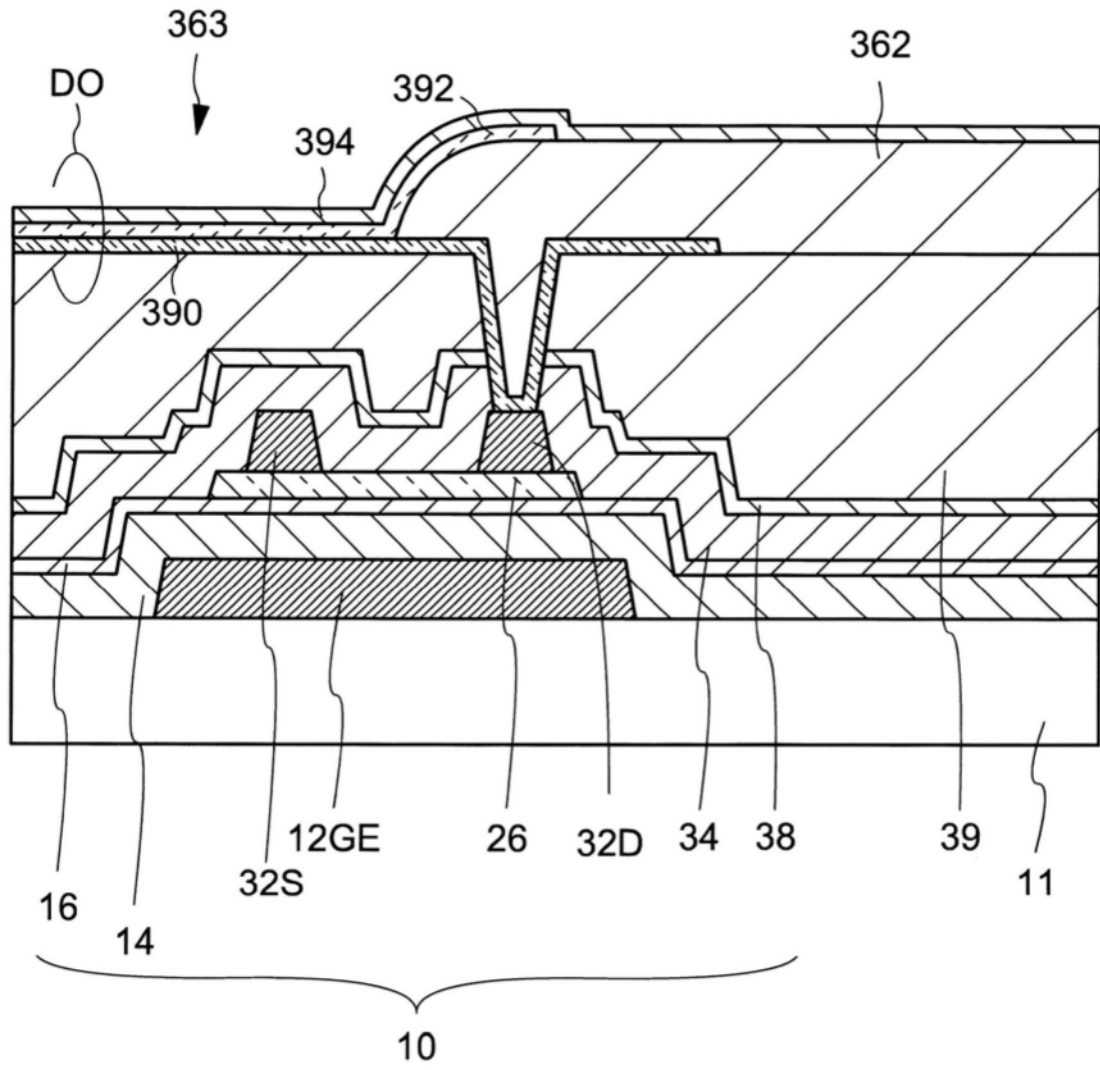


图17

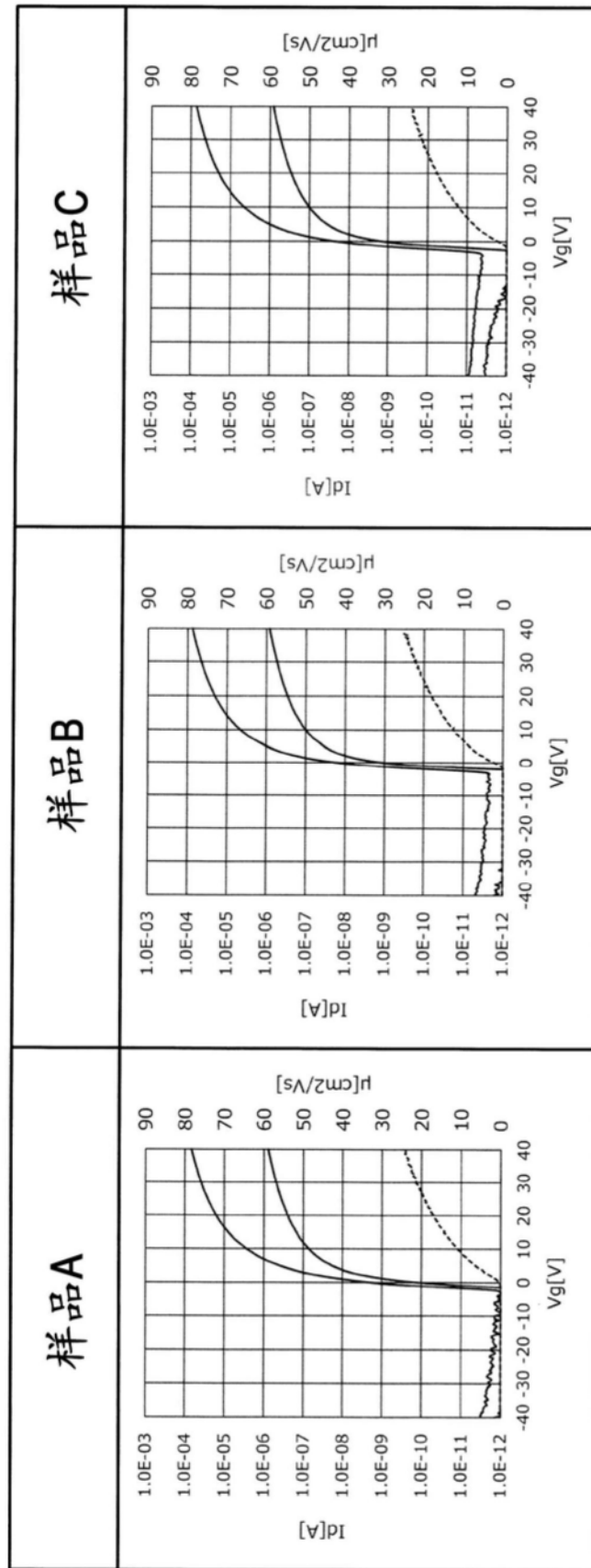


图18